

R-2R LADDER DAC 製作マニュアル

Discrete D/A Convertor

本基板をつかって生じた感電、火災等の一切のトラブルについては、当方は責任を負いませんのでご了承ください。また基板、回路図、マニュアル等の著作権は放棄していませんので、その一部あるいは全体を無断で第三者に対して使用することはできません。

本マニュアルに記載の内容は製作上級者の方には不要なものが多く含まれますが、製作の前に必ず読みいただきますようお願いいたします。

1. はじめに

本基板はR-2R ラダー方式を用いたD/Aコンバータ基板です。R-2R ラダーはその名の通り、Rと2R値の抵抗を梯子のように構成してDA機能を実現する方式であり、マイコンのI/Oポートから簡易にアナログ出力を得るための方法としてよく使われます。DACとしての精度は用いる抵抗に依存します。そのため一般に入手可能な1%の金属皮膜抵抗をつかった場合、電圧出力の直線性などで市販のDAC-ICに比べると劣る可能性が高いでしょう。しかしながら、そのような物理特性などよりも、つかう抵抗の種類などの方が音質に与える影響の方が大きいかもしれません。このあたりは実際に作ってみて、評価をしてみないと判らないところがあります。このDACの魅力は、物理特性を追求するといったことではなく、DA機能を抵抗を組み合わせでディスクリートで製作する面白さにあると思います。市販のICをつかった高性能なDACとはひと味ちがった音を楽しむベースとして遊んでみてはいかがでしょうか。

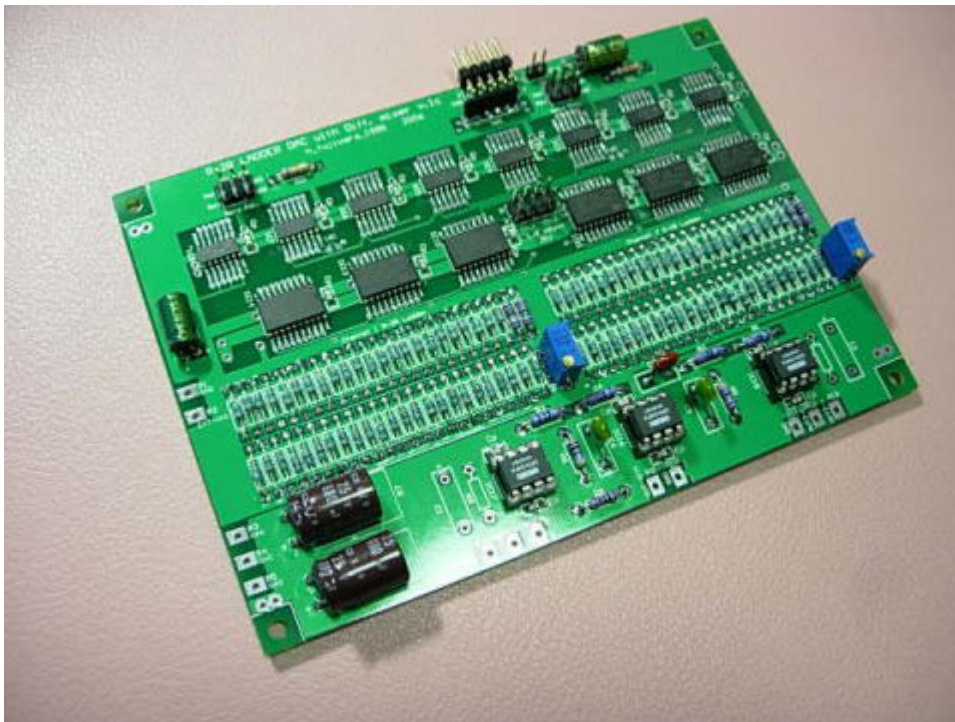


図 完成例（差動構成の場合）

2. 基本仕様

- (1) DA 方式 : R-2R ラダー方式
 - (2) 分解能 : 24Bit(16Bitに変更可)
 - (3) DA チャンネル数 : 2
 - (4) 入力データ形式 : 右詰 (Right Justified) 24Bitあるいは16Bit
 - (4) 必要電源 : 5V(デジタル回路部)、+8~15V程度(アナログ回路を使う場合)
 - (5) 基板 : ガラスエポキシ2層基板、寸法 102×145mm(ネジピッチ : 94×137.2mm)
- (*)基板サイズ、ネジピッチはASRC(サンプルレートコンバータ)と同一。

(6) 基本回路構成

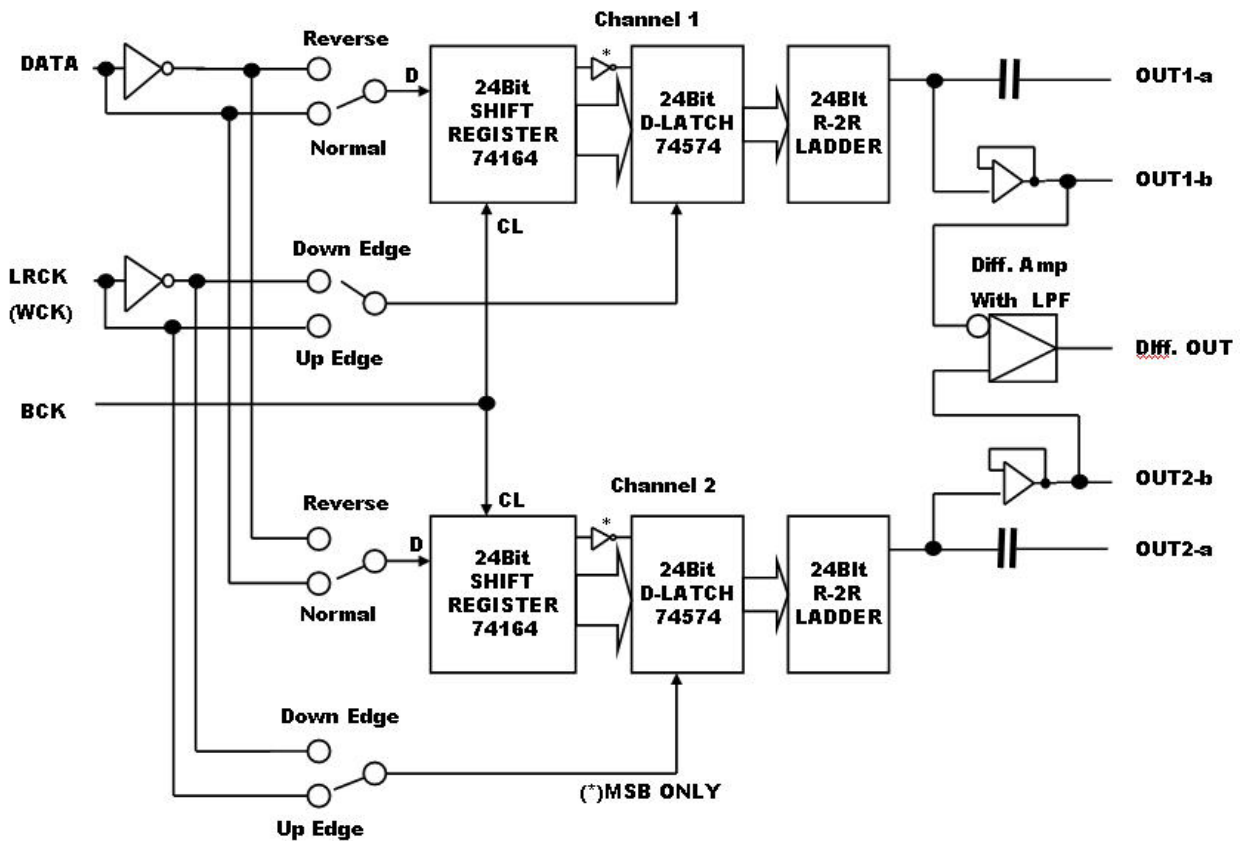


図 本基板回路の構成

3. 端子・コネクタ機能

表 基板端子

端子	名称	機能	説明
P1	GND	GND	デジタル回路用電源 (外部供給する場合に使用)
P2	EXT-Vcc	外部+5V 電源	
P3	Vee	負電圧入力	アナログ回路電源
P4	GND	GND	
P5	Vdd	正電圧入力	Ch. 1 出力
P6	OUT1-a	出力 a(*)	
P7	OUT1-b	出力 b(**)	
P8	GND	GND	差動出力(Ch. 2-Ch. 1)を 取出す場合に使用
P9	OUT-diff	差動出力	
P10	GND	GND	
P11	GND	GND	Ch. 2 出力
P12	OUT2-b	出力 b(**)	
P13	OUT2-a	出力 a(*)	

(*) 出力 a: R-2R ラダーの出力をコンデンサでDCカットした出力。シングルエンド出力の場合はここをつかいます。

(**) 出力 b: R-2R ラダーの出力をオペアンプでバッファリングした出力(DC オフセット有り)。ここからアンプに接続する場合は、コンデンサを直列に挿入して、DC をカットしてください。

表 コネクタ 1 (CN1 10P)

Pin	機能	Pin	機能
1	DATA (IN)	2	GND
3	LRCK (IN)	4	GND
5	BCK (IN)	6	GND
7	N. C	8	GND
9	+5V (IN/OUT)	10	+5V (IN/OUT)

DAI の出力はコネクタ CN1 に接続します。このコネクタには+5V の給電端子もあり、外部 (DAI 等) から電源を供給をうけることも可能です。この場合、DAC 基板に外部電源を接続することなしに動作できますので、DAC を極めてシンプルに構成できます。

4. 部品表

表 部品表 (24Bit, 差動構成にする場合)

品名	番号	規格	仕様	個数	備考	
抵抗	R1-6	1/4W 金属皮膜	620Ω	6	LPF 用	
	R7, 8	1/4W 金属皮膜	1MΩ	2	コンデンサ放電用 (差動出力時は不要)	
	R9	1/4W 金属皮膜	100Ω	2	出力保護用	
	R10, 11	1/4W 炭素皮膜	47k~100kΩ	2	プルアップ用	
	2R	1/4W 金属皮膜	2kΩ (1%)	48	1R, 2R の値の組み合わせは他でも可	
	1R	1/4W 金属皮膜	1kΩ (1%)	46		
	半固定抵抗	2Ra	1/4W 金属皮膜	1.8kΩ	2	2Ra+2Rb+2Rc = 2kΩ+-50Ω
		2Rb	1/4W 金属皮膜	150Ω	2	
2Rc		多回転半固定	100Ω	2		
コンデンサ		C1, 2	電解コンデンサ	10~47uF/10V	2	良質なもの (差動出力時は不要)
コンデンサ	C3	フィルムコンデンサ	6800pF	1		
	C4, 5	フィルムコンデンサ	2200pF	2		
	C6, 7	電解コンデンサ	100~1000uF/10V	2		
	C8, 9	電解コンデンサ	100~1000uF/25V	2		
	Cp	チップセラミック	0.1uF	2	2012 サイズ (0805)	
	IC	IC1-3	ロジック	74HC164	3	SOP
IC4		ロジック	74AC04	1	SOP (HC タイプでも可)	
IC5-7		ロジック	74HC164	3	SOP	
IC8		ロジック	74AC04	1	SOP (HC タイプでも可)	
IC9-14		ロジック	74HC574	6	SOP-WIDE	
IC15-17		OP アンプ	OPA134 など	3	DIP	
コネクタ	CN1	5P×2 列		1		
基板				1		

5. 基板上のジャンパー機能

この基板を動作させるためにはいくつかのジャンパーの設定が必要になります。またジャンパー機能をよく理解することが、この基板を上手く活用するためにコツになります。回路図と見比べてその機能を理解してください。具体的な設定例については後述します。

(a) 基板上コネクタ

JP1 の設定

Nor	Ch. 1 を非反転データで動作させる場合に短絡
Rev	Ch. 1 を反転データで動作させる場合に短絡

JP2 の設定

Nor	Ch. 2 を非反転データで動作させる場合に短絡
Rev	Ch. 2 を反転データで動作させる場合に短絡

JP3 の設定

Ch. 1	U	Ch. 1 の出力を LRCK のアップエッジでラッチする場合に短絡
	D	Ch. 1 の出力を LRCK のダウンエッジでラッチする場合に短絡
Ch. 2	U	Ch. 2 の出力を LRCK のアップエッジでラッチする場合に短絡
	D	Ch. 2 の出力を LRCK のダウンエッジでラッチする場合に短絡

JP4 の設定

開放	CN1 の Pin9, 10 と回路内 Vcc(+5V) を接続しない
短絡	CN1 の Pin9, 10 と回路内 Vcc(+5V) を接続する

6. 製作方法

(a) 製作手順

部品表と基板の部品配置図、シルク印刷を参照し、部品の向きや位置を間違えずに取り付けて半田付けしてください。慣れた方には説明不要なところですが、部品の取り付け順番によっては、後の部品の取り付けが難しくなる場合があります。基本的には背の低い部品、軽い部品から取り付けることが常道ですので、初心者の方は下記の順番(i)～(iii)を参考にしてください。

(i) 最初は表面実装部品を取り付ける

表面実装部品を一部につかいます。文字通り基板の表面で半田付けをするため、周辺に部品をつけたあとでは半田ごてのこて先がはいりにくくなる可能性があります。したがって、まず最初に表面実装部品から取り付けるようにしてください。

・フラットパッケージ IC を取り付ける

周囲のチップコンデンサを取り付けた後での半田付けは難しくなりますので、最優先でとりつけます。この IC はピン間 1.27mm です。比較的簡単でしょう。IC のピン間で半田ブリッジが生じた場合は半田吸い取り器や半田吸い取り線をつかって取り除いてください。

・チップコンデンサを取り付ける

この基板には 2012 サイズのチップコンデンサを使います。

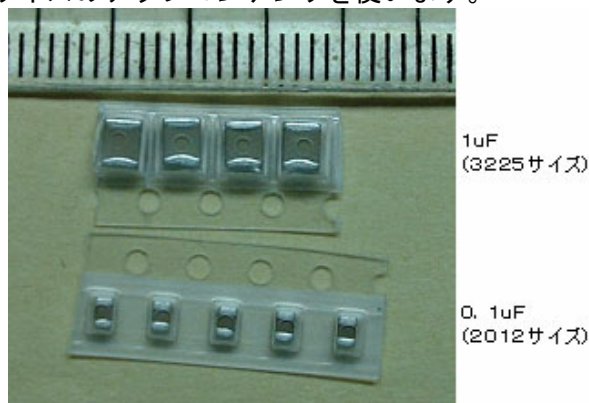


図 チップコンデンサ（取り扱いにはピンセットが必要）

チップコンデンサの半田付けの方法は色々あるかと思いますが、私が好む方法を 1 つ紹介します。まず基板上の片側の PAD (パッド) に予備半田をしておきます (半田を盛りすぎないように)。そしてピンセット等でチップ部品をつまみ、位置をあわせながら片側のみ半田を溶かして固定します。位置が決まれば反対側を半田付けします。

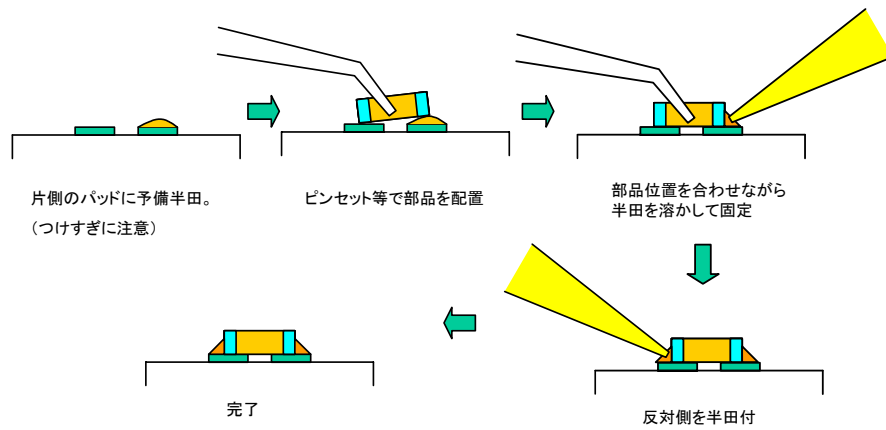


図 チップ積層セラミックコンデンサの半田付け方法

(ii)次に小物部品を取り付ける

小物：抵抗、フィルムコンデンサ、ICソケット、コネクタなどを取り付けます。

(b)製作時の一般的注意事項

(i)抵抗はその値をかならず確認してください(カラーコードを読んで確認する。もし、よく分からない場合は、テスターで測定する)。

(iii)電解コンデンサの極性(足の長い方が+、また一側はコンデンサにマーク有り)に注意してください。SSOP、DIPのICの切り込みおよびマークから足の番号1番の位置を確認してください。

(iv)IC類は熱に弱いので、できるだけ素早く半田付けしてください。

(c)部品を取り付け間違えた場合

スルーホール基板なので、一度、ハンダ付けすると、スルーホール部分にハンダが流れてしまっているため、取り外しが大変です。間違っても取り付けてしまったことに気づいたら、

(i)ハンダ面から該当する部品のランド部分を加熱し、ハンダを溶かす

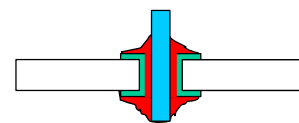
(ii)半田吸い取り器で吸い取る

(iii)該当部品の取り付けスルーホールから全てハンダが取り除かれたら、部品面からゆっくりと部品を引っ張って取り外すという手順で、部品を抜去してください。またSOPのICなどを左右誤って取り付けてしまったような場合、専用のジグ(PIN全部を加熱可能なコテ先)がないと取り外しは難しいでしょう。ということで、ハンダ付け前に、「慎重に」部品の種類と方向を確認してください。

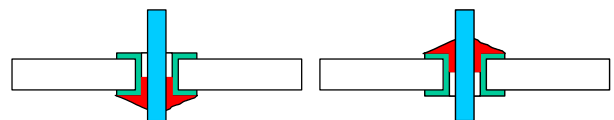
7. 完成後の確認

(a)部品間違い、取り付け位置間違いがないか確認ください。部品の取り付け方向間違いは、部品の破損に即つながります。

(b)半田不良(ブリッジ、イモ半田、半田不足)などがないかも十分に確認ください。半田付けについては、基板がスルーホールであるため部品面あるいは半田面で付いていれば導通は問題ありませんが、パッド部での強度確保やより高い導電度を確保するためにも十分な半田付けが望ましいでしょう。



(a)良好な半田付け



(b)半田不足

7. 動作ビット数の変更(24→16Bit)

本基板では既定値は24Bitですが、16Bitへの変更も容易です。下記の手順にしたがって変更ください。

(a) 最初から16Bitにする場合の抵抗の実装

実装必要な抵抗群は赤枠内の抵抗のみです（他の抵抗が実装されていても問題ありません。すなわち24Bit分の抵抗が実装されている状態からでも16Bit化は数カ所の変更で可能です）。

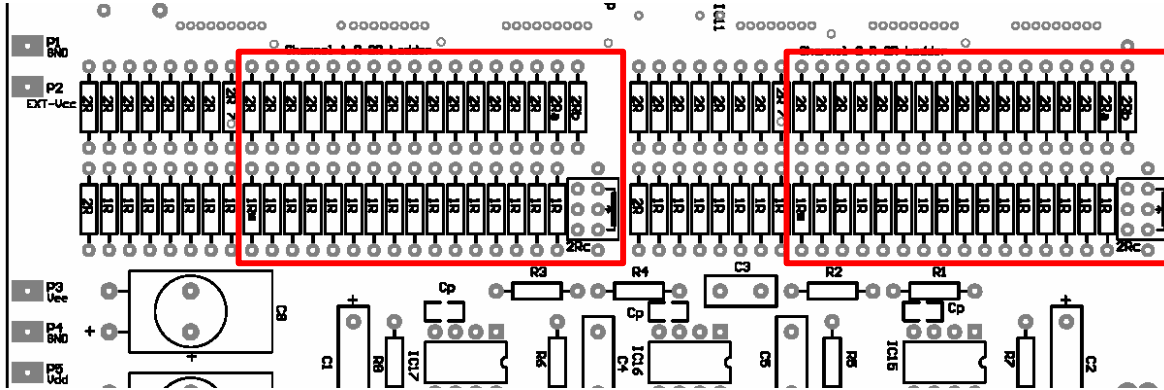


図 16Bit 動作時の実装必須の抵抗

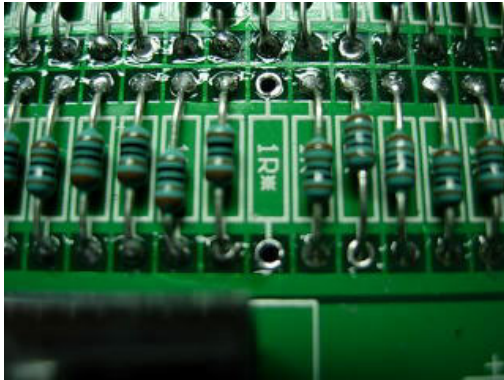
(b) 16Bit化への変更点

下記の3点について変更します。

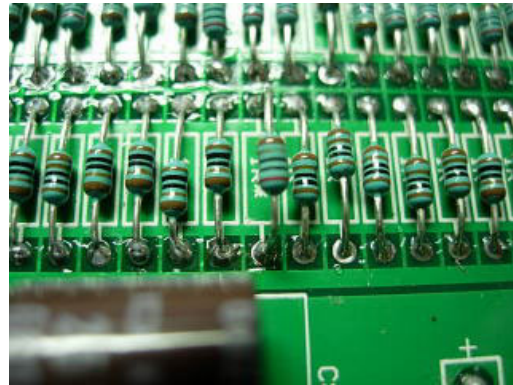
- (i) "1R*" については2R値を実装する（Ch1,2の2カ所）
- (ii) "16S"と書かれたパターンをショートする（半田面で計4カ所）
- (iii) "16C"と書かれたパターンをカットする（部品面で計2カ所）。

以下に24Bitから16Bitに変更する部分を図示の上、説明します。

(i) 抵抗の変更

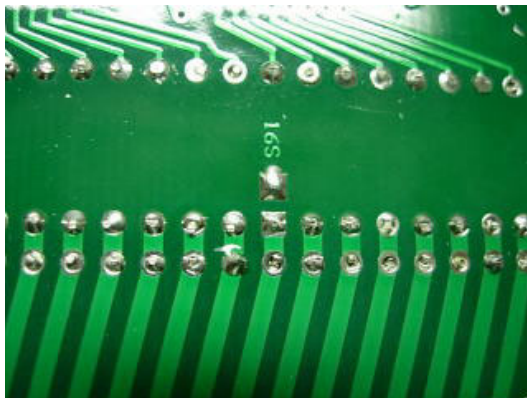


"1R*" のシルクの抵抗を外す

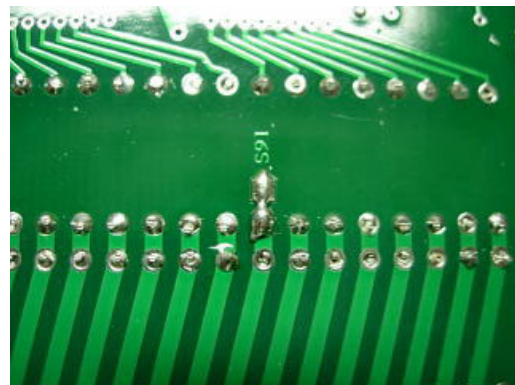


2R値に変更（Ch1,2の両方変更）

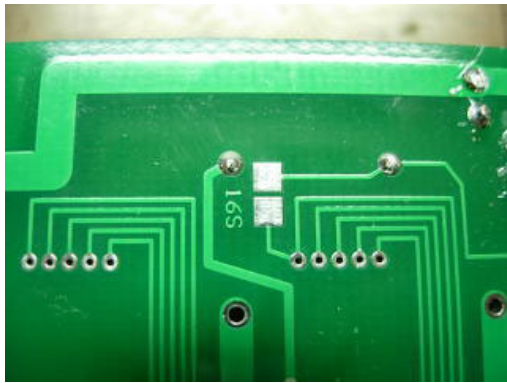
(ii) パターン短絡（"16S"の箇所を短絡）



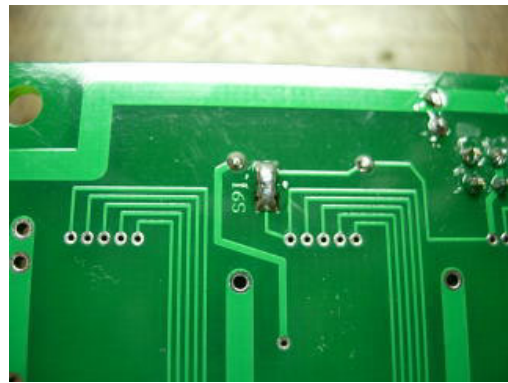
R-2R ラダー背面の"16S"の部分



短絡（Ch1,2の2カ所）

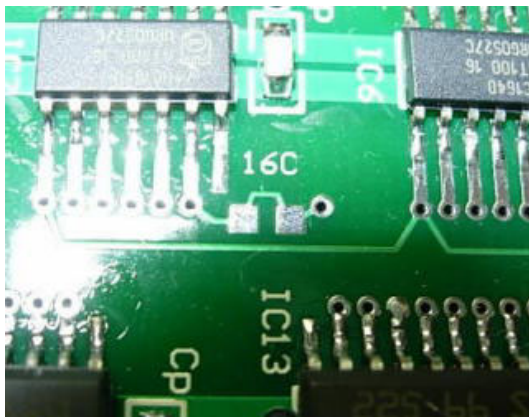


ロジック IC2, 6 の背面の“16S”の部分

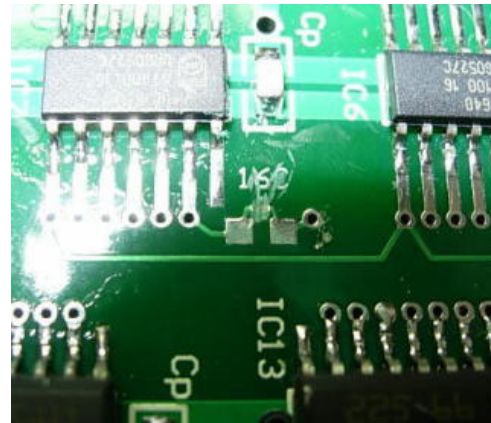


短絡 (Ch1, 2 の 2 カ所)

(iii) パターンカット (“16C”の箇所をカット)



ロジック IC3, 7 の近傍の“16C”の部分



短絡 (Ch1, 2 の 2 カ所有り)

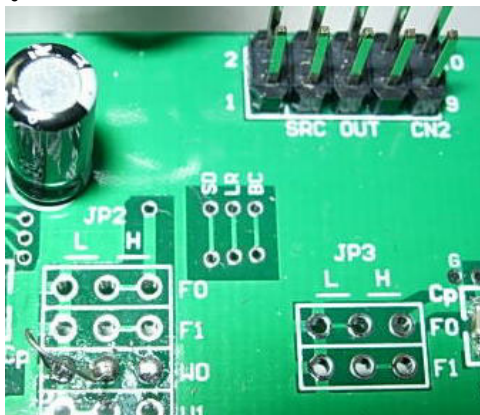
8. DAI との接続とジャンパーの設定方法

本 DAC は右詰 (Right justified) データ出力を持つ DAI (Digital Audio Interface) と接続します。接続は CN1 をつかい、DATA, LRCK、BCK の入力を対応するピンに入力します。リリースした基板群との接続例について下記にのべます。

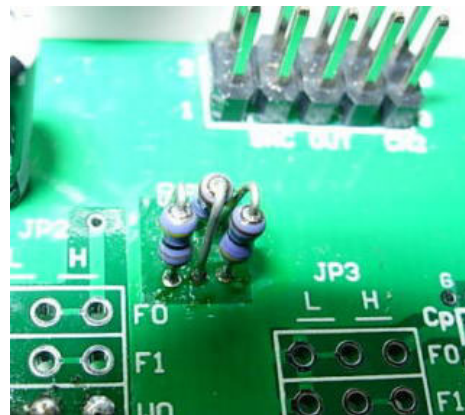
(a) ASRC (サンプルレートコンバータ) と接続する場合

(i) ケーブル接続

ASRC は既定値が 24Bit 出力になっているため DAC 基板についてはパターンカット等の作業は必要ありません。接続は ASRC の CN2 と DAC 基板の CN1 を 1 対 1 のフラットケーブル等で接続します。ASRC と DAC 基板はサイズ、ネジピッチおよびコネクタ位置も同一ですので、重ねて使うのに適しています。なお、ASRC 側に若干の改造が必要です。ASRC の CN2 に接続される信号線にダンピング抵抗の挿入を行ってください。47Ω 程度で、1/6W 程度の形状の小さい抵抗を下図を参照に挿入ください。



ダンピング抵抗の挿入箇所 (中央部)



抵抗を入れた状態。

(ii) 電源供給

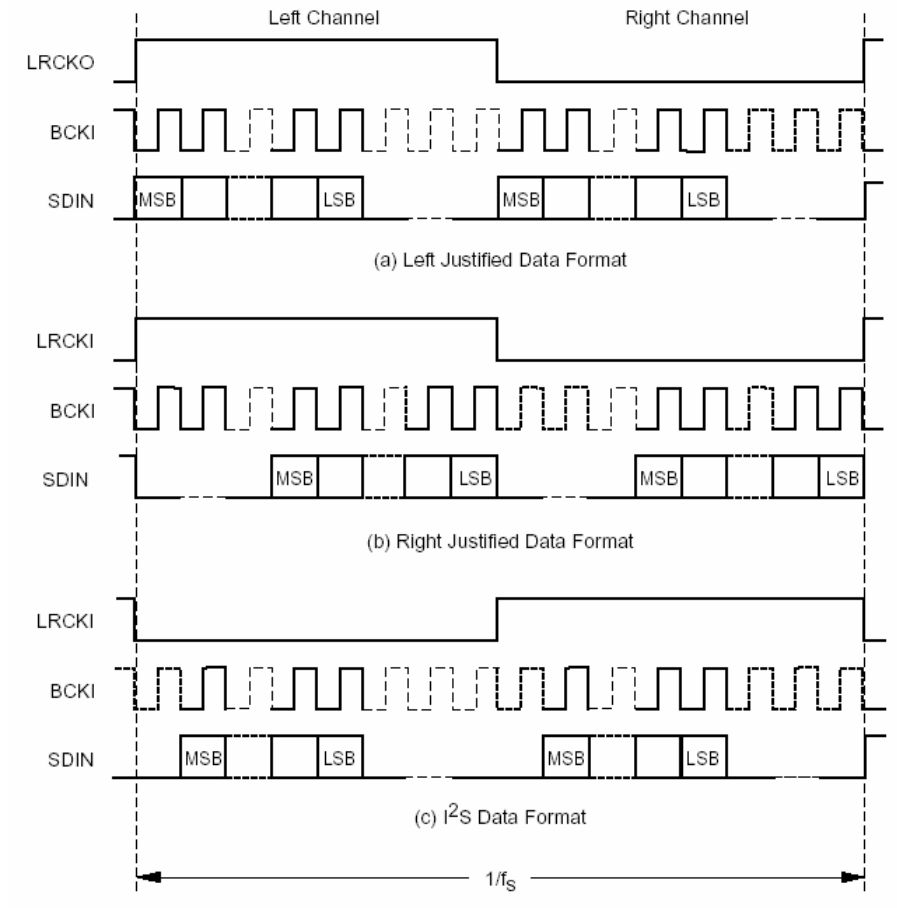
- ・ ASRC から+5V 電源を供給する場合：
DAC 基板の JP4 を接続します。この場合、DAC 基板の P2 (EXT-Vcc) への電源供給は不可です。
- ・ DAC 基板には別系統の+5V 電源を供給する場合：
DAC 基板の JP4 を開放します。DAC 基板の P2 (EXT-Vcc) へ+5V 電源を供給します。

(iii) DAC ジャンパーの設定

○シングルエンド（非差動）出力でつかう場合

まず DAC 基板 1 枚でステレオ出力する場合について説明します。

- ・ JP1, 2（出力の反転、非反転設定）
JP1, 2 で Nor あるいは Rev 側のどちらかに設定します。JP1, JP2 と同じ設定にしなければいけませんが、Nor あるいは Rev のどちらでもよいでしょう。恐らくその違いは聞き取れないと思います。
- ・ JP3（左右チャンネル出力の設定）
ジャンパーの設定にあたって DAI の出力フォーマットと対比すればわかりやすいでしょう。右詰(Right Justified 下図では(b))では、LRCK の立ち下がり時に L チャンネルの出力データを確定(ラッチ)させ、反対に LRCK の立ち上がり時に R チャンネルの出力を確定させます。



そのため、DAC 基板の Ch1, Ch2 の左右チャンネルの設定は JP3 をつかって次表の通りになります。

	右チャンネルに設定する場合	左チャンネルに設定する場合
Ch1	JP3 において Ch. 1 の U 側を短絡 (D 側は開放すること)	JP3 において Ch. 1 の D 側を短絡 (U 側は開放すること)
Ch2	JP3 において Ch. 2 の U 側を短絡 (D 側は開放すること)	JP3 において Ch. 2 の D 側を短絡 (U 側は開放すること)

簡単に言えば U 側に設定すれば右チャンネル、D 側に設定すれば左チャンネルになります。

○差動出力でつかう場合

差動出力の場合は DAC 基板が 2 枚必要で、それぞれを左右チャンネルのに設定します。

- ・ JP1, 2 (出力の反転、非反転設定)

JP1 を Rev、JP2 を Nor に設定します。あるいはその逆 (JP1 を Nor、JP2 を Rev) に設定します。
どちらでも結構ですが、2 枚つの DAC 基板とも同じ設定にします。

- ・ JP3 (左右チャンネル出力の設定)

右チャンネルとする場合 : JP3 の Ch1, 2 の両方とも U 側を短絡させます (D 側は開放)

左チャンネルとする場合 : JP3 の Ch1, 2 の両方とも D 側を短絡させます (U 側は開放)

(b) TC9245-DAI と接続する場合

(i) ケーブル接続

TC9245 は 16Bit の DAI のため、DAC 基板については予め 16Bit 構成にしておきます。「7. 動作ビット数の変更(24→16Bit)」を参照ください。接続は TC9245-DAI の CN2 と DAC 基板の CN1 を 1 対 1 のフラットケーブル等で接続します。

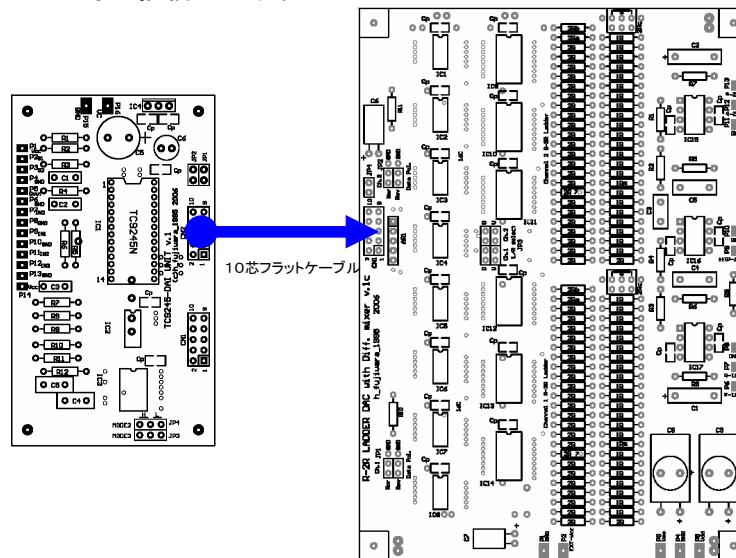


図 TC9245-DAI と DAC 基板との接続

(ii) 電源供給

- ・ TC9245-DAI から +5V 電源を供給する場合 :

TC9245-DAI 基板の JP1 を接続します。

DAC 基板の JP4 を接続します。この場合、DAC 基板の P2 (EXT-Vcc) への電源供給は不可です。

- ・ DAC 基板には DAI と別系統の +5V 電源を供給する場合 :

DAC 基板の JP4 を開放します。DAC 基板の P2 (EXT-Vcc) へ +5V 電源を供給します。

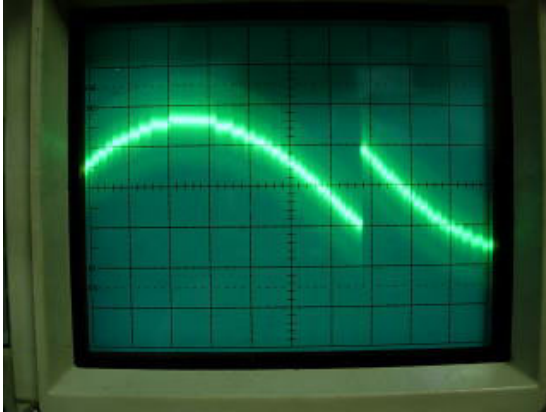
TC9245-DAI 基板の JP1 は念のため開放しておいたほうがよいでしょう。

(iii) DAC ジャンパーの設定

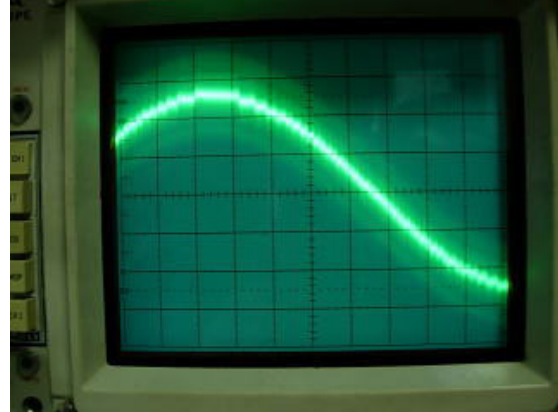
基本は ASRC との接続と同じです。ただし、ASRC との接続での説明は正規の右詰フォーマットの場合であり、TC9245 は LRCK 信号が反転していますので、”左チャンネル” および ”右チャンネル” を反対に読み替えてください。 左右チャンネルについては音だしをして確認すればよいでしょう。

9. ゼロクロス歪みの調整方法

本 DAC では用いる抵抗の精度などでゼロクロス時に歪みができる場合があります。入力されるデータは2の補数形式であり、0が0x000000、-1と0xFFFFと表現されますがDACへは連続出力にマッピングさせるために0,-1はそれぞれ0x800000および0x7FFFFFFに変換されます（MSBのみを反転させている）。このときMSBビットが変動しますので、抵抗の値によっては電圧出力に不連続が生じます。この歪みはノイズとして発生しますので、MSBに取り付けた半固定抵抗(2Rc)によって調整します。



未調整でのゼロクロス歪み (-40dB)



調整後

調整方法は-40dB程度の正弦波を入力して、オシロで観測しながら調整すれば簡単ですが、オシロがなくても可能です。大きく2つの方法があります。

(a) 聴感による方法

できるだけ静かな音楽を鳴らしてノイズが最小になるように、半固定抵抗を調整します。差動出力にしている場合は、一度シングルエンド出力に変更して調整したほうがよいでしょう。ノイズの最小位置は根気よく探してください。

(b) テスタを用いる方法

このDAC基板は、聴感に頼らなくても精度良く調整するための工夫がしてあります。テスター1つで調整が可能です。前述したように入力データは2の補数表現なので、データを0あるいは1に固定してやれば、R-2Rに加わる信号は0x800000と0x7FFFFFFになります。そして調整方法は入力データを0あるいは1に固定して、このときの電圧出力が同じになるようにVRを調整します。厳密には24Bitの場合で $1/2^{24} \times 5V$ の電圧差がありますが、テスターでは測定不可能な差です。ただし調整にはジャンパー設定の変更が必要です。なお調整時はDAIを接続して音楽を再生し、クロック信号が供給されている状態で行います。

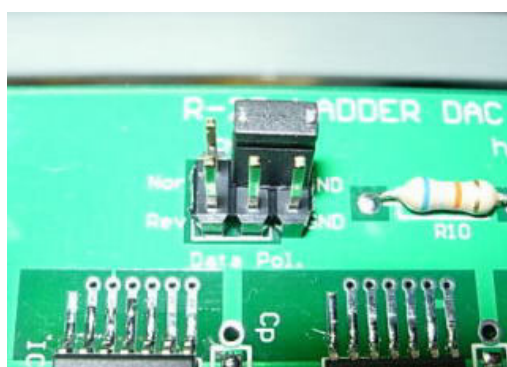
○ジャンパーの変更

音楽を聴くときのジャンパー(JP1, JP2)はNorあるいはRevの位置になっていますが、これを一旦はずします。



音楽を聴くときのジャンパー位置（通常位置）

入力データをすべて0あるいは1にするにはジャンパーを下図の位置に変更します。こうすることにより入力端子がLレベルあるいはHレベルになります。なお、このジャンパーはゼロクロス歪みの調整のときしかつかいませんから、わざわざピンを立てる必要はなく、何らかの導体で接続してやればよいでしょう。



入力をゼロとするためのジャンパー位置



入力を"1"とする場合(ジャンパー無し)

上記のジャンパーを切り変えながら DAC 出力が一定の電圧になるように調整します。ただし P6 あるいは P13 端子はコンデンサが接続されていますので、C1 あるいは C2 の "+" のシルクの書かれた端子の電圧を測定ください。

なお GND を基準として電圧を測定すると約 2.5V の出力が得られますが、1mV 以下で調整するためには 4 桁のテスターが必要となり必ずしも一般的ではありません（最近では 4 桁のテスターも安価になってきていますが、それでも 3 桁をお持ちの方が多くでしょう）。

3 桁のテスターで精度良く調整するためには下記のように行ってください。

Ch. 1 を調整するときは、JP2 を開放しておき、テスターは C1 の "+" と C2 の "+" 間の電圧を測定して JP1 を切り替えながら同一電圧になるように調整します。同様に Ch. 2 を調整するときは、JP1 を開放しておき、JP2 を切り替えながらさきと同じ箇所が同一電圧になるように調整します。これは Ch. 1 および Ch. 2 の中点電圧がほぼ同一であることを利用します。この方法であれば、3 桁のテスタでも 0.1mV 以下の高精度な調整が可能になります。

1.0. さいごに

R-2R LADDER DAC については先人の方は HP 等で各種公開されていますので、本マニュアルと併せて参照いただければ、深い理解につながると思います。

<参考 HP>

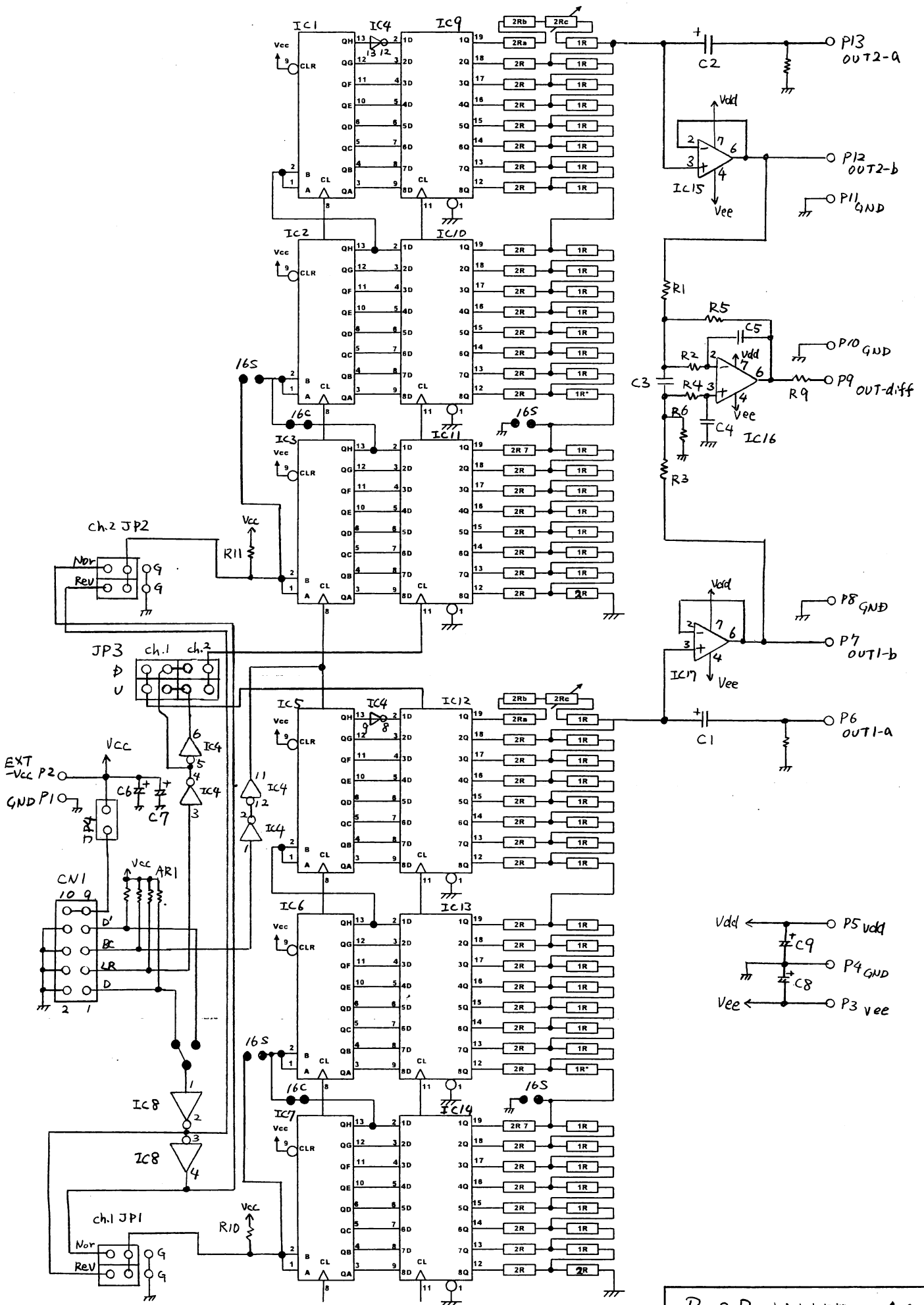
<http://www.ueno.no-ip.org/~tube-audio/>

<http://homepage3.nifty.com/ebina2540/>

など。

とくに上野氏には本 DAC の製作にあたりアドバイス等を頂き多大なお世話になりました。この紙面にて謝意を表します。

(以 上)



R-2R LADDER DAC
2006 h-fujiwara-1995