

サンプルレートコンバータ製作マニュアル

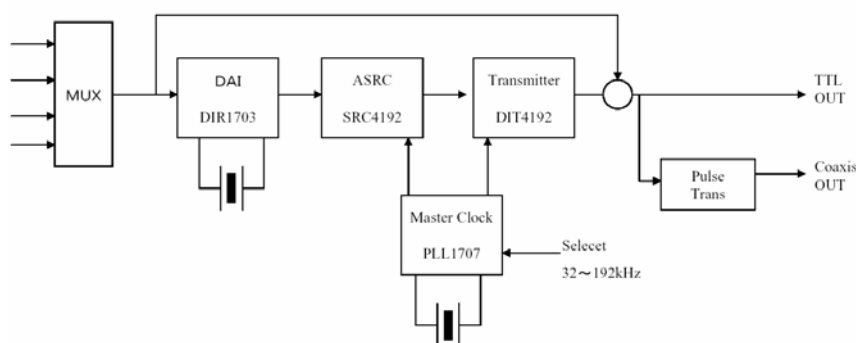
Asynchronous Sample Rate Convertor

本基板をつかって生じた感電、火災等の一切のトラブルについては、当方は責任を負いませんのでご了承ください。また基板、回路図、マニュアル等の著作権は放棄していませんので、その一部あるいは全体を無断で第三者に対して使用することはできません。

本マニュアルに記載の内容は製作上級者の方には不要なものが多く含まれますが、製作の前に必ず読んでいただきますようお願いいたします。

1. はじめに

サンプルレートコンバータとは、名前のおりでデジタルオーディオ信号のサンプル周波数を変更するものです。たとえば 44.1kHz でサンプルされたものを 96kHz や 192kHz に変換します。変換工程において互いの周波数が整数倍ではなく非同期変換となることから、ASRC（非同期サンプルレートコンバータ）と一般には呼ばれています。本基板はこの ASRC 機能を実現するためのものです。CD プレイヤと DAC 間に接続するアクセサリとして面白いと思います。



本基板回路の構成



図 完成例

2. 基本仕様

- | | |
|-----------|---|
| (1) 入力 | : 4 系統 同軸入力× 2、TTL 入力× 2 |
| (2) 出力 | : 2 系統 同軸出力× 1、TTL 出力× 1 (出力は ASRC 機能の ON/OFF セレクト有り) |
| (3) 入力周波数 | : 32, 44.1, 48, 96kHz |
| (4) 出力周波数 | : 32, 44.1, 48, 88.2, 96, 176.4, 192kHz のうちから選択 |
| (5) 入力電源 | : AC 7 ~ 10V 程度 (整流回路内蔵) |
| (6) 基板 | : ガラスエポキシ 2 層基板、寸法 102 × 145mm |

重要事項：本基板では 96kHz までの出力で動作することは確認しておりますが 192kHz では、動作確認の機器がないためチェックはしておりません。オシロで観測している信号からは問題ないと思われ
ますが、あくまでも未確認です。また、接続する機器によっては相性等で動作しない可能性もありま
す。この点を含めて自作用の基板であり動作の保証はしないことを予めご承知ください。

3. 端子機能

端子機能を下表に示します。

表 端子機能（その1）

No	機能	説明	
P1	CH3+	Ch. 3 入力の正信号	Ch. 3 入力 同軸入力仕様
P2	GND	Ch. 3 入力の GND	
P3	CH2+	Ch. 3 入力の正信号	Ch. 2 入力 同軸入力仕様
P4	GND	Ch. 3 入力の GND	
P5	Vcc	+5V 電源	Ch. 1 入力 TTL 入力仕様 (光コネクタ当)
P6	CH1+	Ch. 1 入力の正信号	
P7	GND	Ch. 1 入力の GND	
P8	Vcc	+5V 電源	Ch. 0 入力 TTL 入力仕様 (光コネクタ当)
P9	CH0+	Ch. 0 入力の正信号	
P10	GND	Ch. 0 入力の GND	
P11	B	入力選択 B	入力チャンネルは選択は 下表を参照
P12	A	入力選択 A	
P13	GND	GND	
P14	Vcc	+5V 電源	選択されたチャネル出力 (TTL レベル)
P15	OUT	選択チャネル出力	
P16	GND	GND	
P17	AC2	トランス入力 2	AC7~10V 程度のトランス を接続する。
P18	AC1	トランス入力 2	
P19	LED+	LED の (+) に接続	パイロットランプ用
P20	LED-	LED の (-) に接続	
P21	32.1kHz	出力周波数 32kHz 選択	周波数選択 P21~P27 のうちの 1 つを GND と接続することにより 所定の出力周波数に設定 する (無接続時は 48kHz)
P22	44.1kHz	出力周波数 44.1kHz 選択	
P23	48kHz	出力周波数 48kHz 選択	
P24	88.2kHz	出力周波数 88.2kHz 選択	
P25	96kHz	出力周波数 96kHz 選択	
P26	176.4kHz	出力周波数 176.4kHz 選択	
P27	192kHz	出力周波数 192kHz 選択	
P28	GND	GND	出力端子：同軸
P29	OUT-	同軸出力 (-)	
P30	OUT+	同軸出力 (+)	
P31	GND	GND	出力端子：TTL (光端子等を接続)
P32	OUT	出力端子	
P33	Vcc	5V 電源	
P34	GND	GND	P35 を GND 接続した場合は ASRC はスルー (入力信号を そのまま出力)
P35	FLAG	SRC ON/OFF	

表 入力チャンネル選択

選択 Ch	A 入力 (P12)	B 入力 (P11)
0	GND	GND
1	OPEN	GND
2	GND	OPEN
3	OPEN	OPEN

3. 部品表

表 部品表

品名	番号	規格	仕様	個数	備考
抵抗	R1	炭素皮膜 1/4W	10k Ω	1	
	R2, 3	炭素皮膜 1/4W	75 Ω	2	
	R4~7	炭素皮膜 1/4W	47k Ω	4	
	R8, 9	炭素皮膜 1/4W	22k Ω	2	
	R10	炭素皮膜 1/4W	22 Ω	1	
	R11	炭素皮膜 1/4W	1M Ω	1	
	R12	金属皮膜 1/4W	1.2k Ω	1	LOOP フィルタ用
	R13	炭素皮膜 1/4W	- (不要)	-	半田面でジャンパ済み
	R14	炭素皮膜 1/4W	75 Ω	1	
	R15	炭素皮膜 1/4W	22k Ω	1	
	R16a	炭素皮膜 1/4W	390 Ω	1	R16a+R16b=720 Ω
	R16b	炭素皮膜 1/4W	330 Ω	1	
	R17	炭素皮膜 1/4W	240 Ω	1	
	R18a	炭素皮膜 1/4W	390 Ω	1	R18a+R18b=394 Ω
	R18b	炭素皮膜 1/4W	3.9 (or ジャンパ -)	1	
	R19	炭素皮膜 1/4W	240 Ω	1	
	R20, 21	炭素皮膜 1/4W	22k Ω	2	
	R22	炭素皮膜 1/4W	2.7k Ω	1	
	AR1	炭素皮膜 1/4W	22k Ω	1	8 素子集合抵抗
	コンデンサ	C1	電解コンデンサ	22 μ F/10V	1
C2, 3		フィルムコンデンサ	0.1 μ F	2	
C4-6		電解コンデンサ	47 μ F/10V	3	
C7, 8		セラミックコンデンサ	22pF	2	
C9		フィルムコンデンサ	0.068 μ F	1	LOOP フィルタ用
C10		セラミックコンデンサ	47 μ F/10V	1	
C11		フィルムコンデンサ	0.0082 μ F	1	LOOP フィルタ用
C12		フィルムコンデンサ	0.1 μ F	1	
C13		フィルムコンデンサ	1000pF	1	
C14, 15		セラミックコンデンサ	22pF	2	
C16		電解コンデンサ	4700 μ F/25V	1	
C17-20		電解コンデンサ	47 μ F/10V	4	
C21-24		電解コンデンサ	47 μ F/10V	4	
C25		電解コンデンサ	10 μ F/10V	4	
Cp		セラミックコンデンサ	0.1 μ F	16	2012 サイズ
ダイオード		D1-4	小電流 SW 用	1S1588 など	4
	D5-8	1A 整流用	1N4002 など	4	
IC	IC1	ロジック	74HCU04	1	DIP
	IC2	ロジック	74HC153	1	DIP
	IC3	DAI	DIR1703	1	SSOP
	IC4	ASRC	SRC4192	1	SSOP
	IC5	DIT	DIT4192	1	SSOP
	IC6	PLL	PLL1707	1	SSOP
	IC7	ロジック	74HC153	1	DIP
	IC8	ロジック	74HCU04	1	DIP
	IC9	ロジック	74HC00	1	DIP
	IC10	ロジック	74HC20	1	DIP
	IC11, 12	レギュレータ	LM317	2	T0220
水晶振動子	X1		16.9344MHz	1	円柱型
	X2		27.000MHz	1	円柱型
トランス	T1		パルストランス	1	
放熱板	H1, 2	T0-220 用	16PB16	2	基板取り付け用
基板				1	

4. 基板上コネクタ、ジャンパー機能

基板上のコネクタおよびジャンパー線については変更するところはありません。この基板を応用する場合の補助出力として役割ですので、変更等を行う場合は IC のマニュアル等をよく理解のうえ設定ください。

(a) 基板上コネクタ

CN1 のピン機能

PIN	機能	DIR1703 (IC3) との接続
1	Word Clock	PIN10 LRCK0
2	BitClock	PIN11 BCK0
3	Data	PIN12 DOUT
4	GND	GND

(DIR1703 は 384fs, 24Bit Right Justified に設定)

CN2 のピン機能

PIN	機能	SRC4192 (IC4) との接続
1	Data	PIN23 SDOUT
2	GND	GND
3	Word Clock	PIN24 LRCK0
4	GND	GND
5	BitClock	PIN25 BCK
6	GND	GND
7	SCK02	PLL1707 の SCK02 が接続
8	GND	GND
9	Vcc	+5V
10	Vcc	+5V

(b) 基板上ジャンパー

JP1 の設定

接続	内容	備考
1-2	EMPHASIS OFF	JP4 を SHORT させること
2-3	EMPHASIS ON (DEFAULT)	EMPHASIS ON (DEFAULT)

JP2 の設定 (その 1)

設定	SRC4192 (IC4) との接続関係	機能 (OUTPUT PORT DATA FORMAT)			
		Left Justified	I2S	TDM	Right Justified (Default)
F0	PIN19 OFMT0	L	L	H	H
F1	PIN18 OFMT1	L	H	L	H

JP2 の設定 (その 2) (修正 2006. 5. 22)

設定	SRC4192 (IC4) との接続関係	機能 (OUTPUT PORT DATA LENGTH)			
		24Bit (Default)	20Bit	18Bit	16Bit
W0	PIN17 OWL0	L	H	L	H
W1	PIN16 OWL1	L	L	H	H

JP4 の設定

接続	内容
OPEN	IC9 の PIN12, 13 のプルアップ無し (default)
SHORT	IC9 の PIN12, 13 のプルアップ

(注意) 基板上のジャンパー線は予め部品面にてパターンが存在します。変更する場合はパターンを切断の上、あらたに設定ください。

5. 製作方法

(a) 製作手順

部品表と基板の部品配置図、シルク印刷を参照し、部品の向きや位置を間違えずに取り付けて半田付けしてください。慣れた方には説明不要なところですが、部品の取り付け順番によっては、後の部品の取り付けが難しくなる場合があります。基本的には背の低い部品、軽い部品から取り付けることが常道ですので、初心者の方は下記の順番(i)～(iii)を参考にしてください。

(i) 最初は表面実装部品を取り付ける

表面実装部品を一部につかいます。文字通り基板の表面で半田付けをするため、周辺に部品をつけたあとでは半田ごてのこて先がはいりにくくなる可能性があります。したがって、まず最初に表面実装部品から取り付けるようにしてください。

・フラットパッケージICを取り付ける

周囲のチップコンデンサを取り付けた後での半田付けは難しくなりますので、最優先でとりつけます。このICはピン間0.65mmですので注意して取り付けないとピン間で半田ブリッジが起きます。できるだけ細い半田(0.3mmのものを推奨)を用意ください。まず細く切ったセロハンテープでICを仮固定したのちに半田付けしたほうがよいでしょう。ICのピン間で半田ブリッジが生じた場合は半田吸い取り器や半田吸い取り線をつかって慎重に取り除いてください。セロハンテープはpinすべての半田付けが終わってから、ICを押さえながらはがします。1、2本のpinを半田付けした状態でセロハンテープをはがそうとするとパターンがめくれ上がったり、ICのピンが曲がる可能性があります。半田付けであると便利なものがフラックスです。半田の表面が活性化し、表面張力によってブリッジがしにくくなります。半田の前に塗布するとよいでしょう。乾燥を待たずに半田付けしてしまいましょう。

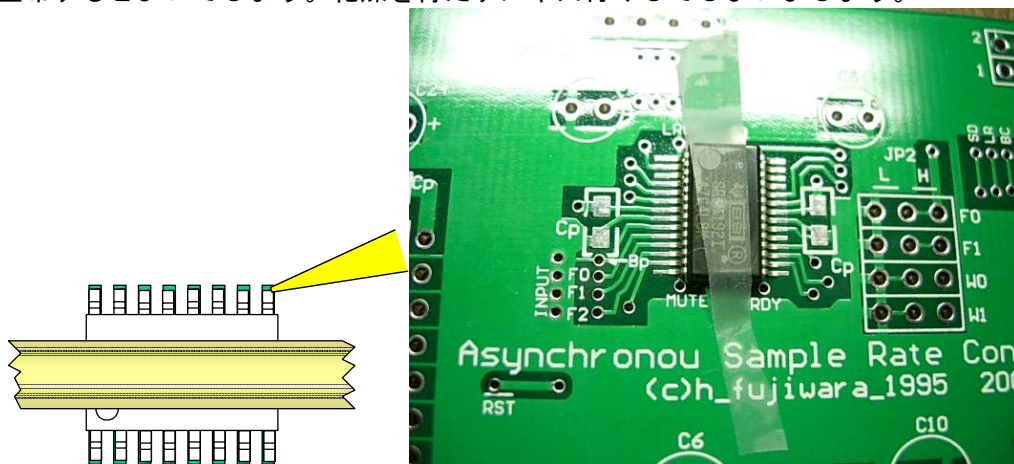


図 S S O P の半田付け方法。一旦セロハンテープ等で固定すると作業しやすい。

半田付け後は基板を透かして見てブリッジがないかよく確認しましょう。ルーペで半田不良のところもよく確認ください。必要ならテスト等で調べましょう。部品を全部つけたあとでは修正はきわめて難しい作業になります。

表面実装部品の取り付けのコツを掲載したHPもありますので参考にしてください。その他、探せばいろいろとできます。

<http://www.picfun.com/flat01.html>

<http://optimize.ath.cx/cusb/handa.html>

・チップコンデンサを取り付ける

この基板には 2012 サイズのチップコンデンサを使います。

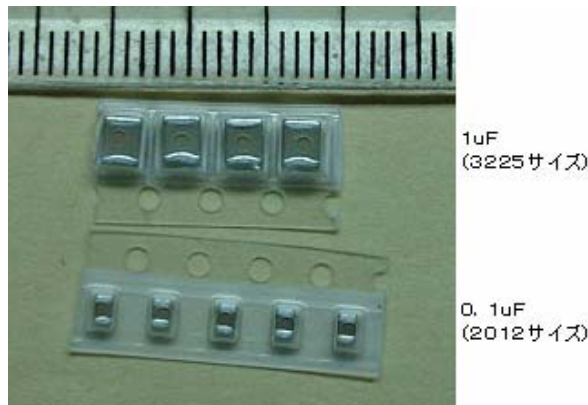


図 チップコンデンサ（取り扱いにはピンセットが必要）

チップコンデンサの半田付けの方法は色々あるかと思いますが、私が好む方法を1つ紹介します。まず基板の片側のPAD（パッド）に予備半田をしておきます（半田を盛りすぎないように）。そしてピンセット等でチップ部品をつまみ、位置をあわせながら片側のみ半田を溶かして固定します。位置が決まれば反対側を半田付けします。

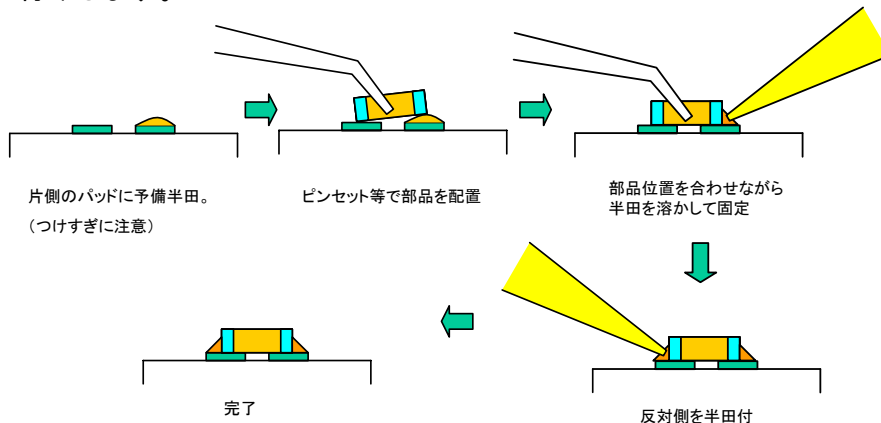


図 チップ積層セラミックコンデンサの半田付け方法

(ii) 次に小物部品を取り付ける

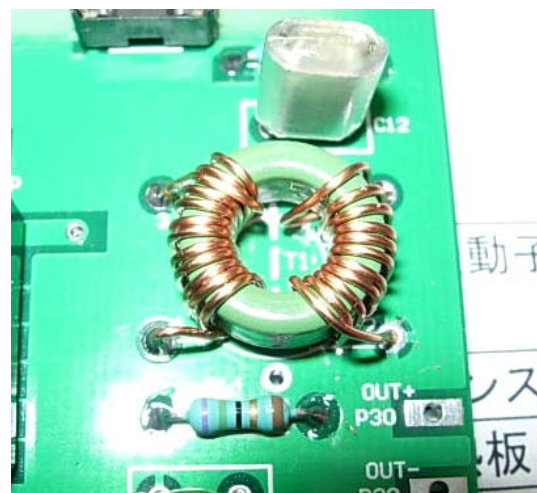
小物：抵抗、IC ソケット、セラミックコンデンサ、フィルムコンデンサ、ダイオード、水晶発振子などを取り付けます。

(iii) 電圧レギュレータと最後に電解コンデンサを取り付ける。

(iv) パルスコイルはフェライトコアに10T程度を巻き付けて製作します。インダクターコイル（チョークコイル）をバラして使うのも安上がりとする手段の一つです。



パルストランスの製作例



取り付け状態

(b) 製作時の一般的注意事項

- (i) 抵抗はその値をかならず確認してください(カラーコードを読んで確認する。もし、よく分からない場合は、テスターで測定する)。
- (iii) 電解コンデンサの極性(足の長い方が+、また一側はコンデンサにマーク有り)に注意してください。SSOP、DIPのICの切り込みおよびマークから足の番号1番の位置を確認してください。
- (iv) IC類は熱に弱いので、できるだけ素早く半田付けしてください。

(c) 部品を取り付け間違えた場合

スルーホール基板なので、一度、ハンダ付けすると、スルーホール部分にハンダが流れてしまっているため、取り外しが大変です。間違えて取り付けてしまったことに気づいたら、

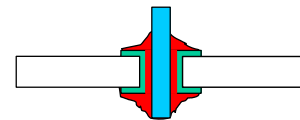
(i) ハンダ面から該当する部品のランド部分を加熱し、ハンダを溶かす

(ii) 半田吸い取り器で吸い取る

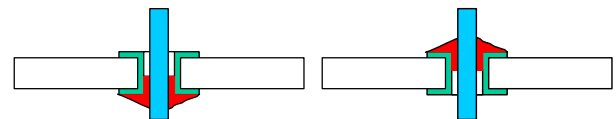
(iii) 該当部品の取り付けスルーホールから全てハンダが取り除かれたら、部品面からゆっくりと部品を引っ張って取り外すという手順で、部品を抜去してください。またSOPのICなどを左右誤って取り付けてしまったような場合、専用のジグ(PIN全部を加熱可能なコテ先)がないと取り外しは難しいでしょう。ということで、ハンダ付け前に、「慎重に」部品の種類と方向を確認してください。

6. 完成後の確認

- (a) 部品間違い、取り付け位置間違いがないか確認ください。部品の取り付け方向間違いは、部品の破損に即つながります。
- (b) 半田不良(ブリッジ、イモ半田、半田不足)などがないかも十分に確認ください。半田付けについては、基板がスルーホールであるため部品面あるいは半田面で付いていれば導通は問題ありませんが、パッド部での強度確保やより高い導電度を確保するためにも十分な半田付けが望ましいでしょう。



(a)良好な半田付け



(b)半田不足

(c) 電源ラインのショートについてはテスタ等で確認ください。電源部の不良は大量部品の致命的な損傷につながります。また3端子電圧レギュレータのアース端子の半田忘れをすると、出力側に入力側と同じ電位が流れ出しますので、下流側回路を一気に破壊する可能性があります。

7. 接続

以下に動作のための接続法について記します。

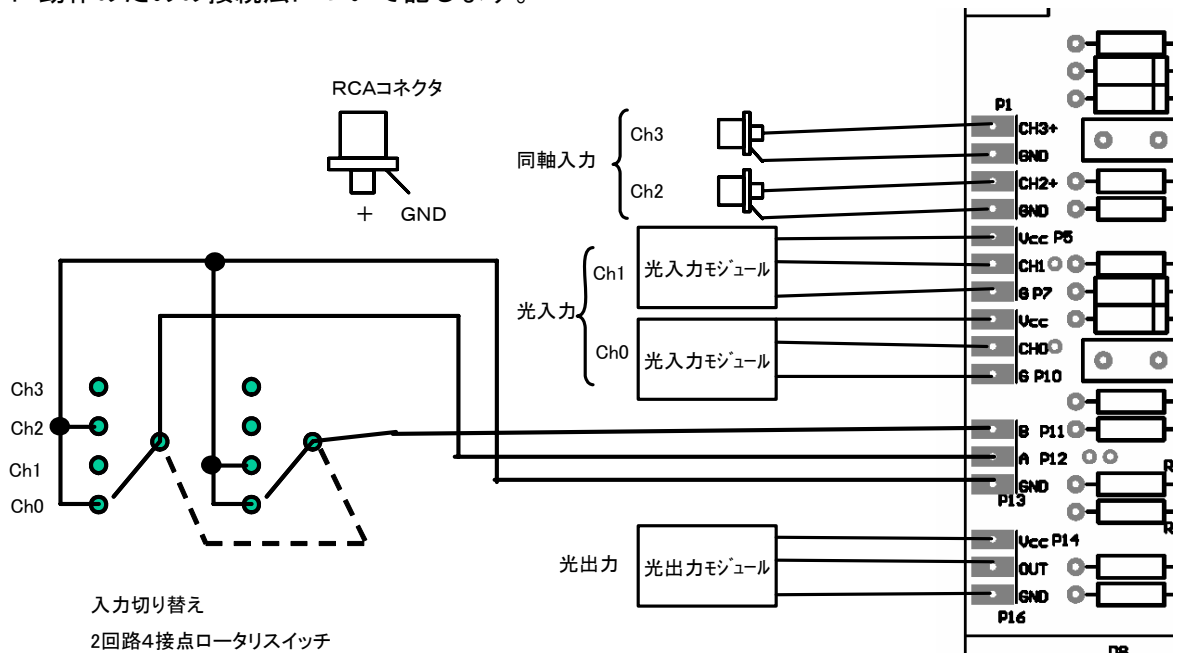


図 入力関係の接続

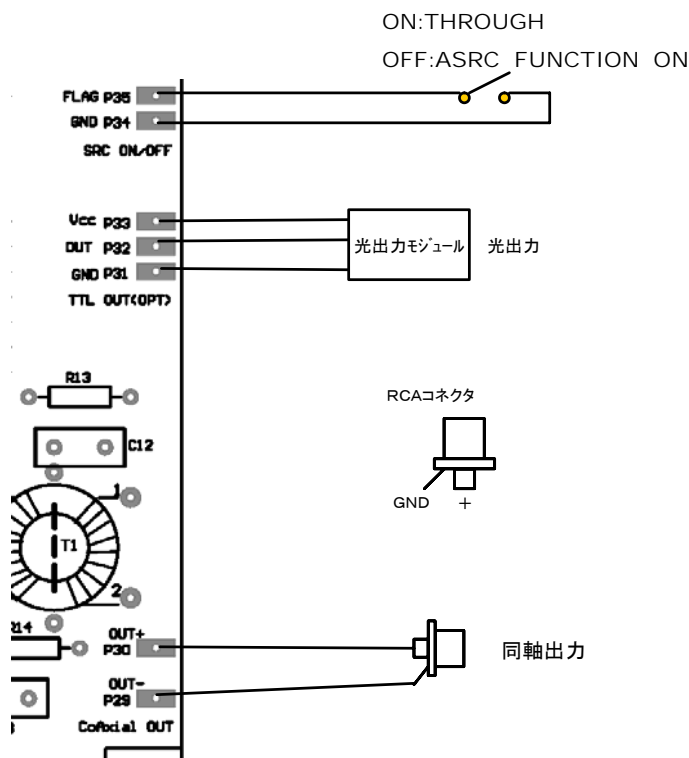


図 出力関係の接続

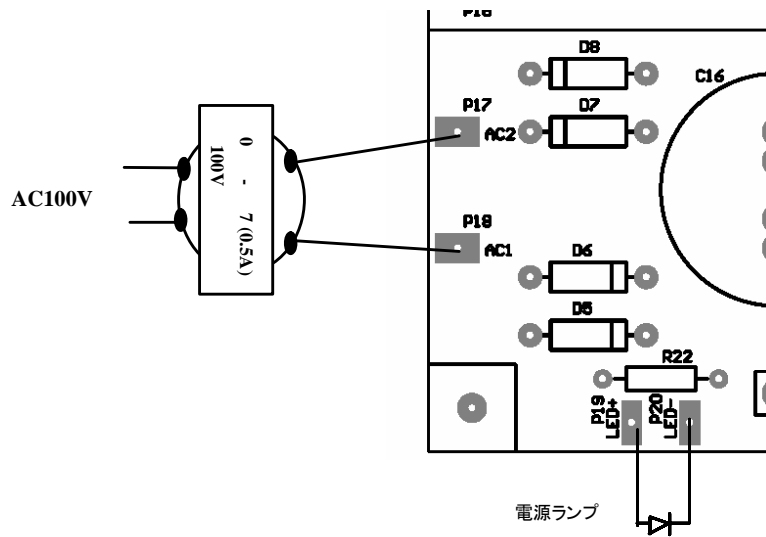


図 電源関係の接続

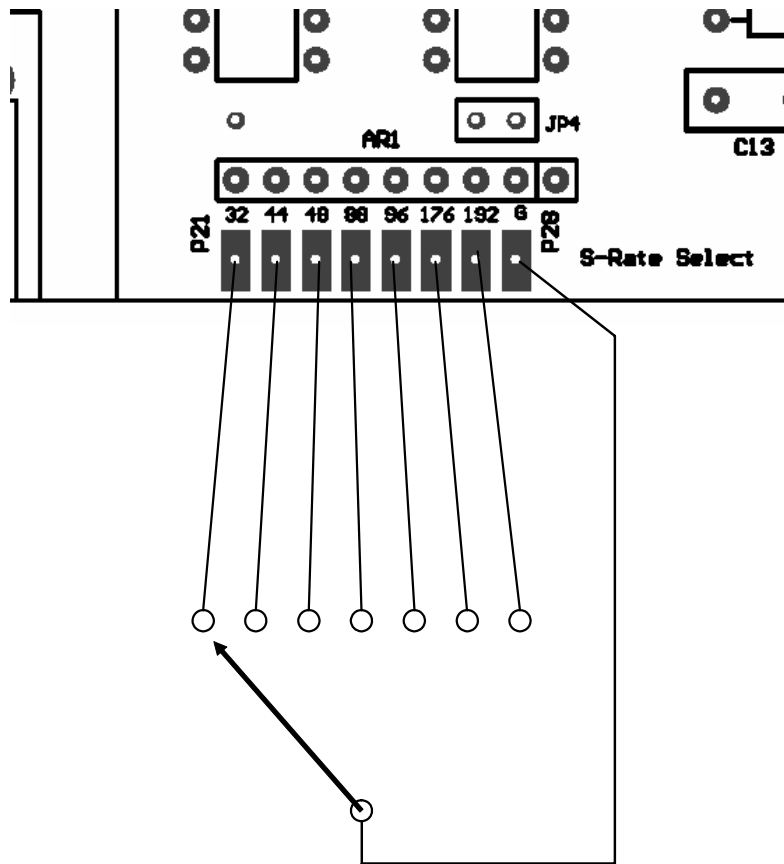
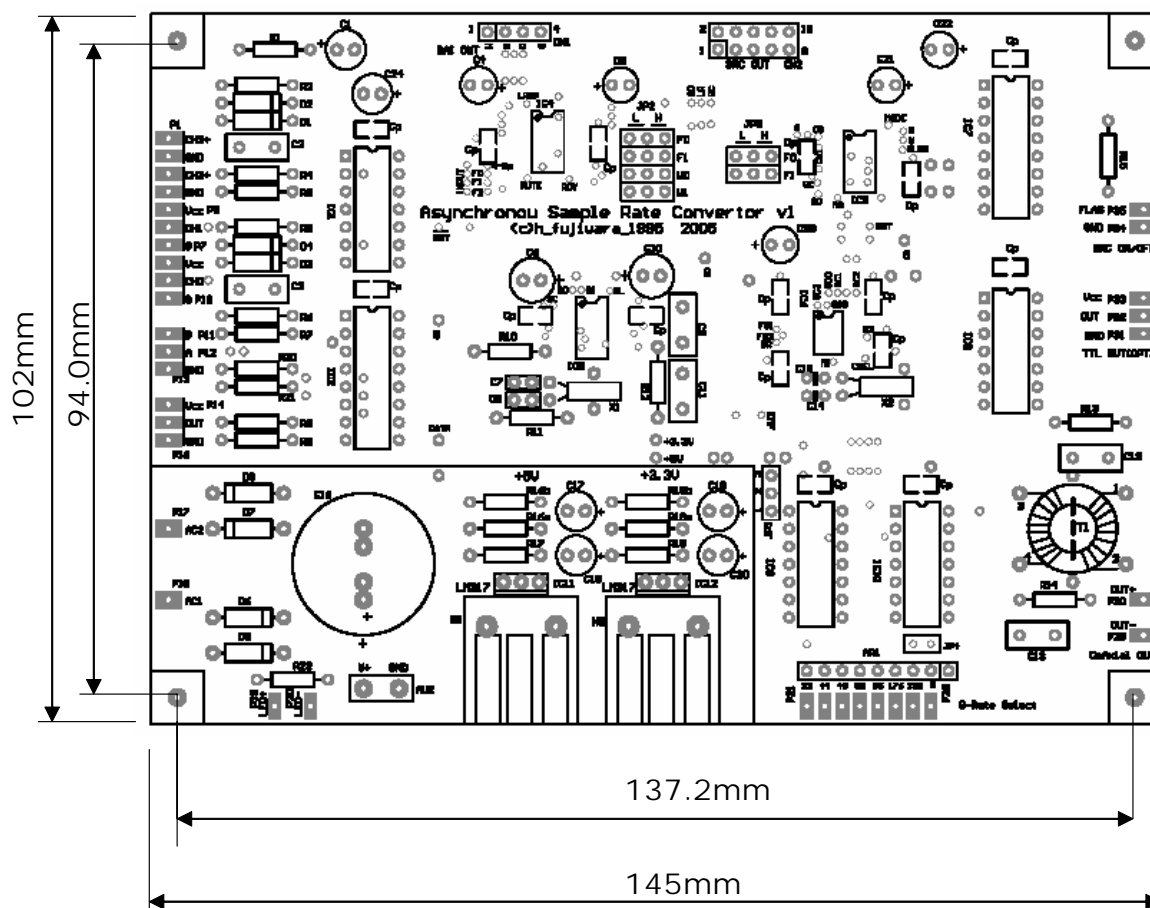


図 周波数選択

周波数選択はロータリースイッチをつかって切り替えられるようにすれば便利でしょう。なお7接点のスイッチは入手が難しいので6接点あたりをつかって、必要な周波数のみを選択できるようにすれば便利かと思います(6接点でなくても4接点などでもOK)。なお、接続しない場合は48kHzになります。

8. 基板外形



9. 部品の変更について

- (1) IC7, 8には74HCタイプを用いていますが、より信号の立ち上がりを重視したい場合には74ACタイプがいいでしょう。
- (2) パルストランスの巻数については10T程度でよいと思われますが、より高い周波数(192kHz)でつかう場合には巻き線数を減らしたほうが信号のエッジが鋭くなると思います。8T程度に変更するなど、試してみるのも面白いと思います。

10. 基板のバグ情報

対象基板： ASRC基板(v1, v1a, v1b)

IC7(74HC153)のPin2がフロート状態になっているミスがありました。

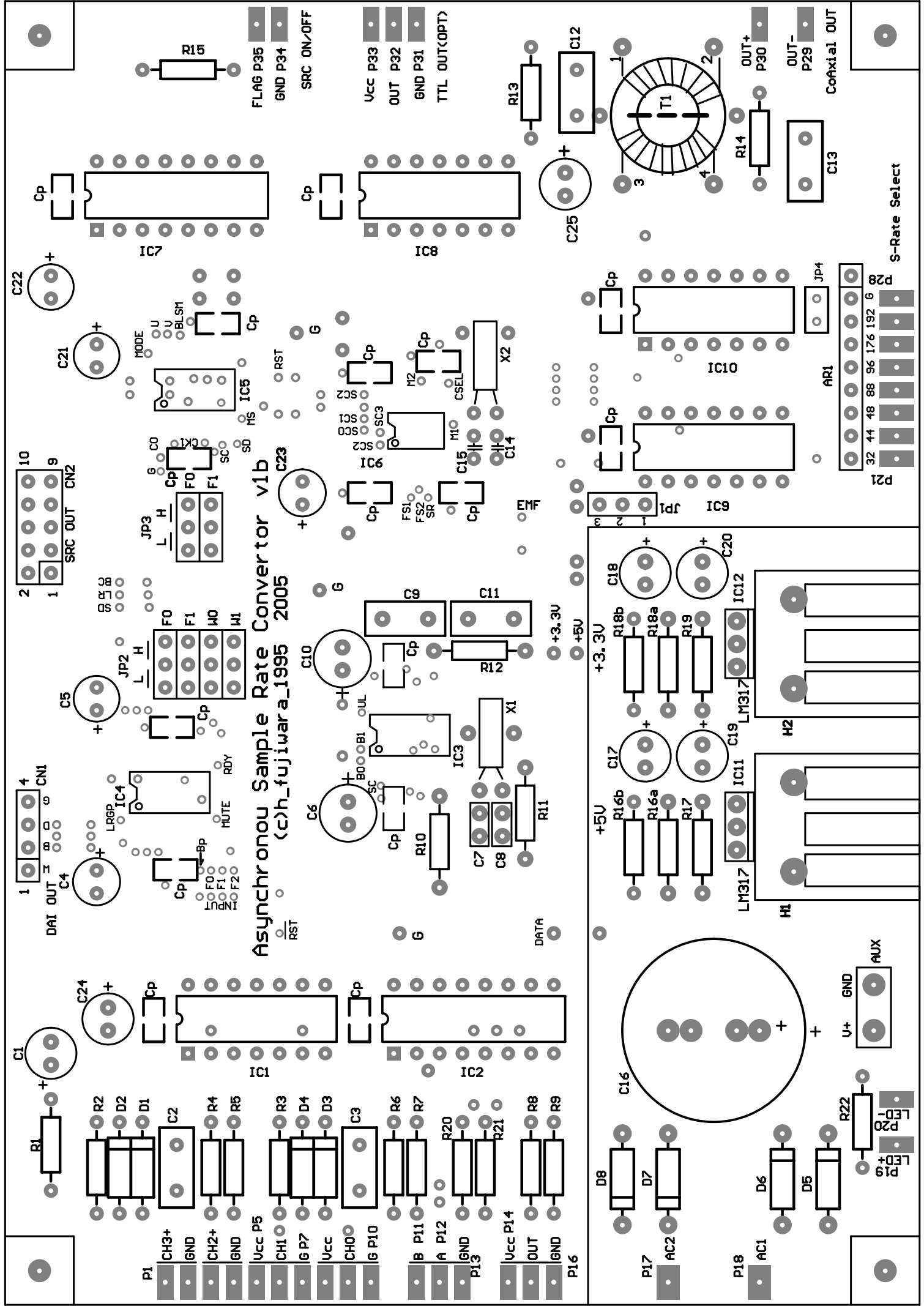
動作として安定しない状況になる場合があります(IC7に指を近づけると音がとぎれる)。

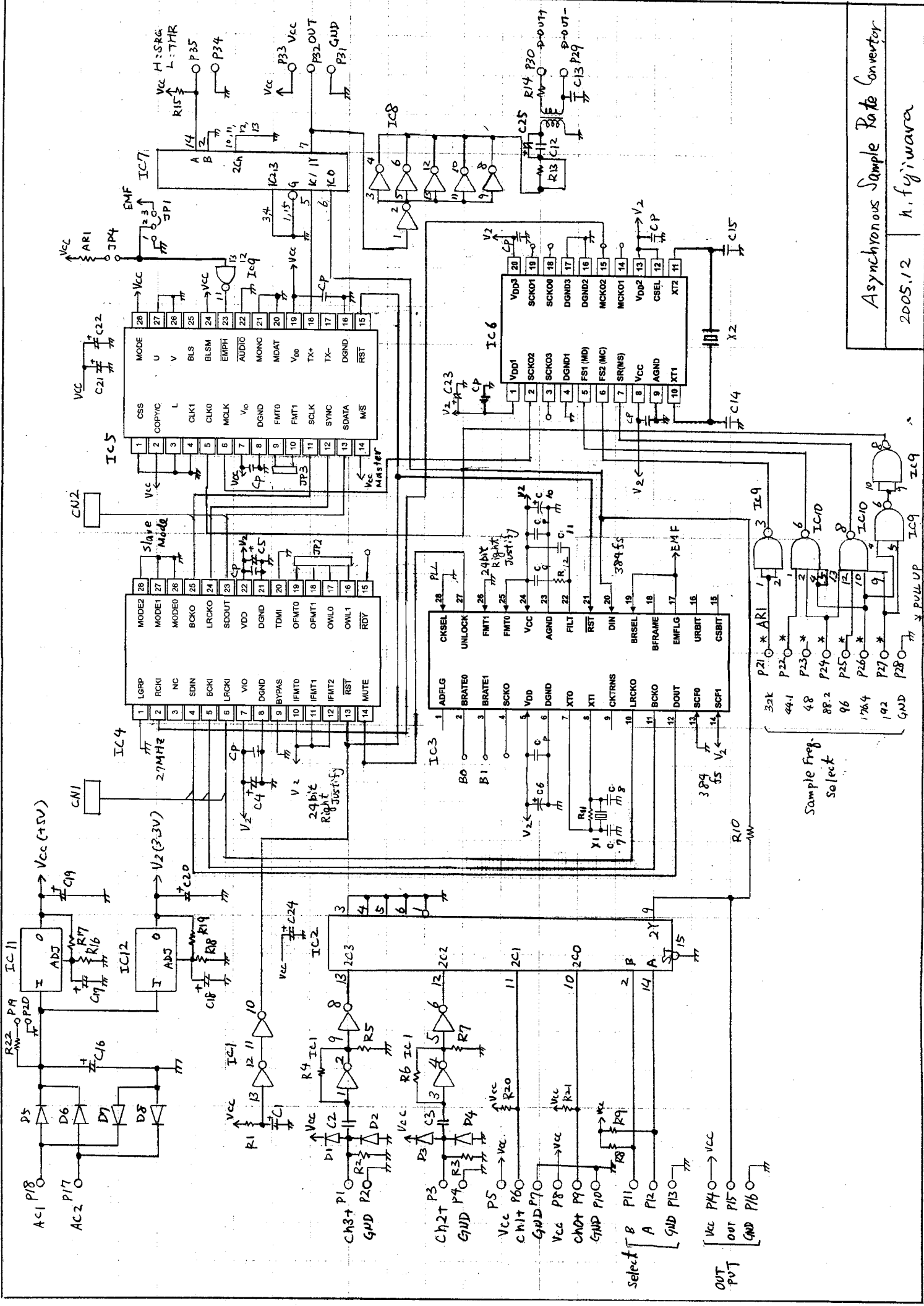
対策としてはPin2をGNDに接続しますが、隣のPin1あるいはPin3がGNDになっているのでPin2をどちらか(pin2あるいはPin3)に接続してください。

半田面でも部品面(直接ICのPin同士を接続)でも修正は容易だと思います。

(以上)

Asynchronous Sample Rate Converter v1b (c)h_fujiwara_1995_2005





Asynchronous Sample Rate Converter
 2005.12 | n.fujiwara