



AK4497

Quality Oriented 32-Bit 2ch DAC

1. 概 要

AK4497 は、VELVET SOUND™ テクノロジーを採用した新世代 32-bit 2ch Premium DAC です。新開発の歪低減技術により業界最高水準の低歪特性を実現し、新規搭載の OSR-Doubler 技術により広い信号帯域・低帯域外ノイズ特性と低消費電力を両立しました。また、6 種類のサウンドカラー（32-bit Digital Filter）を内蔵しているため、様々なアプリケーションで柔軟かつ容易に音質作りが可能です。デジタル入力は最大 768kHz の PCM 入力と 22.4MHz の DSD 入力に対応し、ネットワークオーディオ、USB-DAC、カーオーディオシステム等で普及の進むハイレゾリレーション音源の再生に最適です。

アプリケーション：AVレシーバー、CD/SACD プレイヤー、ネットワークオーディオ、USB DAC、USB ヘッドフォン、Sound Plate/Bar、計測器、制御システム、Public Audio(PA)、IC-Recorder、Bluetooth Headphone、HD Audio/Voice Conference

2. 特 長

- THD+N: -116dB
- DR, S/N: 131dB (2.6 Vrms 出力時)
128dB (2 Vrms 出力時)
- 256倍オーバーサンプリング
- サンプリングレート: 8kHz ~ 768kHz
- 32ビット8倍デジタルフィルタ
 - ショートディレイシャープローロールオフ, GD=6.0/fs, Ripple: ± 0.005 dB, Attenuation: 100dB
 - ショートディレイスローロールオフ, GD=5.0/fs
 - シャープローロールオフ
 - スローロールオフ
 - 低分散ショートディレイフィルタ
 - スーパースローロールオフ
- 2.8MHz, 5.6MHz, 11.2MHz, 22.4MHz DSD入力対応
Filter1 (fc=39kHz, 2.8MHz mode), Filter2 (fc=76kHz, 2.8MHz mode)
- 32, 44.1, 48kHz対応デジタルディエンファシス内蔵
- ソフトミュート
- デジタルATT(255 levels and 0.5dB step + mute)
- Mono Mode
- 外部デジタルフィルタ インタフェース
- オーディオI/Fフォーマット: 24/32 ビット前詰め, 16/20/24/32 ビット後詰め, I²S, DSD, TDM
- マスタクロック
 - 8kHz ~ 32kHz: 256fs or 384fs or 512fs or 768fs or 1152fs
 - 8kHz ~ 54kHz: 256fs or 384fs or 512fs or 768fs
 - 8kHz ~ 108kHz: 256fs or 384fs
 - 108kHz ~ 216kHz: 128fs or 192fs
 - ~ 384kHz: 32fs or 48fs or 64fs or 96fs
 - ~ 768kHz: 16fs or 32fs or 48fs or 64fs
- 電源電圧: TVDD=AVDD= 3.0 ~ 3.6V(内蔵LDO使用時), VDDL/R=4.75 ~ 5.25V
TVDD=AVDD= 1.7 ~ 3.6V(内蔵LDO未使用時), DVDD=1.7 ~ 1.98V,
VDDL/R=4.75 ~ 5.25V
- デジタル入力レベル: CMOS
- パッケージ: 64ピンTQFP



3. 目 次

1.	概 要	1
2.	特 長	1
3.	目 次	2
4.	ブロック図と機能説明	4
5.	ピン配置と機能説明	5
	■ ピン配置	5
	■ ピン機能説明	6
	■ 使用しないピンの処理について	8
6.	絶対最大定格	10
7.	推奨動作条件	10
8.	電気的特性	11
	■ アナログ特性	11
	■ DSD Mode	13
	■ シャープロールオフ・フィルタ特性	14
	■ スローロールオフ・フィルタ特性	16
	■ ショートディレイ・シャープロールオフフィルタ特性	18
	■ ショートディレイ・スローロールオフフィルタ特性	20
	■ 低分散ショートディレイフィルタ特性	22
	■ DSDフィルタ特性	24
	■ DC特性	24
	■ スイッチング特性	25
	■ タイミング波形	30
9.	機能説明	35
	■ D/A変換モード切り替えタイミング	37
	■ システムクロック	39
	■ オーディオインタフェースフォーマット	49
	■ Digital Filter	61
	■ ディエンファシスフィルタ (PCM mode)	62
	■ 出力ボリューム (PCM mode, DSD mode, EXDF mode)	62
	■ ゲイン調整機能 (PCM mode, DSD mode, EXDF mode)	63
	■ ゼロ検出機能 (PCM mode, DSD mode, EXDF mode)	64
	■ LRチャンネル出力信号選択、位相反転機能 (PCM mode, DSD mode, EXDF mode)	65
	■ 音質調整機能 (PCM mode, DSD mode, EXDF mode)	65
	■ DSD信号フルスケール (FS) 検出機能	66
	■ ソフトミュート機能 (PCM mode, DSD mode, EXDF mode)	68
	■ LDO	69
	■ シャットダウンスイッチ	69
	■ アナログ出力端子過電流保護機能	69
	■ パワーアップ/ダウン機能	70
	■ パワーオフ・リセット機能	74
	■ 同期化機能 (PCM mode, EXDF mode)	78
	■ レジスタコントロールインタフェース	80
	■ レジスタマップ	84
	■ 詳細説明	86
10.	システム設計	95
11.	パッケージ	99
	■ パッケージ外形寸法図 (HTQFP10×10-64)	99
	■ 材質・メッキ仕様	100
	■ マーキング	100

12.	オーダーリングガイド.....	101
■	オーダーリングガイド.....	101
13.	改訂履歴.....	101
	重要な注意事項	102

4. ブロック図と機能説明

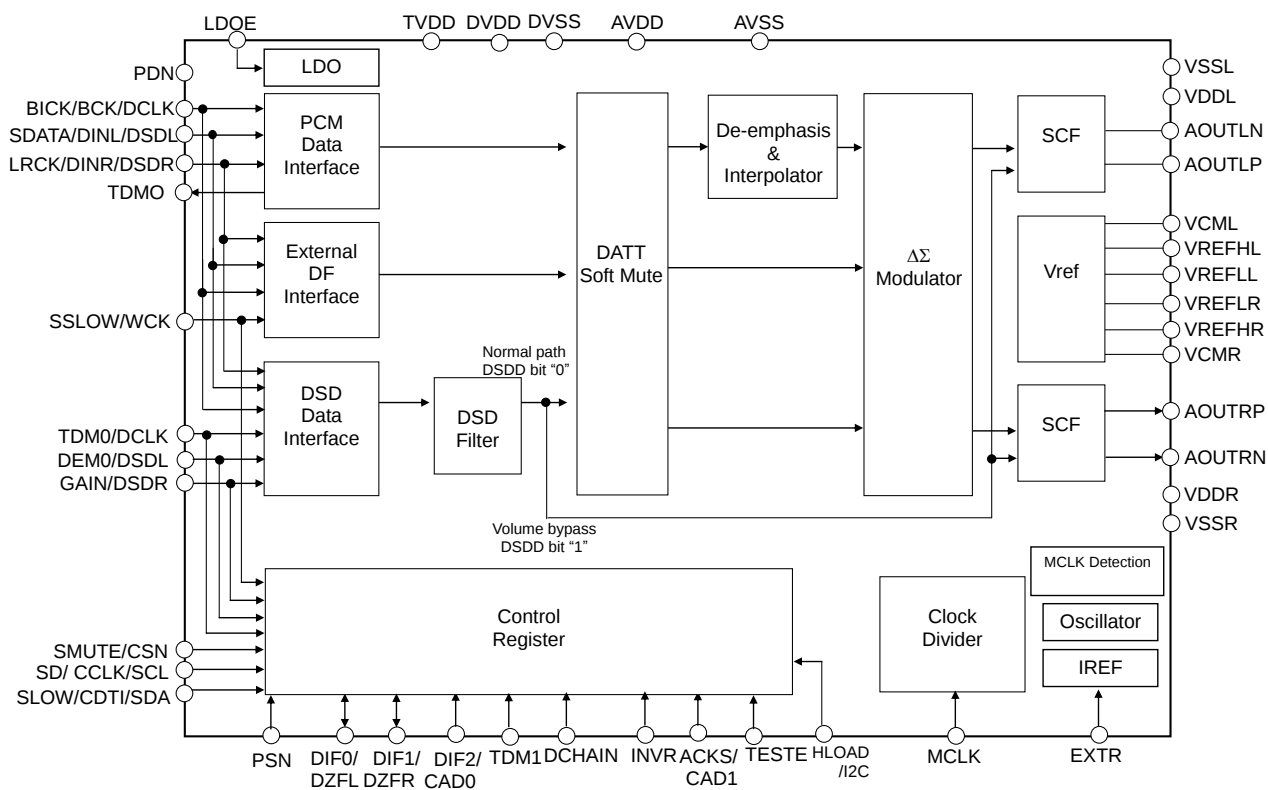


Figure 1. Block Diagram

5. ピン配置と機能説明

■ ピン配置

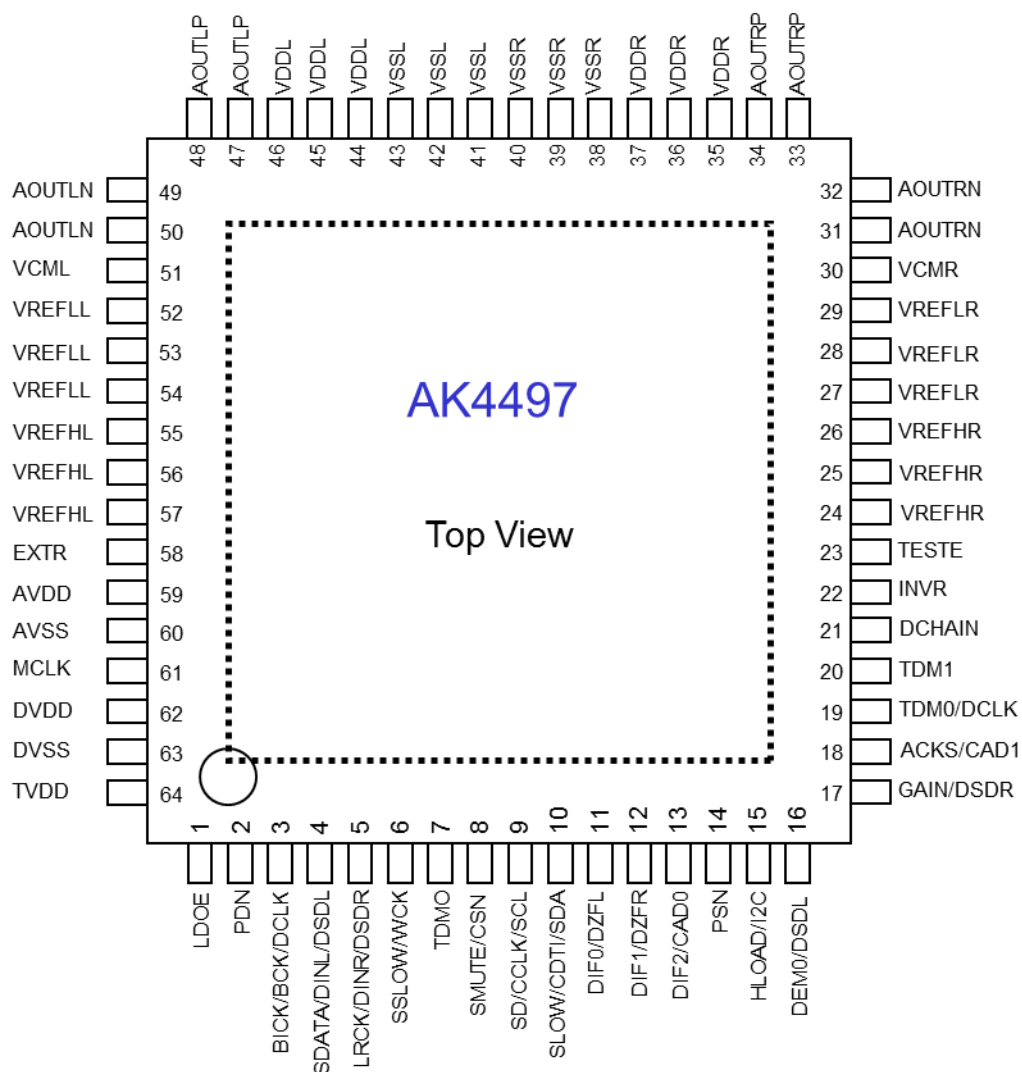


Figure 2. ピン配置図

裏面Tabは、AVSSと接続してください。

■ ピン機能説明

No.	Pin Name	I/O	Function
1	LDOE	I	Internal LDO Enable Pin. "L": Disable, "H": Enable
2	PDN	I	Power-Down Mode Pin When at "L", the AK4497 is in power-down mode and is held in reset. The AK4497 must always be reset upon power-up.
3	BICK	I	Audio Serial Data Clock Pin in PCM Mode
	BCK	I	Audio Serial Data Clock Pin
	DCLK	I	DSD Clock Pin in DSD Mode (DSDPATH bit = "1")
4	SDATA	I	Audio Serial Data Input Pin in PCM Mode
	DINL	I	Lch Audio Serial Data Input Pin
	DSDL	I	DSD Lch Data Input Pin in DSD Mode (DSDPATH bit = "1")
5	LRCK	I	L/R Clock Pin in PCM Mode
	DINR	I	Rch Audio Serial Data Input Pin
	DSDR	I	DSD Rch Data Input Pin in DSD Mode(DSDPATH bit = "1")
6	SSLOW	I	Digital Filter Select Pin in Pin Control Mode
	WCK	I	Word Clock input pin
7	TDMO	O	Audio Serial Data Onput in Daisy Chain mode (Internal pull-down pin)
8	SMUTE	I	When this pin is changed to "H", soft mute cycle is initiated. When returning "L", the output mute releases.
	CSN	I	Chip Select Pin in Register Control Mode
9	SD	I	Digital Filter Select Pin in Pin Control Mode
	CCLK	I	Control Data Clock Pin in Register Control Mode
	SCL	I	I2C="H": Control Data Clock Input Pin
10	SLOW	I	Digital Filter Select Pin in Pin Control Mode
	CDTI	I	Control Data Input Pin in Register Control Mode
	SDA	I/O	I2C="H": Control Data Input Pin
11	DIF0	I	Digital Input Format 0 Pin in Pin Control Mode
	DZFL	O	Lch Zero Input Detect Pin in Register Control Mode (Internal pull-down pin)
12	DIF1	I	Digital Input Format 1 Pin in Pin Control Mode
	DZFR	O	Rch Zero Input Detect Pin in Register Control Mode (Internal pull-down pin)
13	DIF2	I	Digital Input Format 2 Pin in Pin Control Mode
	CAD0	I	Chip Address 0 Pin in Register Control Mode
14	PSN	I	Pin Control Mode or RegisterControl Mode select Pin(Internal pull-up pin) "L": Register Control Mode, "H": Pin Control Mode
15	HLOAD	I	Heavy Load Mode Enable Pin in Pin Control Mode.
	I2C		Resister Control Interface Pin in Registerl Control Mode.
16	DEM0	I	De-emphasis Enable 0 Pin in Pin Control Mode
	DSDL	I	DSD Lch Data Input Pin in DSD Mode (DSDPATH bit ="0")
17	GAIN	I	Output Gain Control Pin in Pin Control Mode (+2.5dB)
	DSDR	I	DSD Rch Input Pin in DSD Mode (DSDPATH bit ="0")
18	ACKS	I	Auto Setting Mode Select Pin in Pin Control Mode "L": Manual Setting Mode, "H": Auto Setting Mode
	CAD1	I	Chip Address 1 Pin in Register Control Mode

No.	Pin Name	I/O	Function
19	TDM0	I	TDM Mode select pin in Pin Control Mode.
	DCLK	I	DSD clock Pin in DSD Mode (DSDPATH bit = "0")
20	TDM1	I	TDM Mode select pin in Pin Control Mode.
21	DCHAIN	I	Daisy Chain Mode select pin in Pin Control Mode.
22	INVR	I	Rch output data invert enable pin in Pin Control Mode.
23	TESTE	I	Test mode Enable pin. (Internal pull-down pin)
24-26	VREFHR	I	Rch High Level Voltage Reference Input Pin
27-29	VREFLR	I	Rch Low Level Voltage Reference Input Pin
30	VCMR	I	Right channel Common Voltage Pin, Normally connected to VREFLR with a 10uF electrolytic cap. This pin is inhibited to connect other devices.
31,32	AOUTRN	O	Rch Negative Analog Output Pin
33,34	AOUTRP	O	Rch Positive Analog Output Pin
35-37	VDDR	-	Rch Analog Power Supply Pin
38-40	VSSR	-	Analog Ground Pin
41-43	VSSL	-	Analog Ground Pin
44-46	VDDL	-	Lch Analog Power Supply Pin.
47,48	AOUTLP	O	Lch Positive Analog Output Pin
49,50	AOUTLN	O	Lch Negative Analog Output Pin
51	VCML	-	Left channel Common Voltage Pin Normally connected to VREFLL with a 10uF electrolytic cap. This pin is inhibited to connect other devices.
52-54	VREFLL	I	Lch Low Level Voltage Reference Input Pin
55-57	VREFHL	I	Lch High Level Voltage Reference Input Pin
58	EXTR	I	External Resistor Connect Pin Rext=33k Ω ($\pm 0.1\%$) to AVSS
59	AVDD	-	(LDOE pin = "H") Analog Power Supply Pin, 3.0 ~ 3.6V
		-	(LDOE pin = "L") Analog Power Supply Pin, 1.7 ~ 3.6V
60	AVSS	-	Analog Ground Pin
61	MCLK	I	Master Clock Input Pin
62	DVDD	O	(LDOE pin = "H") LDO Output Pin, This pin should be connected to DVSS with 1.0 μ F. This pin is inhibited to connect other devices.
		-	(LDOE pin = "L") Digital Power Supply Pin, 1.7 ~ 1.98V
63	DVSS	-	Digital Ground Pin
64	TVDD	-	(LDOE pin = "H") Digital Power Supply Pin, 3.0 ~ 3.6V
		-	(LDOE pin = "L") Digital Power Supply Pin, 1.7 ~ 3.6V

Note 1. 内部でプルダウン/プルアップされていないすべての入力ピンはオープンにしないで下さい。

Note 2. PSN pinでPin control/ Register controlモードを切り替えた場合はPDN pin でリセットして下さい。

Note 3. PCMモード、DSDモード、EXDFモードの設定はレジスタで行います。

■ 使用しないピンの処理について

使用しない入出力ピンは下記の設定を行い、適切に処理して下さい。

(1) ピンコントロールモード (PCM modeのみ)

区分	ピン名	状態
Analog	AOUTLP, AOUTLN	オープン
	AOUTRP, AOUTRN	オープン
Digital	TESTE	DVSSに接続 またはオープン

(2) レジスタコントロールモード

1. PCM Mode

区分	ピン名	状態
Analog	AOUTLP, AOUTLN	オープン
	AOUTRP, AOUTRN	オープン
Digital	TESTE	DVSSに接続 またはオープン
	TDMO, DZFL, DZFR	オープン

2. DSD Mode

DSDPATH bit = “0”のとき

区分	ピン名	状態
Analog	AOUTLP, AOUTLN	オープン
	AOUTRP, AOUTRN	オープン
Digital	WCK, TDM1, DCHAIN, INVR	DVSSに接続
	TESTE	DVDDに接続またはオープン
	TDMO, DZFL, DZFR	オープン

DSDPATH bit = “1”のとき

区分	ピン名	状態
Analog	AOUTLP, AOUTLN	オープン
	AOUTRP, AOUTRN	オープン
Digital	DEM0, GAIN, TDM0, WCK, TDM1, DCHAIN, INVR	DVSSに接続
	TESTE	DVSSまたはオープン
	TDMO, DZFL, DZFR	オープン

3. EXDF Mode

区分	ピン名	状態
Analog	AOUTLP, AOUTLN	オープン
	AOUTRP, AOUTRN	オープン
Digital	DEM0, GAIN, TDM0, TDM1, DCHAIN, INVR	DVSSに接続
	TESTE	DVSSまたはオープン
	TDMO, DZFL, DZFR	オープン

4. I2C-Bus使用時

区分	ピン名	状態
Digital	CSN	DVSSに接続

Pull-up, Pull-down Pin List

区分	ピン名	接続先
pull-up pin (typ=100k Ω)	PSN	TVDDに接続またはオープン
pull-down pin(typ=100k Ω)	TDMO, DZFL, DZFR, TESTE	DVSSに接続またはオープン

6. 絶対最大定格

(AVSS=DVSS=VSSL=VSSR=VREFLL=VREFLR=0V; Note 4)

Parameter		Symbol	Min.	Max.	Unit
Power Supplies:	Digital I/O	TVDDam	-0.3	4.0	V
	Digital Core	DVDDam	-0.3	2.5	V
	Clock Ineterface	AVDDam	-0.3	4.0	V
	Analog	VDDL/Ram	-0.3	6.0	V
	AVSS – DVSS (Note 5)	ΔGND	-	0.3	V
Input Current, Any Pin Except Supplies		IIN	-	±10	mA
Digital Input Voltage		VIND	-0.3	TVDD+0.3	V
Ambient Temperature (Power supplied)		Ta	-40	85	°C
Storage Temperature		Tstg	-65	150	°C

Note 4. 電圧は全てグランドピンに対する値です。

Note 5. AVSS, DVSS, VSSL, VSSR は同電位に接続して下さい。また、裏面のTabは、AVSSと接続して下さい。

注意: この値を超えた条件で使用した場合、デバイスを破壊することがあります。
また通常の動作は保証されません。

7. 推奨動作条件

(AVSS=DVSS=VSSL=VSSR=VREFLL=VREFLR=0V; Note 4)

Parameter		Symbol	Min.	Typ.	Max.	Unit
Power Supplies	■ LDOE pin="L"時					
	Digital I/O	TVDD	DVDD	1.8	3.6	V
	Clock Ineterface	AVDD	DVDD	1.8	3.6	V
	Digital Core	DVDD	1.7	1.8	1.98	V
	Analog	VDDL/R	4.75	5.0	5.25	V
	■ LDOE pin="H"時					
	Digital I/O	TVDD	3.0	3.3	3.6	V
	Clock Ineterface	AVDD	3.0	3.3	3.6	V
	Analog	VDDL/R	4.75	5.0	5.25	V
Voltage Reference (Note 6)	"H" voltage reference	VREFHL/R	VDDL/R-0.5	-	VDDL/R	V
	"L" voltage reference	VREFLL/R	-	VSSL/R	-	V

Note 4. 電圧は全てグランドピンに対する値です。

Note 6. アナログ出力電圧は(VREFHL/R – VREFLL/R)の電圧に比例します。

Note 7. TVDD, AVDDは同電位とし同時に立ち上げて下さい。LDO未使用時(LDOE pin="L")のとき、1.8V系電源(DVDD)、3.3V系電源(TVDD, AVDD)と5V系電源(VDDL/R)すべて同時に立ち上げて下さい。もしくは、3.3V系電源(TVDD, AVDD)、1.8V系電源(DVDD)、5V系電源(VDDL/R)の順に立ち上げて下さい。

Note 8. LDOE pin="H"のとき、内部LDOが1.8Vを出力します。電源立ち上げは、LDOE pin="H"のとき3.3V系電源(AVDD, TVDD)と5V系電源(VDDL, VDDR)を同時か、3.3V系電源(AVDD, TVDD)を立ち上げた後に5V系電源(VDDL, VDDR)を立ち上げるようにして下さい。

注意: 本データシートに記載されている条件以外のご使用に関しては、当社では責任負いかねますので十分ご注意下さい。

8. 電気的特性

■ アナログ特性

(Ta=25°C; LDOE pin = "L", AVDD=TVDD=3.3V, DVDD=1.8V; AVSS=DVSS=VSRL/R=0V; VREFHL/R=VDDL/R=5.0V, VREFLL/R= 0V; Input data = 24bit; BICK=64fs; Signal Frequency= 1kHz; Sampling Frequency = 44.1kHz; Measurement bandwidth = 20Hz ~ 20kHz; External Circuit: Example circuit 3 (Figure 77); SC[2:0] bit="000"; 2Vrms output mode (GC[2:0] bit="000" or GAIN pin="L"); Heavy load drive mode=off(HLOAD bit="0" or HLOAD pin="L"); unless otherwise specified.)

Parameter					Min.	Typ.	Max.	Unit
Resolution					-	-	32	Bits
Dynamic Characteristics (Note 9)								
THD+N	fs=44.1kHz	BW=20kHz	0dBFS	GC[2:0]= “000” もしくは GAIN= “L”	-	-116	-108	dB
				GC[2:0]= “100” もしくは GAIN= “H”	-	-113	-	
			-60dBFS		-	-65	-	dB
	fs=96kHz	BW=40kHz	0dBFS	-	-113	-	dB	
			-60dBFS	-	-62	-	dB	
	fs=192kHz	BW=40kHz	0dBFS	-	-110	-	dB	
			-60dBFS	-	-62	-	dB	
		BW=80kHz	-60dBFS	-	-59	-	dB	
Dynamic Range (-60dBFS with A-weighted) (Note 10)					125	128	-	dB
S/N (A-weighted) (Note 11)			GC[2:0]= “000” もしくはGAIN= “L”		125	128	-	dB
			GC[2:0]= “100” もしくは GAIN= “H”	Stereo mode	-	131	-	dB
				Mono mode (Note 17)	-	133	-	
Interchannel Isolation (1kHz)					110	120	-	dB
DC Accuracy								
Interchannel Gain Mismatch					-	0.15	0.3	dB
Gain Drift (Note 12)					-	20	-	ppm/°C
Output Voltage	GC[2:0] bits=“000” or GAIN pin=“L” (Note 13)				±2.65	±2.8	±2.95	Vpp
	GC[2:0] bits=“100” or GAIN pin=“H” (Note 14)				±3.55	±3.75	±3.95	Vpp
Load Resistance (Note 15)	HLOAD bit=“0” or HLOAD pin=“L”				8	10	-	kΩ
	HLOAD bit=“1” or HLOAD pin=“H”				120	-	-	Ω
Load Capacitance (Note 15)					-	-	25	pF

Note 9. Audio Precision APx555使用。平均値測定。

Note 10. 101dB at 16bit data and 118dB at 20bit data.

Note 11. S/N比は入力ビット長に依存しません。

Note 12. (VREFH - VREFL)の電圧は+5V一定。

Note 13. GC[2:0] bits="000" もしくは GAIN pin="L"時、入力信号が0dBFS時のアナログ出力電圧は次の式で与えられます。

$$AOUTL/R \text{ (typ.@0dB)} = (AOUT+) - (AOUT-) = \pm 2.8V_{pp} \times (VREFHL/R - VREFLL/R)/5.$$

Note 14. GC[2:0] bits="100" もしくは GAIN pin="H"時、入力信号が0dBFS時のアナログ出力電圧は次の式で与えられます。

$$AOUTL/R \text{ (typ.@0dB)} = (AOUT+) - (AOUT-) = \pm 3.75V_{pp} \times (VREFHL/R - VREFLL/R)/5.$$

Note 15. HLOAD bit="0"もしくはHLOAD pin="L"時、Load ResistanceはAC負荷(DCカット用コンデンサあり)に対して8kohm (min)です。HLOAD pin="H"の時は、DC負荷(DCカット用コンデンサなし)に対して120ohm (min)です。Load Capacitanceはグラウンドに対する値です。アナログ特性は出力ピンに接続される容量性負荷に敏感なため、容量性負荷が極力小さくなるようにしてください。

Note 16. 後段の加算回路の抵抗には絶対誤差0.1%のものを使用することを推奨します。

Note 17. [Figure 78](#) 使用時。

(Ta=25°C; AVDD=TVDD=3.3V, DVDD=1.8V(@LDOE pin="L"), AVSS=DVSS=VSSL/R=0V; VREFHL/R=VDDL/R=5.0V, VREFLL/R= 0V; Input data = 24bit; BICK=64fs; Signal Frequency = 1kHz; Sampling Frequency = 44.1kHz; SC[2:0] bit="000"; 2Vrms output mode (GC[2:0] bits="000" or GAIN pin="L"); Heavy load drive mode=off(HLOAD bit="0" or HLOAD pin= "L"); unless otherwise specified.)

Power Supplies								
Parameter			Min.	Typ.	Max.	Unit		
Power Supply Current								
Normal operation (PDN pin="H")								
VDDL/R(total)			-	64	96	mA		
VREFHL/R			-	1	1.5	mA		
AVDD			-	1	1.5	mA		
TVDD								
LDOE pin="H"		fs= 44.1kHz	-	8	12	mA		
		fs= 96kHz	-	13	20	mA		
		fs = 192kHz	-	20	30	mA		
LDOE pin="L "			-	1	1.5	mA		
DVDD								
LDOE pin="L "		fs= 44.1kHz	-	8	12	mA		
		fs= 96kHz	-	13	20	mA		
		fs = 192kHz	-	20	30	mA		
Total Idd per channel (HLOAD pin="H") fs=44.1kHz			-	45	72	mA/ch		
Power down (PDN pin="L ") TVDD+AVDD+VDDL/R+DVDD			(Note 18)		-	10	100	μA

Note 18. パワーダウン時、PSN pin=TVDD。それ以外の外部クロック(MCLK, BICK, LRCK)を含む、全てのデジタル入力をDVSSに固定した場合の値です。

Note 19. LDOE pin="H" 時、DVDD pin は出力ピンとなります。

■ DSD Mode

(Ta=25°C; AVDD=TVDD=3.3V, DVDD=1.8V(@LDOE pin="L"), AVSS=DVSS=VSSL/R=0V; VREFHL/R=VDDL/R=5.0V, VREFLL/R= 0V; Signal Frequency = 1kHz; Measurement bandwidth = 20Hz ~ 20kHz; External Circuit: Example circuit 3 (Figure 77); SC[2:0] bit="000"; 2Vrms output mode (GC[2:0] bits="000" or GAIN pin="L"); Heavy load drive mode=off(HLOAD bit="0" or HLOAD pin= "L"); unless otherwise specified.)

Parameter			Min.	Typ.	Max.	Unit
Dynamic Characteristics						
THD+N (Note 20)	DSD dataStream: 2.8224MHz	0dBFS	-	-116	-	dB
	DSD dataStream: 5.6448MHz	0dBFS	-	-116	-	dB
	DSD dataStream: 11.2896MHz	0dBFS	-	-116	-	dB
S/N (A-weighted, Normal path) (Note 20)	DSD dataStream: 2.8224MHz	Digital"0" (Note 23)	-	128	-	dB
	DSD dataStream: 5.6448MHz	Digital"0" (Note 23)	-	128	-	dB
	DSD dataStream: 11.2896MHz	Digital"0" (Note 23)	-	128	-	dB
DC Accuracy						
Output Voltage (Normal path)		(Note 13)	±2.65	±2.8	±2.95	Vpp
Output Voltage (Volume Bypass)		(Note 24)	±2.38	±2.5	±2.63	Vpp

Note 20. DSD dataStream: 22.5782MHz動作時は、アナログ特性を保証しません。

Note 21. SACDフォーマットブック(Scarlet Book)では、DSD信号のピークレベルがデューティレンジ25%~75%を越えることは推奨されていません。

Note 22. 入力に1kHz、デューティレンジ25%~75%のsine波を与えたときの出力レベルを0dBとします。0dBを超える信号を入力した場合、異音がする可能性があります。

Note 23. Digital"0"とは、ScarletBookで規定されている"01101001"のデジタルゼロコードパターンです。

Note 24. DSDD bit="1"のとき、デューティレンジ25%~75%入力時のアナログ出力電圧は次の式で与えられます。

$$AOUTL/R \text{ (typ.@0dB)} = (AOUTLP/RP) - (AOUTLN/RN) = \pm 2.5V_{pp} \times (VREFHL/R - VREFLL/R)/5.0.$$

■ シャープローloff・フィルタ特性

シャープローloff・フィルタ特性 (fs=44.1kHz)

(Ta=-40~85°C; VDDL/R=4.75 ~ 5.25V, AVDD= TVDD=1.7 ~3.6V, DVDD=1.7~1.98V; Normal Speed Mode; DEM=OFF; SD bit="0" or SD pin="L", SLOW bit="0" or SLOW pin="L", SSLOW bit="0" or SSLOW pin="L")

Parameter		Symbol	Min.	Typ.	Max.	Unit
Digital Filter						
Frequency Response (Note 25)	±0.01dB	-	0		20.0	kHz
	-6.0dB	-	-	22.05	-	kHz
Passband (Note 26)		PB	0		20.0	kHz
Stopband (Note 26)		SB	24.1			kHz
Passband Ripple (Note 27)		PR			±0.005	dB
Stopband Attenuation (Note 25)		SA	100			dB
Group Delay (Note 28)		GD	-	29.2	-	1/fs
Digital Filter + SCF (Note 25)						
Frequency Response: 0 ~ 20.0kHz		-	-0.2	-	+0.1	dB

シャープローloff・フィルタ特性 (fs=96kHz)

(Ta=-40~85°C; VDDL/R=4.75 ~ 5.25V, AVDD= TVDD=1.7 ~3.6V, DVDD=1.7~1.98V; Double Speed Mode; DEM=OFF; SD bit="0" or SD pin="L", SLOW bit="0" or SLOW pin="L", SSLOW bit="0" or SSLOW pin="L")

Parameter		Symbol	Min.	Typ.	Max.	Unit
Digital Filter						
Frequency Response (Note 25)	±0.01dB	-	0		43.5	kHz
	-6.0dB	-	-	48.0	-	kHz
Passband (Note 26)		PB	0		43.5	kHz
Stopband (Note 26)		SB	52.5			kHz
Passband Ripple (Note 27)		PR			±0.005	dB
Stopband Attenuation (Note 25)		SA	100			dB
Group Delay (Note 28)		GD	-	29.2	-	1/fs
Digital Filter + SCF (Note 25)						
Frequency Response: 0 ~ 40.0kHz			-0.6	-	+0.1	dB

シャープローloff・フィルタ特性 (fs=192kHz)

(Ta=-40~85°C; VDDL/R=4.75 ~ 5.25V, AVDD= TVDD=1.7 ~3.6V, DVDD=1.7~1.98V; Quad Speed Mode; DEM=OFF; SD bit="0" or SD pin="L", SLOW bit="0" or SLOW pin="L", SSLOW bit="0" or SSLOW pin="L")

Parameter		Symbol	Min.	Typ.	Max.	Unit
Digital Filter						
Frequency Response (Note 25)	±0.01dB	-	0		87.0	kHz
	-6.0dB	-	-	96.0	-	kHz
Passband (Note 26)		PB	0		87.0	kHz
Stopband (Note 26)		SB	105			kHz
Passband Ripple (Note 27)		PR			±0.005	dB
Stopband Attenuation (Note 25)		SA	100			dB
Group Delay (Note 28)		GD	-	29.2	-	1/fs
Digital Filter + SCF (Note 25)						
Frequency Response: 0 ~ 80.0kHz			-2.0	-	+0.1	dB

Note 25. 入力に1kHz、0dBのsine波を与えたときの出力レベルを0dBとします。

Note 26. 通過域、阻止域の周波数はfs(システムサンプリングレート)に比例し、

PB = $0.4535 \times fs(@\pm 0.01\text{dB})$ 、SB = $0.546 \times fs$ です。

Note 27. Interpolatorの初段、4倍オーバーサンプリングフィルタのパスバンド帯域内におけるゲインの振幅です。

Note 28. デジタルフィルタによる演算遅延で、16/20/24/32ビットデータが入力されてからアナログ信号が出力されるまでの時間です。

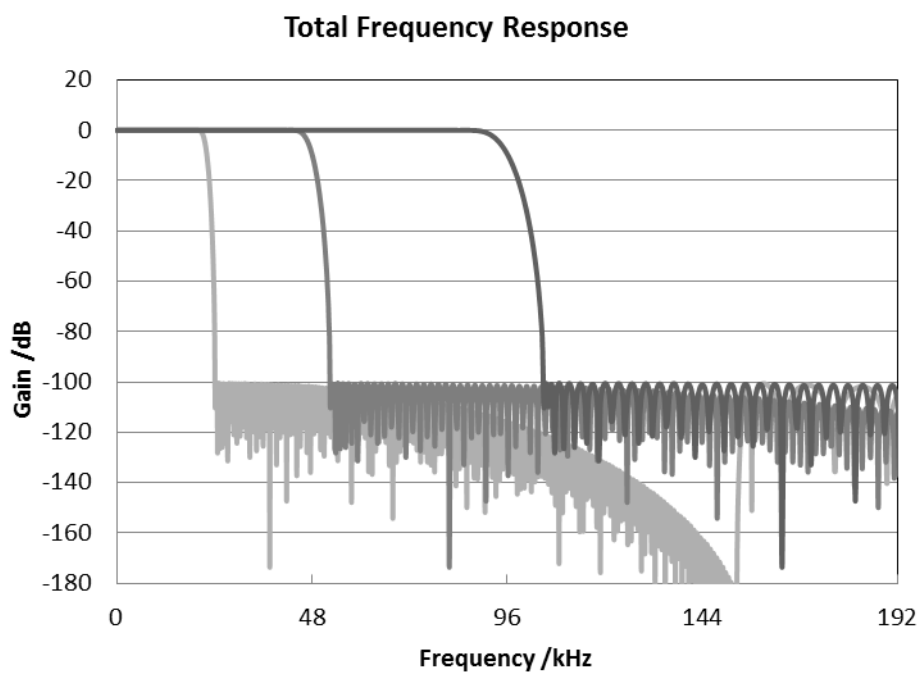


Figure 3. Sharp Roll-off Filter Frequency Response

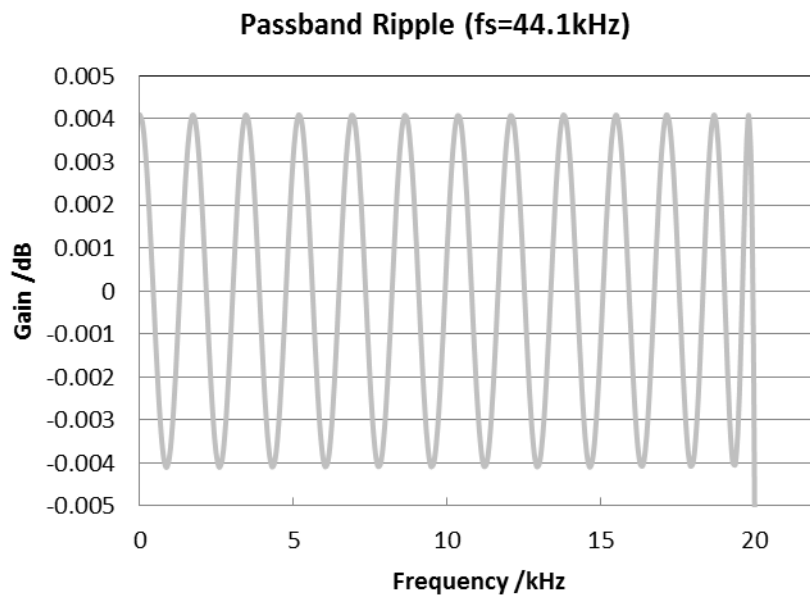


Figure 4. Sharp Roll-off Filter Passband Ripple

■ スローロールオフ・フィルタ特性

スローロールオフ・フィルタ特性(fs = 44.1kHz)

(Ta=-40~85°C; VDDL/R=4.75 ~ 5.25V, AVDD= TVDD=1.7 ~3.6V, DVDD=1.7~1.98V; Normal Speed Mode; DEM=OFF; SD bit="0" or SD pin="L", SLOW bit="1" or SLOW pin="H", SSLOW bit="0" or SSLOW pin="L")

Parameter		Symbol	Min.	Typ.	Max.	Unit
Digital Filter						
Frequency Response (Note 25)	±0.01dB	-	0	-	8.0	kHz
	-6.0dB	-	-	21.0	-	kHz
Passband	(Note 29)	PB	0	-	8.0	kHz
Stopband	(Note 29)	SB	39.2	-	-	kHz
Passband Ripple	(Note 27)	PR	-	-	±0.007	dB
Stopband Attenuation	(Note 25)	SA	92	-	-	dB
Group Delay	(Note 28)	GD	-	6.5	-	1/fs
Digital Filter + SCF (Note 25)						
Frequency Response: 0 ~ 20.0kHz			-5.0	-	+0.1	dB

スローロールオフ・フィルタ特性(fs = 96kHz)

(Ta=-40~85°C; VDDL/R=4.75 ~ 5.25V, AVDD= TVDD=1.7 ~3.6V, DVDD=1.7~1.98V; Double Speed Mode; DEM=OFF; SD bit="0" or SD pin="L", SLOW bit="1" or SLOW pin="H", SSLOW bit="0" or SSLOW pin="L")

Parameter		Symbol	Min.	Typ.	Max.	Unit
Digital Filter						
Frequency Response (Note 25)	±0.01dB	-	0	-	17.6	kHz
	-6.0dB	-	-	45.6	-	kHz
Passband	(Note 29)	PB	0	-	17.6	kHz
Stopband	(Note 29)	SB	85.4	-	-	kHz
Passband Ripple	(Note 27)	PR	-	-	±0.007	dB
Stopband Attenuation	(Note 25)	SA	92	-	-	dB
Group Delay	(Note 28)	GD	-	6.5	-	1/fs
Digital Filter + SCF (Note 25)						
Frequency Response: 0 ~ 40.0kHz			-3.8	-	+0.1	dB

スローロールオフ・フィルタ特性(fs = 192kHz)

(Ta=-40~85°C; VDDL/R=4.75 ~ 5.25V, AVDD= TVDD=1.7 ~3.6V, DVDD=1.7~1.98V; Quad Speed Mode; DEM=OFF; SD bit="0" or SD pin="L", SLOW bit="1" or SLOW pin="H", SSLOW bit="0" or SSLOW pin="L")

Parameter		Symbol	Min.	Typ.	Max.	Unit
Digital Filter						
Frequency Response (Note 25)	±0.01dB	-	0	-	35.2	kHz
	-6.0dB	-	-	91.2	-	kHz
Passband	(Note 29)	PB	0	-	35.2	kHz
Stopband	(Note 29)	SB	170.7	-	-	kHz
Passband Ripple	(Note 27)	PR	-	-	±0.007	dB
Stopband Attenuation	(Note 25)	SA	100	-	-	dB
Group Delay	(Note 28)	GD	-	6.5	-	1/fs
Digital Filter + SCF (Note 25)						
Frequency Response: 0 ~ 80.0kHz			-5.0	-	+0.1	dB

Note 29. 通過域、阻止域の周波数はfs(システムサンプリングレート)に比例し、
PB = 0.1836 × fs(@±0.01dB)、SB = 0.8889 × fsです。

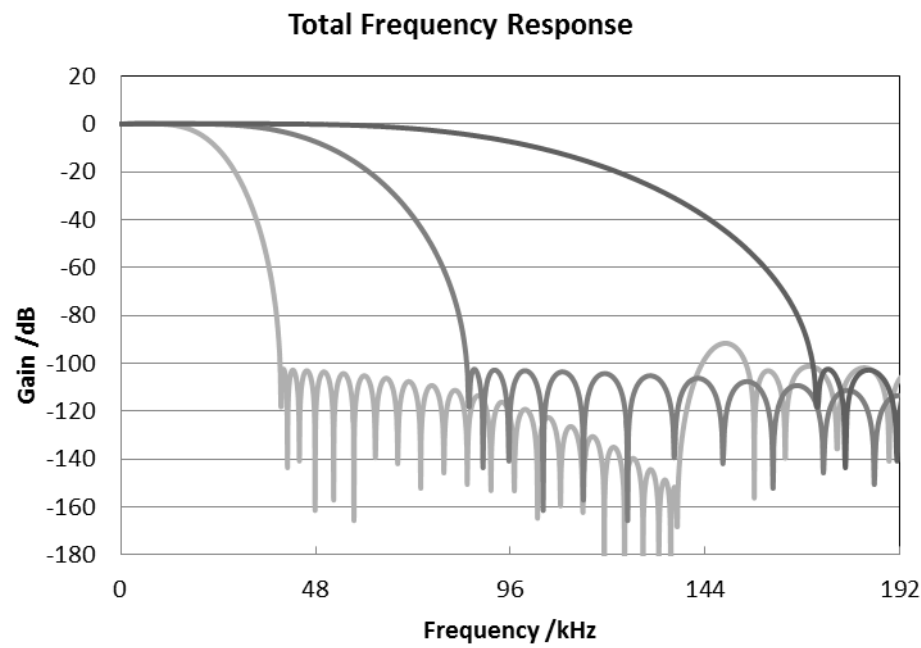


Figure 5. Slow Roll-off Filter Frequency Response

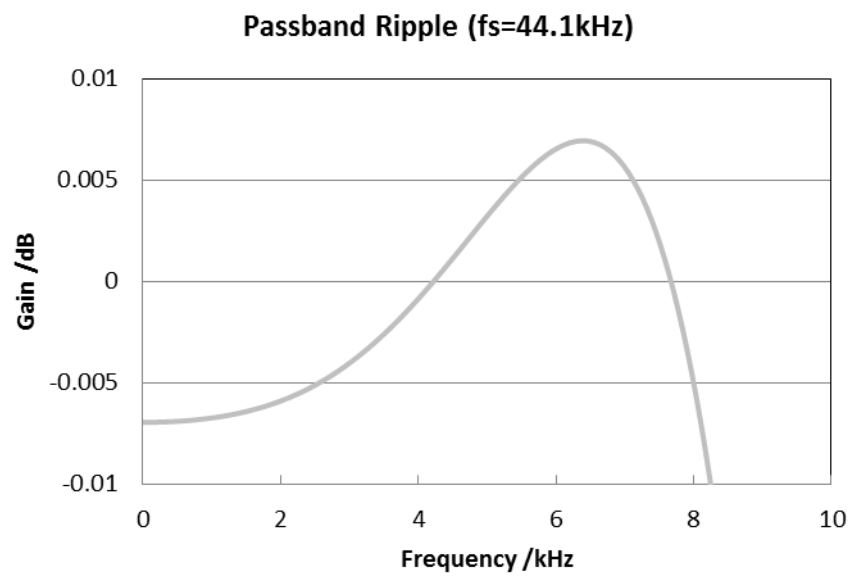


Figure 6. Slow Roll-off Filter Passband Ripple

■ ショートディレイ・シャープロールオフフィルタ特性

ショートディレイ・シャープロールオフフィルタ特性 (fs = 44.1kHz)

(Ta=-40~85°C; VDDL/R=4.75 ~ 5.25V, AVDD= TVDD=1.7 ~3.6V, DVDD=1.7~1.98V; Normal Speed Mode; DEM=OFF; SD bit="1" or SD pin="H", SLOW bit="0" or SLOW pin="L", SSLOW bit="0" or SSLOW pin="L")

Parameter		Symbol	Min.	Typ.	Max.	Unit
Digital Filter						
Frequency Response (Note 25)	±0.01dB	-	0	-	20.0	kHz
	-6.0dB	-	-	22.05	-	kHz
Passband (Note 30)		PB	0	-	20.0	kHz
Stopband (Note 30)		SB	24.1	-	-	kHz
Passband Ripple (Note 27)		PR	-	-	±0.005	dB
Stopband Attenuation (Note 25)		SA	100	-	-	dB
Group Delay (Note 28)		GD	-	6.0	-	1/fs
Digital Filter + SCF (Note 25)						
Frequency Response: 0 ~ 20.0kHz			-0.2	-	+0.1	dB

ショートディレイ・シャープロールオフフィルタ特性 (fs = 96kHz)

(Ta=-40~85°C; VDDL/R=4.75 ~ 5.25V, AVDD= TVDD=1.7 ~3.6V, DVDD=1.7~1.98V; Double Speed Mode; DEM=OFF; SD bit="1" or SD pin="H", SLOW bit="0" or SLOW pin="L", SSLOW bit="0" or SSLOW pin="L")

Parameter		Symbol	Min.	Typ.	Max.	Unit
Digital Filter						
Frequency Response (Note 25)	±0.01dB	-	0	-	43.5	kHz
	-6.0dB	-	-	48.0	-	kHz
Passband (Note 30)		PB	0	-	43.5	kHz
Stopband (Note 30)		SB	52.5	-	-	kHz
Passband Ripple (Note 27)		PR	-	-	±0.005	dB
Stopband Attenuation (Note 25)		SA	100	-	-	dB
Group Delay (Note 28)		GD	-	6.0	-	1/fs
Digital Filter + SCF (Note 25)						
Frequency Response: 0 ~ 40.0kHz			-0.6	-	+0.1	dB

ショートディレイ・シャープロールオフフィルタ特性 (fs = 192kHz)

(Ta=-40~85°C; VDDL/R=4.75 ~ 5.25V, AVDD= TVDD=1.7 ~3.6V, DVDD=1.7~1.98V; Quad Speed Mode; DEM=OFF; SD bit="1" or SD pin="H", SLOW bit="0" or SLOW pin="L", SSLOW bit="0" or SSLOW pin="L")

Parameter		Symbol	Min.	Typ.	Max.	Unit
Digital Filter						
Frequency Response (Note 25)	±0.01dB	-	0	-	87.0	kHz
	-6.0dB	-	-	96.0	-	kHz
Passband (Note 30)		PB	0	-	87.0	kHz
Stopband (Note 30)		SB	104.9	-	-	kHz
Passband Ripple (Note 27)		PR	-	-	±0.005	dB
Stopband Attenuation (Note 25)		SA	100	-	-	dB
Group Delay (Note 28)		GD	-	6.0	-	1/fs
Digital Filter + SCF (Note 25)						
Frequency Response: 0 ~ 80.0kHz			-2.0	-	+0.1	dB

Note 30. 通過域、阻止域の周波数はfs(システムサンプリングレート)に比例し、
PB = $0.4535 \times fs(@\pm 0.01\text{dB})$ 、SB = $0.546 \times fs$ です。

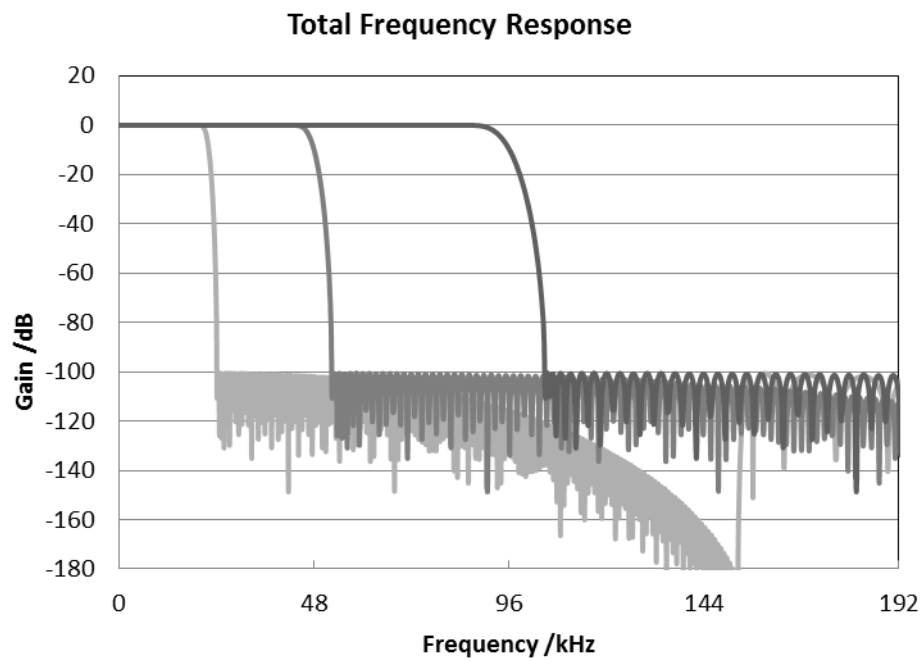


Figure 7. Short Delay Sharp Roll-off Filter Frequency Response

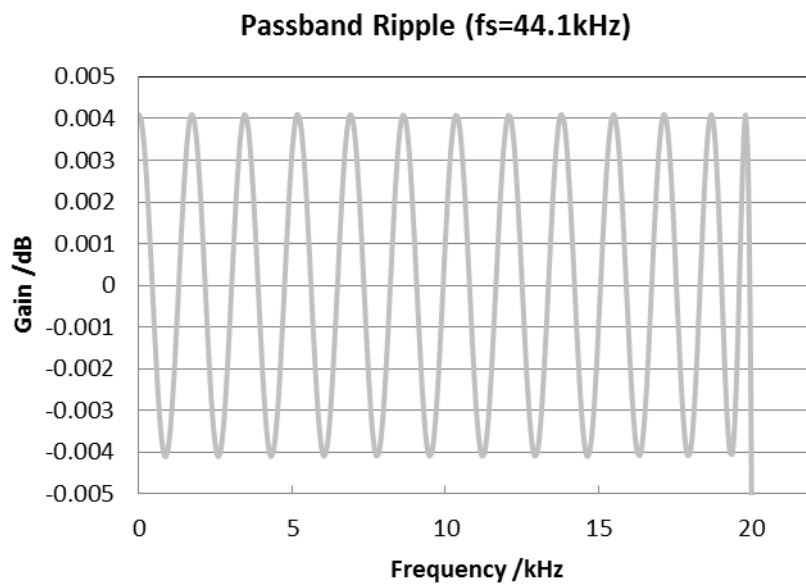


Figure 8. Short Delay Sharp Roll-off Filter Passband Ripple

■ ショートディレイ・スローロールオフフィルタ特性

ショートディレイ・スローロールオフフィルタ特性 (fs = 44.1kHz)

(Ta=-40~85°C; VDDL/R=4.75 ~ 5.25V, AVDD= TVDD=1.7 ~3.6V, DVDD=1.7~1.98V; Normal Speed Mode; DEM=OFF; SD bit="1" or SD pin="H", SLOW bit="1" or SLOW pin="H", SSLOW bit="0" or SSLOW pin="L")

Parameter		Symbol	Min.	Typ.	Max.	Unit
Digital Filter						
Frequency Response (Note 25)	±0.01dB	-	0	-	8.0	kHz
	-6.0dB	-	-	21.0	-	kHz
Passband (Note 30)		PB	0	-	8.0	kHz
Stopband (Note 30)		SB	39.2	-	-	kHz
Passband Ripple (Note 27)		PR	-	-	±0.007	dB
Stopband Attenuation (Note 25)		SA	92	-	-	dB
Group Delay (Note 28)		GD	-	5.0	-	1/fs
Digital Filter + SCF (Note 25)						
Frequency Response: 0 ~ 20.0kHz			-5.0	-	+0.1	dB

ショートディレイ・スローロールオフフィルタ特性 (fs = 96kHz)

(Ta=-40~85°C; VDDL/R=4.75 ~ 5.25V, AVDD= TVDD=1.7 ~3.6V, DVDD=1.7~1.98V; Double Speed Mode; DEM=OFF; SD bit="1" or SD pin="H", SLOW bit="1" or SLOW pin="H", SSLOW bit="0" or SSLOW pin="L")

Parameter		Symbol	Min.	Typ.	Max.	Unit
Digital Filter						
Frequency Response (Note 25)	±0.01dB	-	0	-	17.6	kHz
	-6.0dB	-	-	45.6	-	kHz
Passband (Note 30)		PB	0	-	17.6	kHz
Stopband (Note 30)		SB	85.4	-	-	kHz
Passband Ripple (Note 27)		PR	-	-	±0.005	dB
Stopband Attenuation (Note 25)		SA	100	-	-	dB
Group Delay (Note 28)		GD	-	5.0	-	1/fs
Digital Filter + SCF (Note 25)						
Frequency Response: 0 ~ 40.0kHz			-3.8	-	+0.1	dB

ショートディレイ・スローロールオフフィルタ特性 (fs = 192kHz)

(Ta=-40~85°C; VDDL/R=4.75 ~ 5.25V, AVDD= TVDD=1.7 ~3.6V, DVDD=1.7~1.98V; Quad Speed Mode; DEM=OFF; SD bit="1" or SD pin="H", SLOW bit="1" or SLOW pin="H", SSLOW bit="0" or SSLOW pin="L")

Parameter		Symbol	Min.	Typ.	Max.	Unit
Digital Filter						
Frequency Response (Note 25)	±0.01dB	-	0	-	35.2	kHz
	-6.0dB	-	-	91.2	-	kHz
Passband (Note 30)		PB	0	-	35.2	kHz
Stopband (Note 30)		SB	170.7	-	-	kHz
Passband Ripple (Note 27)		PR	-	-	±0.005	dB
Stopband Attenuation (Note 25)		SA	100	-	-	dB
Group Delay (Note 28)		GD	-	5.0	-	1/fs
Digital Filter + SCF (Note 25)						
Frequency Response: 0 ~ 80.0kHz			-5.0	-	+0.1	dB

Note 31. 通過域、阻止域の周波数はfs(システムサンプリングレート)に比例し、
PB = 0.1836 × fs(@±0.01dB)、SB = 0.8866 × fsです

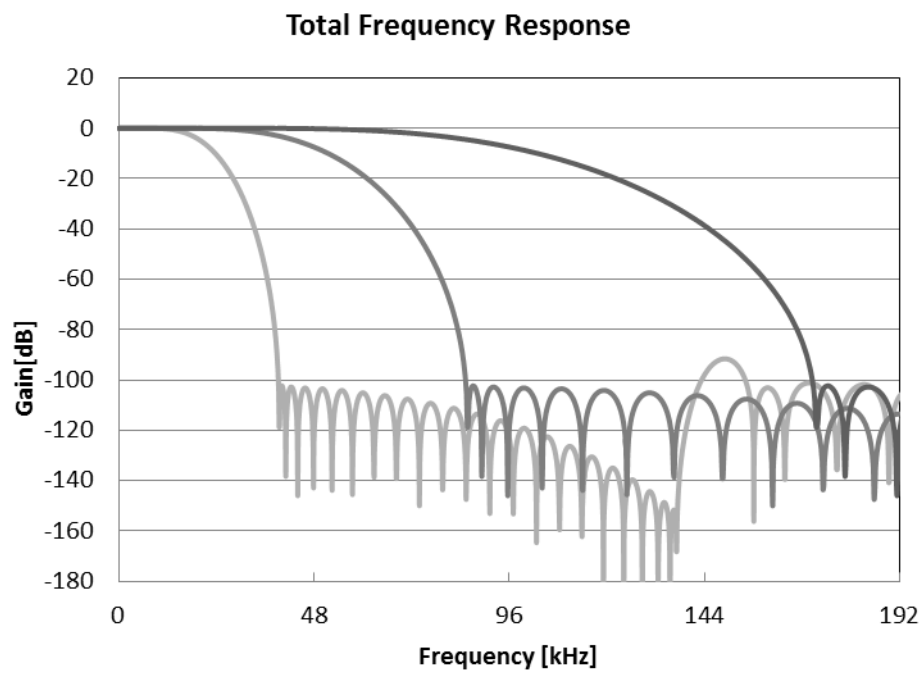


Figure 9. Short Delay Slow Roll-off Filter Frequency Response

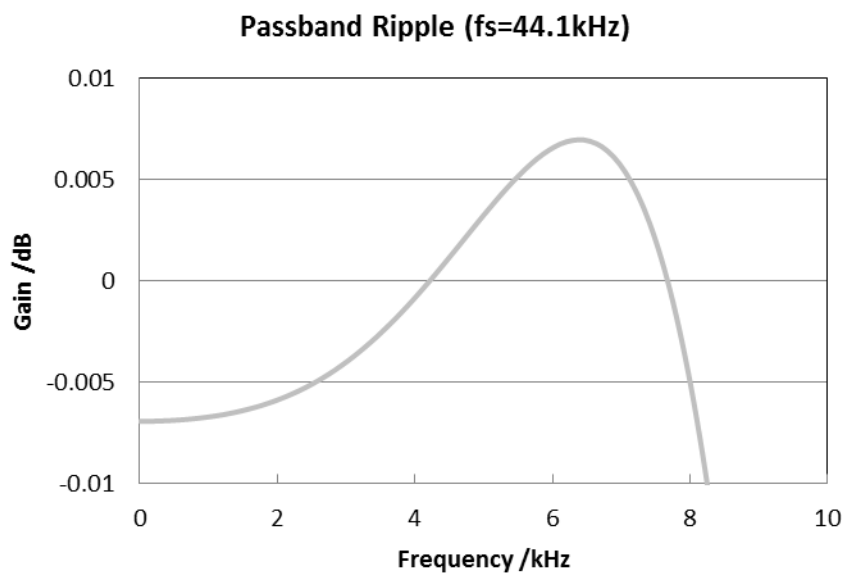


Figure 10. Short Delay Slow Roll-off Filter Passband Ripple

■ 低分散ショートディレイフィルタ特性

低分散ショートディレイフィルタ特性 (fs = 44.1kHz)

(Ta=-40~85°C; VDDL/R=4.75~5.25V, AVDD=TVDD=1.7~3.6V, DVDD=1.7~1.98V; Normal Speed Mode
DEM=OFF; SD bit="1" or SD pin="H", SLOW bit="0" or SLOW pin="L", SSLOW bit="1" or SSLOW
pin="H")

Parameter		Symbol	Min.	Typ.	Max.	Unit
Digital Filter						
Frequency Response (Note 25)	±0.05dB	-	0	-	18.4	kHz
	-6.0dB	-	-	22.05	-	kHz
Passband (Note 32)		PB	0	-	18.4	kHz
Stopband (Note 32)		SB	25.7	-	-	kHz
Passband Ripple (Note 27)		PR	-	-	±0.05	dB
Stopband Attenuation (Note 25)		SA	80	-	-	dB
Group Delay (Note 28)		GD	-	10.0	-	1/fs
Group Delay Distortion		Δ GD	-	±0.035	-	1/fs
Digital Filter + SCF (Note 25)						
Frequency Response: 0 ~ 20.0kHz			-0.8	-	+0.1	dB

低分散ショートディレイフィルタ特性 (fs = 96kHz)

(Ta=-40~85°C; VDDL/R=4.75~5.25V, AVDD=TVDD=1.7~3.6V, DVDD=1.7~1.98V; Double Speed Mode;
DEM=OFF; SD bit="1" or SD pin="H", SLOW bit="0" or SLOW pin="L", SSLOW bit="1" or SSLOW
pin="H")

Parameter		Symbol	Min.	Typ.	Max.	Unit
Digital Filter						
Frequency Response (Note 25)	±0.05dB	-	0	-	40.1	kHz
	-6.0dB	-	-	48.0	-	kHz
Passband (Note 32)		PB	0	-	40.1	kHz
Stopband (Note 32)		SB	55.9	-	-	kHz
Passband Ripple (Note 27)		PR	-	-	±0.05	dB
Stopband Attenuation (Note 25)		SA	80	-	-	dB
Group Delay (Note 28)		GD	-	10.0	-	1/fs
Group Delay Distortion		Δ GD	-	±0.035	-	1/fs
Digital Filter + SCF (Note 25)						
Frequency Response: 0 ~ 40.0kHz			-0.6	-	+0.1	dB

低分散ショートディレイフィルタ特性 (fs = 192kHz)

(Ta=-40~85°C; VDDL/R=4.75~5.25V, AVDD=TVDD=1.7~3.6V, DVDD=1.7~1.98V; Quad Speed Mode;
DEM=OFF; SD bit="1" or SD pin="H", SLOW bit="0" or SLOW pin="L", SSLOW bit="1" or SSLOW
pin="H")

Parameter		Symbol	Min.	Typ.	Max.	Unit
Digital Filter						
Frequency Response (Note 25)	±0.05dB	-	0	-	80.2	kHz
	-6.0dB	-	-	98.0	-	kHz
Passband (Note 32)		PB	0	-	80.2	kHz
Stopband (Note 32)		SB	111.8	-	-	kHz
Passband Ripple (Note 27)		PR	-	-	±0.05	dB
Stopband Attenuation (Note 25)		SA	80	-	-	dB
Group Delay (Note 28)		GD	-	10.0	-	1/fs
Group Delay Distortion		Δ GD	-	±0.035	-	1/fs
Digital Filter + SCF (Note 25)						
Frequency Response: 0 ~ 80.0kHz			-2.0	-	+0.1	dB

Note 32. 通過域、阻止域の周波数はfs(システムサンプリングレート)に比例し、

PB = $0.418 \times fs$ (@±0.05dB)、SB = $0.582 \times fs$ です

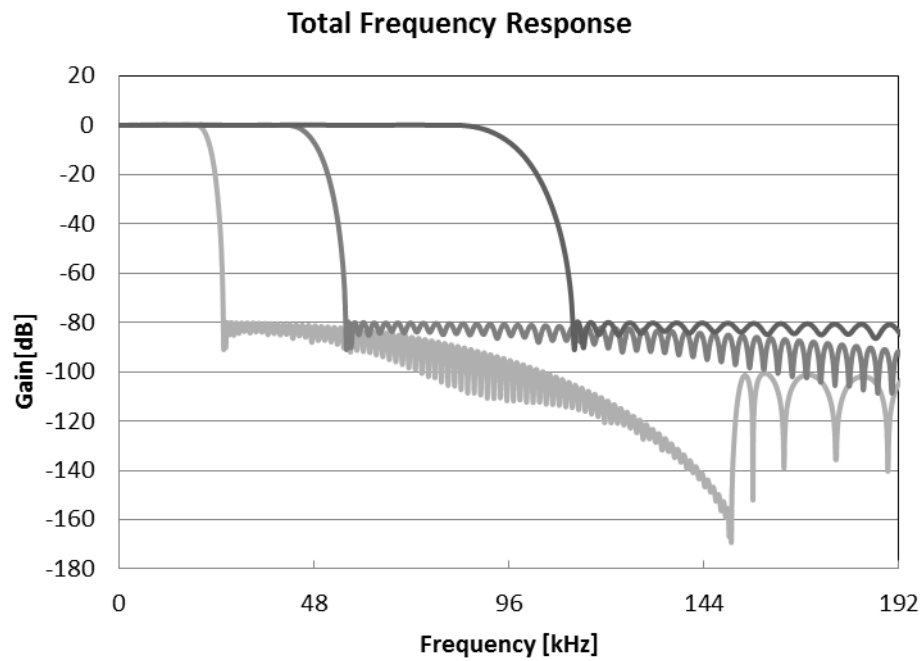


Figure 11. Low Dispersion Shortdelay Filter Frequency Response

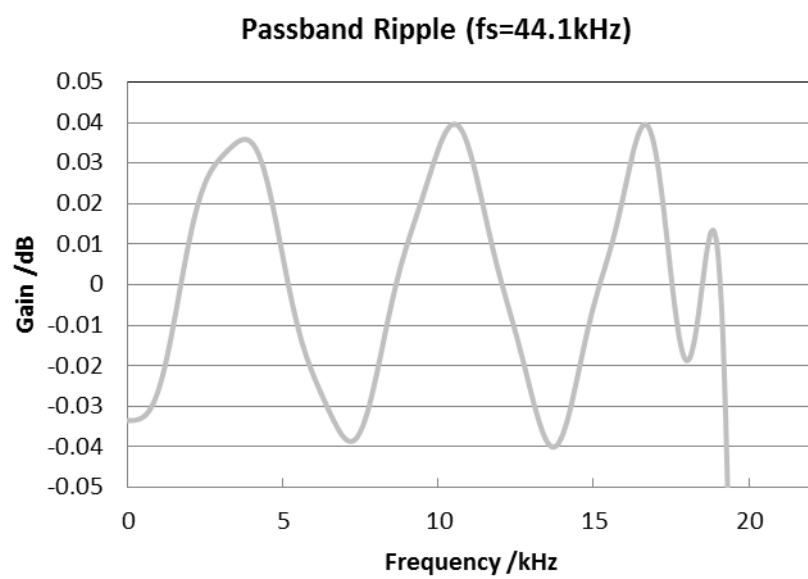


Figure 12. Low Dispersion Shortdelay Filter PassbandRipple

■ DSDフィルタ特性

(Ta=-40~85°C; VDDL/R=4.75~5.25V, AVDD=TVDD=1.7~3.6V, DVDD=1.7~1.98V; fs=44.1kHz; DP bit="1", DSDF bit="0", DSDSEL[1:0] bits="00")

Parameter		Min.	Typ.	Max.	Unit
Digital Filter Response (Note 34)					
Frequency Response (Note 35)	20kHz		-0.77		dB
	50kHz		-5.25		dB
	100kHz		-18.80		dB

(Ta=-40~85°C; VDDL/R=4.75~5.25V, AVDD=TVDD=1.7~3.6V, DVDD=1.7~1.98V; fs=44.1kHz; DP bit="1", DSDF bit="1", DSDSEL[1:0] bits="00")

Parameter		Min.	Typ.	Max.	Unit
Digital Filter Response (Note 34)					
Frequency Response (Note 35)	20kHz		-0.19		dB
	100kHz		-5.29		dB
	150kHz		-15.57		dB

Note 33. SACDフォーマットブック(Scarlet Book)では、DSD信号のピークレベルがデューティレンジ25%~75%を越えることは推奨されていません。

Note 34. 入力に1kHz、デューティレンジ25%~75%のsine波を与えたときの出力レベルを0dBとします。

Note 35. 128fs(DSDSEL[1:0]="01"),256fs(DSDSEL[1:0]="10")では、周波数(20k,100k,150kHz)がそれぞれ2倍、4倍になります。

■ DC特性

(Ta=-40~85°C; VDDL/R=4.75~5.25V, AVDD=TVDD=1.7~3.6V, DVDD=1.7~1.98V)

Parameter	Symbol	Min.	Typ.	Max.	Unit
AVDD=TVDD=1.7 ~ 3.0V					
High-Level Input Voltage	VIH	80%TVDD	-	-	V
Low-Level Input Voltage	VIL	-	-	20%TVDD	V
AVDD=TVDD=3.0V ~ 3.6V					
High-Level Input Voltage	VIH	70%TVDD	-	-	V
Low-Level Input Voltage	VIL	-	-	30%TVDD	V
High-Level Output Voltage (TDMO, DZFL, DZFR pins: Iout=-100μA)	VOH	TVDD-0.5	-	-	V
Low-Level Output Voltage (except SDA pin: Iout= 100μA)	VOL	-	-	0.5	V
(SDA pin, 2.0V ≤ TVDD ≤ 3.6V: Iout= 3mA)	VOL	-	-	0.4	V
(SDA pin, 1.7V ≤ TVDD ≤ 2.0V: Iout= 3mA)	VOL	-	-	20%TVDD	V
Input Leakage Current (Note 36)	Iin	-	-	±10	μA

Note 36. TESTE, TDMO, DIF0, DIF1 pin は内部でプルダウン、また PSN pin は内部でプルアップされています。抵抗値は100kohm(typ)です。このため、TESTE, TDMO, DIF0, DIF1, PSN pin はこの仕様から除きます。

■ スイッチング特性

(Ta=-40~85°C; VDDL/R=4.75~5.25V, AVDD=TVDD=1.7~3.6V, DVDD=1.7~1.98V, CL=20pF)

Parameter	Symbol	Min.	Typ.	Max.	Unit
Master Clock Timing					
Frequency	fCLK	2.048		49.152	MHz
Duty Cycle	dCLK	40		60	%
Minimum Pulse Width	tCLKH	9.155			nsec
	tCLKL	9.155			nsec
LRCK Clock Timing (Note 37)					
Normal Mode (TDM[1:0] bits = "00")					
Normal Speed Mode	fsn	8		54	kHz
Double Speed Mode	fsd	54		108	kHz
Quad Speed Mode	fsq	108		216	kHz
Oct speed mode	fso		384		kHz
Hex speed mode	fsh		768		kHz
Duty Cycle	Duty	45		55	%
TDM128 mode (TDM[1:0] bits = "01")					
Normal Speed Mode	fsn	8		54	kHz
Double Speed Mode	fsd	54		108	kHz
Quad Speed Mode	fsq	108		216	kHz
High time	tLRH	1/128fs			nsec
Low time	tLRL	1/128fs			nsec
TDM256 mode (TDM[1:0] bits = "10")					
Normal Speed Mode High time	fsn	8		54	kHz
Double Speed Mode	fsd	54		108	kHz
High time	tLRH	1/256fs			nsec
Low time	tLRL	1/256fs			nsec
TDM512 mode (TDM[1:0] bits = "11")					
Normal Speed Mode	fsn	8		54	kHz
High time	tLRH	1/512fs			nsec
Low time	tLRL	1/512fs			nsec

Note 37. MCLKの周波数を切り替える場合はPDN pin="L"またはRSTN bit="0"とし、リセットしている期間中に切り替えて下さい。

(Ta=-40~85°C; VDDL/R = 4.75 ~ 5.25 V, TVDD = AVDD = 1.7 ~ 3.6 V, DVDD = 1.7 ~ 1.98 V, C_L = 20pF, PSN pin = "L", AFSD bit= "1")

Parameter	Symbol	Min.	Typ.	Max.	Unit
Master Clock Timing (FS Auto Detect Mode)					
Frequency	fCLK	7.68		49.152	MHz
Duty Cycle	dCLK	40		60	%
Minimum Pulse Width	tCLKH	9.155			nsec
	tCLKL	9.155			nsec
LRCK Clock Timing (FS Auto Detect Mode) (Note 38)					
Normal Mode (TDM[1:0] bits = "00")					
Normal Speed Mode	fsn	30		54	kHz
Double Speed Mode	fsd	88.2		108	kHz
Quad Speed Mode	fsq	176.4		216	kHz
Oct speed mode	fso		384		kHz
Hex speed mode	fsh		768		kHz
Duty Cycle	Duty	45		55	%
TDM128 mode (TDM[1:0] bits = "01")					
Normal Speed Mode	fsn	30		54	kHz
Double Speed Mode	fsd	88.2		108	kHz
Quad Speed Mode	fsq	176.4		216	kHz
High time	tLRH	1/128fs			nsec
Low time	tLRL	1/128fs			nsec
TDM256 mode (TDM[1:0] bits = "10")					
Normal Speed Mode High time	fsn	30		54	kHz
Double Speed Mode	fsd			108	kHz
High time	tLRH	1/256fs			nsec
Low time	tLRL	1/256fs			nsec
TDM512 mode (TDM[1:0] bits = "11")					
Normal Speed Mode	fsn	30		54	kHz
High time	tLRH	1/512fs			nsec
Low time	tLRL	1/512fs			nsec

Note 38. Sampling Frequency Auto Detect Mode 使用時に、上記以外の周波数をLRCKに入力した場合は、動作を保証しません。

Parameter	Symbol	Min.	Typ.	Max.	Unit
PCM Audio Interface Timing					
Normal Mode (TDM[1:0] bits = "00")					
BICK Period					
Normal Speed Mode	tBCK	1/256fsn	-	-	nsec
Double Speed Mode	tBCK	1/128fsd	-	-	nsec
Quad Speed Mode	tBCK	1/64fsq	-	-	nsec
Oct speed mode	tBCK	1/64fso	-	-	nsec
Hex speed mode	tBCK	1/64fsh	-	-	nsec
BICK Pulse Width Low	tBCKL	9	-	-	nsec
BICK Pulse Width High	tBCKH	9	-	-	nsec
BICK "↑" to LRCK Edge (Note 39)	tBLR	5	-	-	nsec
LRCK Edge to BICK "↑" (Note 39)	tLRB	5	-	-	nsec
SDATA Hold Time	tSDH	5	-	-	nsec
SDATA Setup Time	tSDS	5	-	-	nsec
TDM128 mode (TDM[1:0] bits = "01")					
BICK Period					
Normal Speed Mode	tBCK	1/128fsn	-	-	nsec
Double Speed Mode	tBCK	1/128fsd	-	-	nsec
Quad Speed Mode	tBCK	1/128fsq	-	-	nsec
BICK Pulse Width Low	tBCKL	14	-	-	nsec
BICK Pulse Width High	tBCKH	14	-	-	nsec
BICK "↑" to LRCK Edge (Note 39)	tBLR	14	-	-	nsec
LRCK Edge to BICK "↑" (Note 39)	tLRB	14	-	-	nsec
SDATA Hold Time	tSDH	5	-	-	nsec
SDATA Setup Time	tSDS	5	-	-	nsec
TDM256 mode (TDM[1:0] bits = "10")					
BICK Period					
Normal Speed Mode	tBCK	1/256fsn			nsec
Double Speed Mode (Note 40)	tBCK	1/256fsd			nsec
BICK Pulse Width Low	tBCKL	14			nsec
BICK Pulse Width High	tBCKH	14			nsec
BICK "↑" to LRCK Edge (Note 39)	tBLR	14			nsec
LRCK Edge to BICK "↑" (Note 39)	tLRB	14			nsec
TDMO Setup time BICK "↑"	tBSS	5			nsec
TDMO Hold time BICK "↑" (Note 42)	tBSH	5			nsec
SDATA Hold Time	tSDH	5			nsec
SDATA Setup Time	tSDS	5			nsec
TDM512 mode (TDM[1:0] bits = "11")					
BICK Period					
Normal Speed Mode (Note 41)	tBCK	1/512fsn			nsec
BICK Pulse Width Low	tBCKL	14			nsec
BICK Pulse Width High	tBCKH	14			nsec
BICK "↑" to LRCK Edge (Note 39)	tBLR	14			nsec
LRCK Edge to BICK "↑" (Note 39)	tLRB	14			nsec
TDMO Setup time BICK "↑"	tBSS	5			nsec
TDMO Hold time BICK "↑" (Note 42)	tBSH	5			nsec
SDATA Hold Time	tSDH	5			nsec
SDATA Setup Time	tSDS	5			nsec

Note 39. この規格値はLRCKのエッジとBICKの"↑"が重ならないように規定しています。

Note 40. Daisy Chain Mode、TVDD < 3.0Vでは、fsd(max)= 96 kHzです。

Note 41. Daisy Chain Mode、TVDD < 3.0Vでは、fsn(max)= 48 kHzです。

Note 42. LDOE pin="L"、TVDD > 2.6Vでは、tBSH(min)= 4 nsecです。

Parameter	Symbol	Min.	Typ.	Max.	Unit
PCM Audio Interface Timing					
External Digital Filter Mode					
BCK Period	tB	27	-	-	nsec
BCK Pulse Width Low	tBL	10	-	-	nsec
BCK Pulse Width High	tBH	10	-	-	nsec
BCK “↑” to WCK Edge	tBW	5	-	-	nsec
WCK Period	tWCK	1.3	-	-	usec
WCK Edge to BCK “↑”	tWB	5	-	-	nsec
WCK Pulse Width Low	tWCKL	54	-	-	nsec
WCK Pulse Width High	tWCKH	54	-	-	nsec
DINL/R Hold Time	tDH	5	-	-	nsec
DINL/R Setup Time	tDS	5	-	-	nsec
DSD Audio Interface Timing					
Sampling Frequency	fs	30	-	48	kHz
(64fs mode, DSDSEL [1:0] bits = “00”)					
DCLK Period	tDCK	-	1/64fs	-	nsec
DCLK Pulse Width Low	tDCKL	144	-	-	nsec
DCLK Pulse Width High	tDCKH	144	-	-	nsec
DCLK Edge to DSDL/R (Note 43)	tDDD	-20	-	20	nsec
(128fs mode, DSDSEL [1:0] bits = “01”)					
DCLK Period	tDCK	-	1/128fs	-	nsec
DCLK Pulse Width Low	tDCKL	72	-	-	nsec
DCLK Pulse Width High	tDCKH	72	-	-	nsec
DCLK Edge to DSDL/R (Note 43)	tDDD	-10	-	10	nsec
(256fs mode, DSDSEL [1:0] bits = “10”)					
DCLK Period	tDCK	-	1/256fs	-	nsec
DCLK Pulse Width Low	tDCKL	36	-	-	nsec
DCLK Pulse Width High	tDCKH	36	-	-	nsec
DCLK Edge to DSDL/R (Note 43)	tDDD	-5	-	5	nsec
(512fs mode, DSDSEL [1:0] bit = “11”)					
DCLK Period	tDCK	-	1/512fs	-	nsec
DCLK Pulse Width Low	tDCKL	18	-	-	nsec
DCLK Pulse Width High	tDCKH	18	-	-	nsec
DSDL/R Setup Time	tDDS	5	-	-	nsec
DSDL/R Hold Time	tDDH	5	-	-	nsec

Note 43. データ送信側に要求される値です。DCKB bit="0"(default)設定時は、DCLK “↓”からDSDL/Rのエッジまでの時間をtDDDと規定し、DCKB bit="1"設定時は、DCLK “↑”からDSDL/Rのエッジまでの時間をtDDDと規定します。また、オーディオデータフォーマットがPhase Modulation Mode時は、DCKB bitの設定にかかわらず、DCLK “↓”または“↑”からDSDL/Rのエッジまでの時間をtDDDと規定します。

Note 44. DSD512fs Mode時はPhase Modulation Modeに対応しません。

Parameter	Symbol	Min.	Typ.	Max.	Unit
Control Interface Timing (3-wire IF mode):					
CCLK Period	tCCK	200	-	-	nsec
CCLK Pulse Width Low	tCCKL	80	-	-	nsec
CCLK Pulse Width High	tCCKH	80	-	-	nsec
CDTI Setup Time	tCDS	40	-	-	nsec
CDTI Hold Time	tCDH	40	-	-	nsec
CSN "H" Time	tCSW	150	-	-	nsec
CSN "↓" to CCLK "↑"	tCSS	50	-	-	nsec
CCLK "↑" to CSN "↑"	tCSH	50	-	-	nsec
Control Interface Timing (I²C Bus mode):					
SCL Clock Frequency	fSCL	-	-	400	kHz
Bus Free Time Between Transmissions	tBUF	1.3	-	-	usec
Start Condition Hold Time (prior to first clock pulse)	tHD:STA	0.6	-	-	usec
Clock Low Time	tLOW	1.3	-	-	usec
Clock High Time	tHIGH	0.6	-	-	usec
Setup Time for Repeated Start Condition	tSU:STA	0.6	-	-	usec
SDA Hold Time from SCL Falling (Note 45)	tHD:DAT	0	-	-	usec
SDA Setup Time from SCL Rising	tSU:DAT	0.1	-	-	usec
Rise Time of Both SDA and SCL Lines	tR	-	-	0.3	usec
Fall Time of Both SDA and SCL Lines	tF	-	-	0.3	usec
Setup Time for Stop Condition	tSU:STO	0.6	-	-	usec
Pulse Width of Spike Noise Suppressed by Input Filter	tSP	0	-	50	nsec
Capacitive load on bus	Cb	-	-	400	pF
Power-down & Reset Timing (Note 46)					
PDN Accept Pulse Width	tAPD	150	-	-	nsec
PDN Reject Pulse Width	tRPD	-	-	30	nsec

Note 45. データは最低300nsec(SCLの立ち下がり時間)の間保持されなければなりません。

Note 46. 電源投入時はPDN pinを一旦"L"にしてリセットしてください。

Note 47. I²C-busはNXP B.V.の商標です。

■ タイミング波形

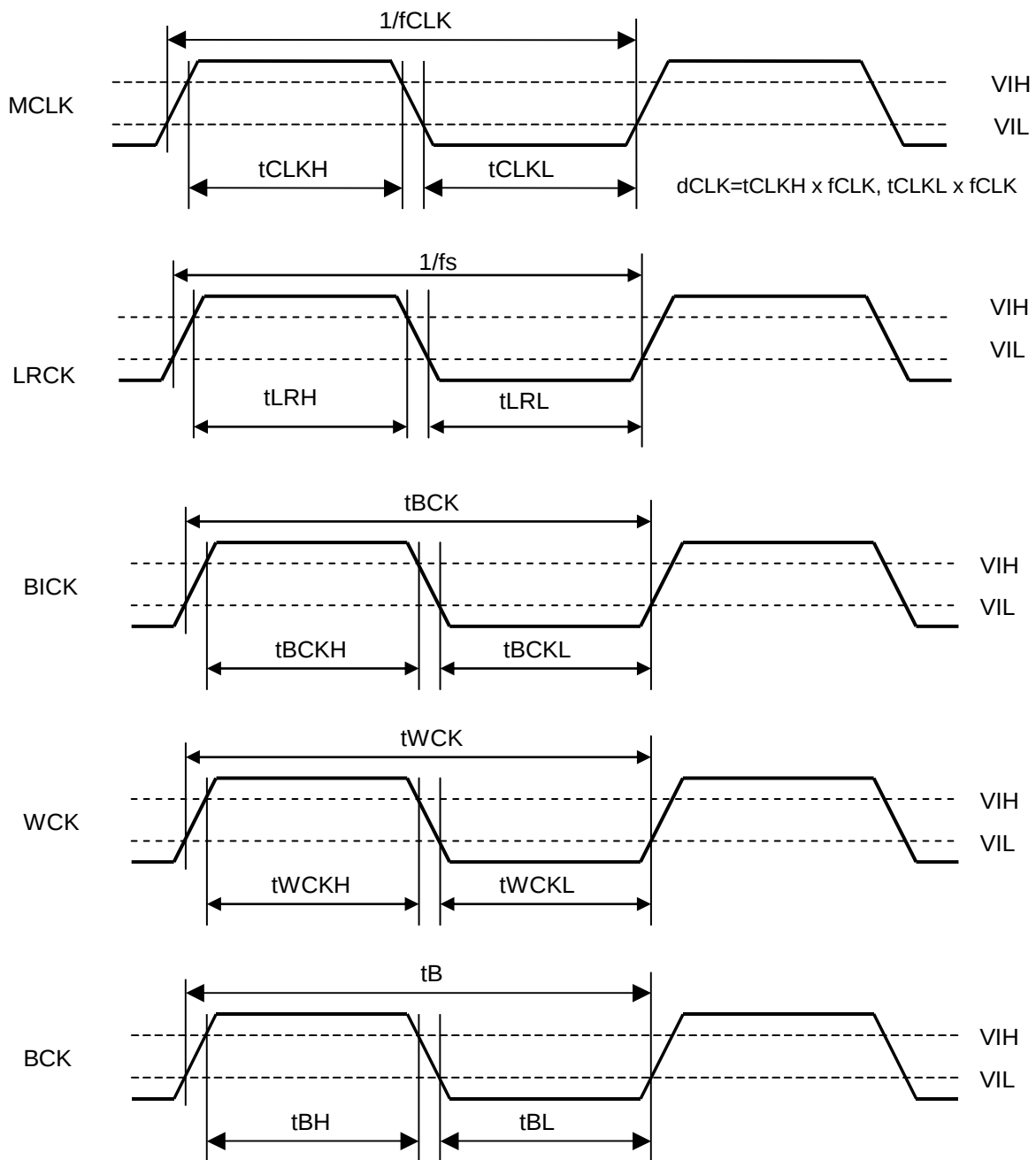


Figure 13. Clock Timing

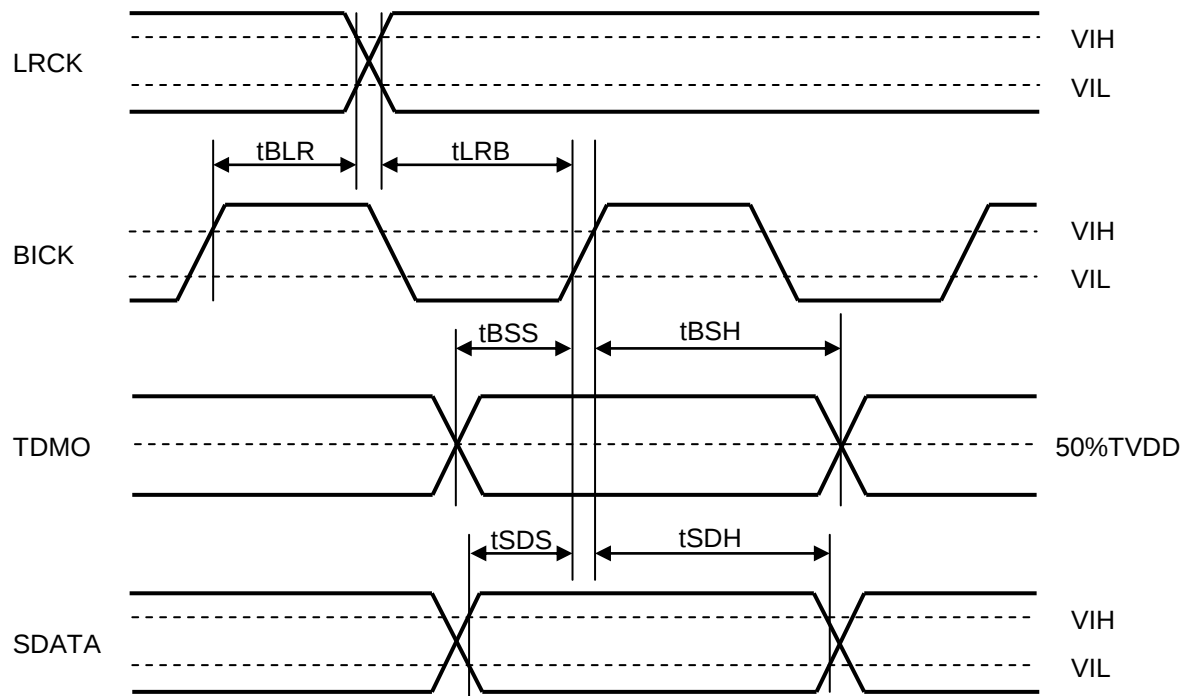


Figure 14. Audio Interface Timing (PCM Mode)

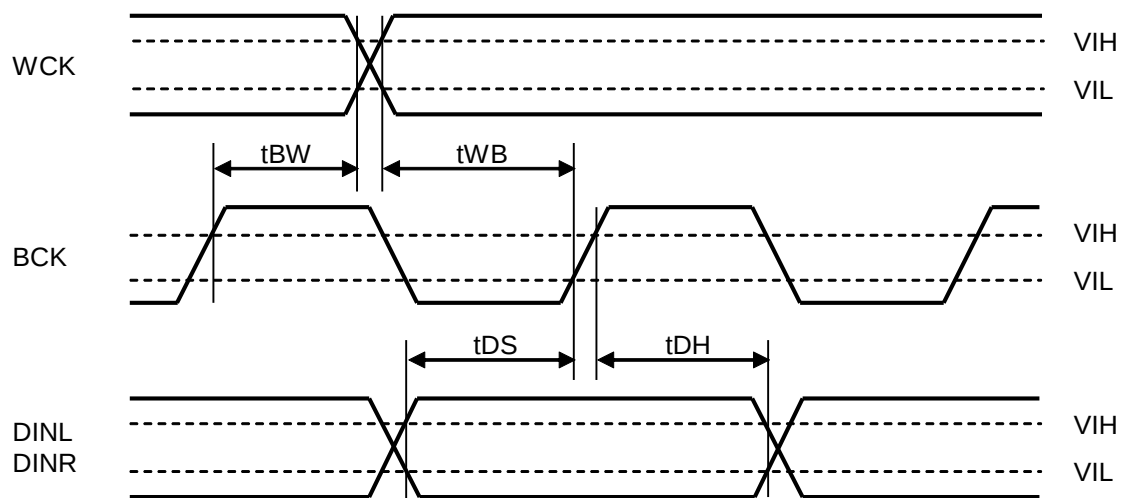
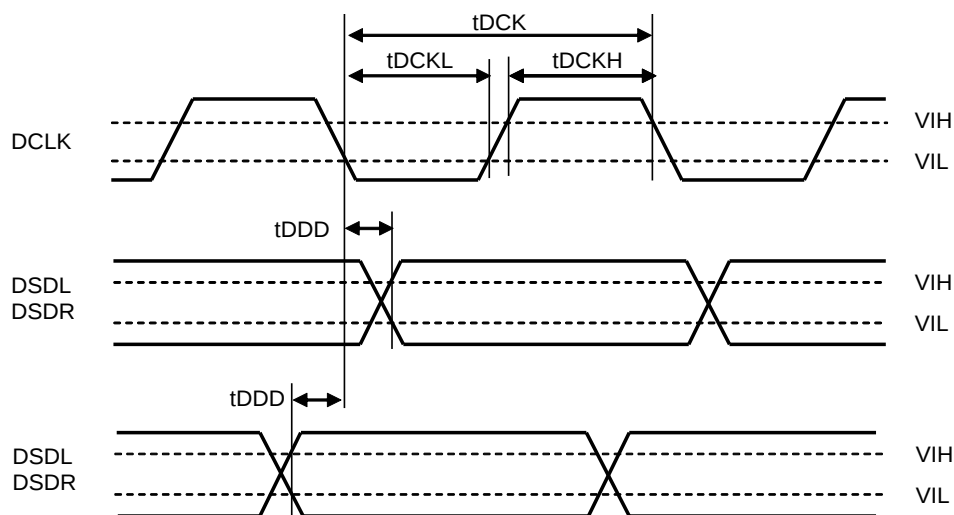
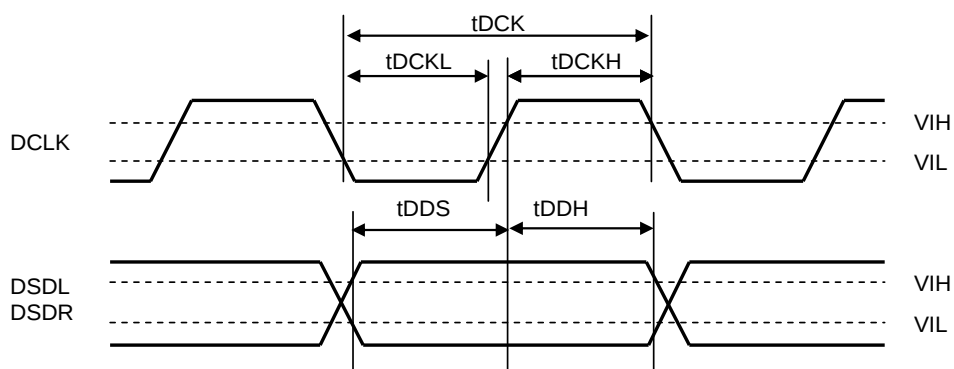


Figure 15. Audio Interface Timing (External Digital Filter I/F Mode)



DSD Audio Interface Timing (DSD64fs, 128fs, 256fs Mode)



DSD Audio Interface Timing (DSD512fs Mode)

Figure 16. Audio Interface Timing (DSD Normal Mode, DCKB bit = "0")

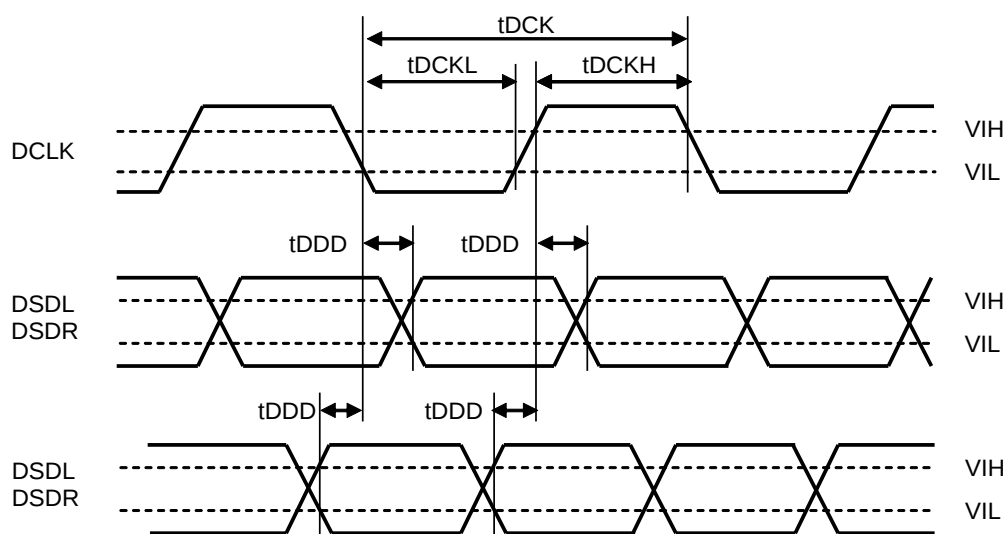


Figure 17. Audio Interface Timing (DSD Phase Modulation Mode, DCKB bit = "0")

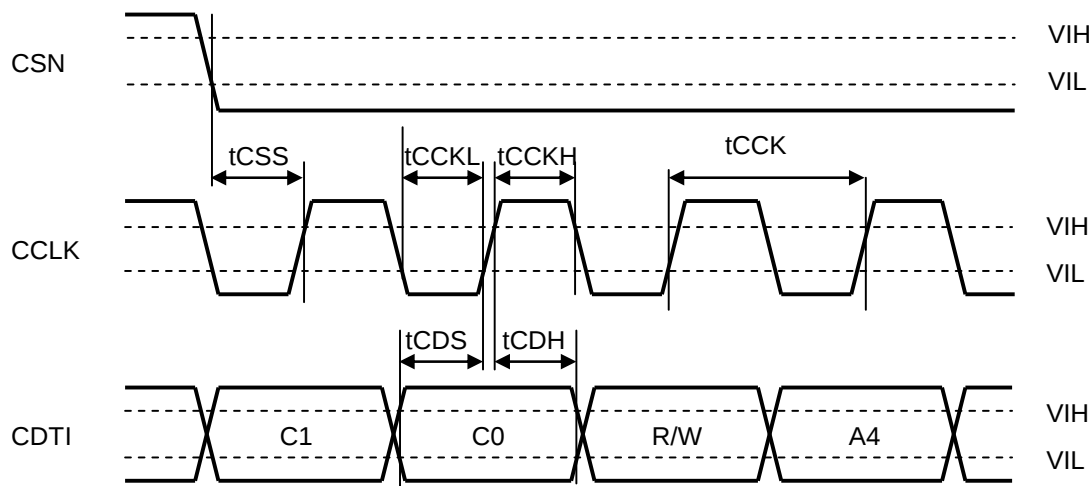


Figure 18. WRITE Command Input Timing

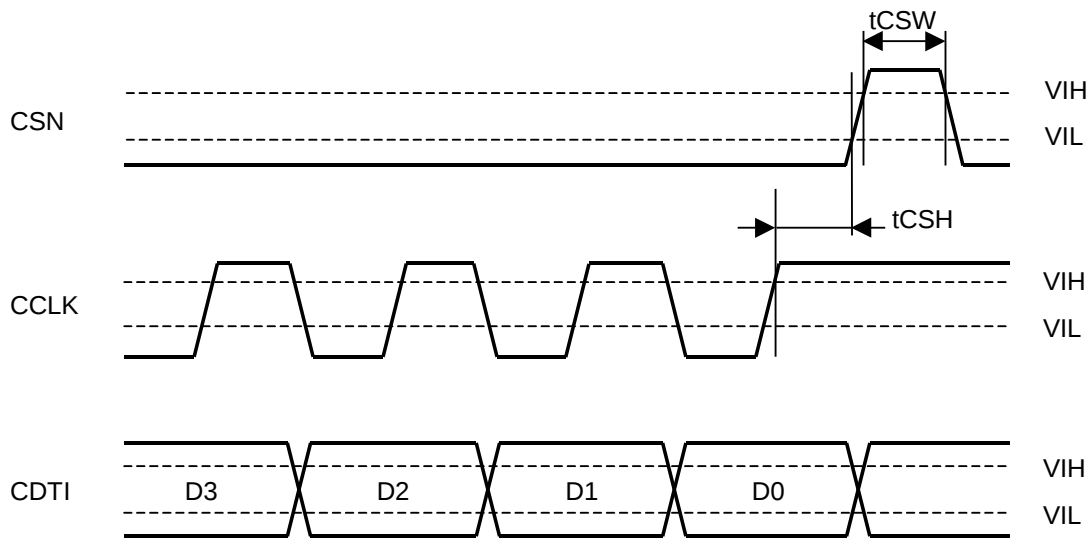


Figure 19. WRITE Data Input Timing

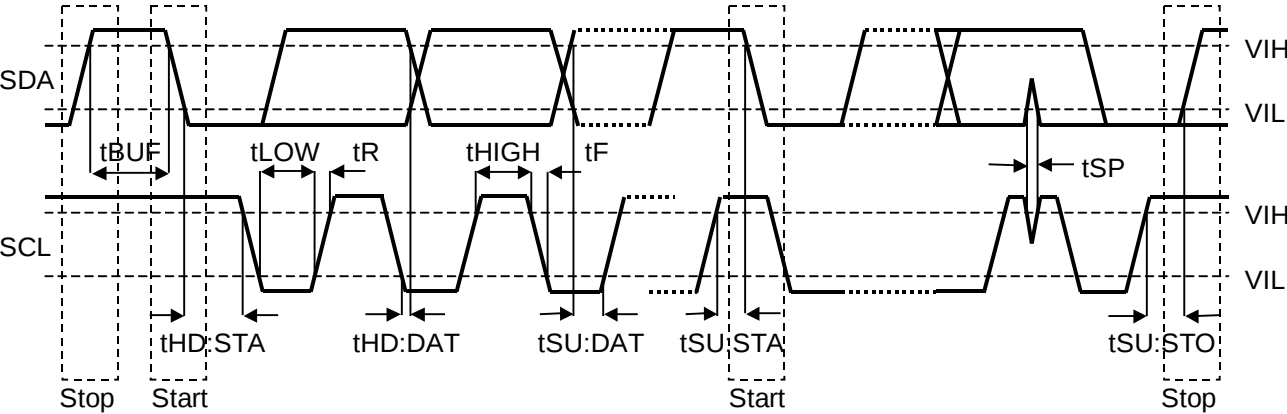


Figure 20. I²C Bus Mode Timing

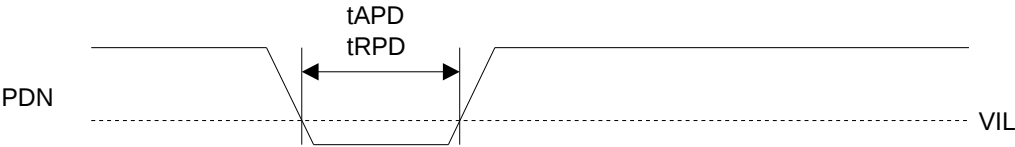


Figure 21. Power Down & Reset Timing

9. 機能説明

AK4497の各機能はピン(ピンコントロールモード)、もしくはレジスタ(レジスタコントロールモード)により制御されます([Table 1](#))。PSN pinで制御モードを設定して下さい。PSNpinの設定を変更する場合は、PDNpinでAK4497をパワーダウンして下さい。パワーダウンしない場合、変更前の設定が初期化されない為、回路が誤動作する可能性があります。ピンコントロールモード時にはレジスタ設定は無効、レジスタコントロールモード時にはピンコントロールは無効になります。

[Table 2](#)にピンコントロールモード、レジスタコントロールモードにおける機能対応表を、[Table 3](#)にPCM, DSD, EXDFモードにおける機能対応表を示します。

Table 1. Pin/Register Control Mode Select

PSN pin	Control Mode
L	Register Control Mode
H	Pin Control Mode

Table 2. Function List @Pin/Register Control Mode

Function	Pin Control Mode	Register Control Mode
DSD/EXDF Mode Select	-	Y
System Clock Setting Select	Y	Y
Audio Format Select	Y	Y
TDM Mode	Y	Y
Digital Filter Select	Y	Y
De-emphasis Filter Select	Y	Y
Digital Attenuator	-	Y
Zero Detection	-	Y
Mono Mode	-	Y
Output signal select (Monaural Channel select)	-	Y
Output signal polarity select (Invert)	Y	Y
Sound Color Select	-	Y
DSD Full Scale Detect	-	Y
Soft Mute	Y	Y
Register Reset	-	Y
Synchronization	-	Y
Resistor Control	-	Y
Gain Control	Y	Y
Heavy Load Mode	Y	Y

(Y: Available, -: Not available)

Table 3. Function List of PCM/EXDF/DSD mode @Register Control Mode

Function	Default	アドレス	ビット	PCM	EXDF	DSD
PCM/DSD/EXDF Mode Select	PCM mode	00H 02H	EXDF DP	Y	Y	Y
System clock setting@DSDmode	512fs	02H	DCKS	-	-	Y
Systemclock setting@EXDFmode	16fs(fs=44.1kHz)	00H	ECS	-	Y	-
Digital Filter select @DSD mode	39kHz filter	09H	DSDF	-	-	Y
Digital Filter select @PCM mode	Short delay sharp roll off filter	01-02-05 H	SD SLOW SSLOW	Y	-	-
De-emphasis Response	OFF	01H	DEM[1:0]	Y	-	-
Path select @ DSD mode	Normal Path	06H	DSDD	-	-	Y
Audio Data Interface Format @ PCM Mode	32bit MSB	00H	DIF[2:0]	Y	-	-
Audio Data Interface Format @ EXDF Mode	32bit LSB	00H	DIF[2:0]	-	Y	-
TDM InterfaceFormat	Normal Mode	0AH	TDM[1:0]	Y	-	-
Daisy Chain	Normal Mode	0BH	DCHAIN	Y	-	-
Attenuation Level	0dB	03-04H	ATT[7:0]	Y	Y	Y
Data Zero Detect Enable	Disable	01H	DZFE	Y	Y	Y
Inverting Enable of DZF	"H" active	02H	DZFB	Y	Y	Y
Mono/Stereo mode select	Stereo	02H	MONO	Y	Y	Y
Data Invert mode select	OFF	05H	INVL/R	Y	Y	Y
The data selection of L channel and R channel	R channel	02H	SELLR	Y	Y	Y
Sound Color Select	Off	08H	SC[2:0]	Y	Y	Y
DSD Mute Function @ Full scale Detected	Disable	06H	DDM	-	-	Y
Soft Mute Enable	Normal Operation	01H	SMUTE	Y	Y	Y
RSTN	Reset	00H	RSTN	Y	Y	Y
Syncronization	Enable	07H	SYNCE	Y	Y	-

(Y: Available, N/A: Not available)

■ D/A変換モード（PCMモード、DSDモード、EXDFモード）

AK4497はPCMデータとDSDデータの両方をD/A変換することが可能です。PCM modeではBICK, LRCK, SDATAの各ピンからPCMデータを入力します。DSD mode時は、DSDPATH bit= “0”の時、#16, #17, #19ピンから、DSDPATH bit= “1”の時、#3, #4, #5ピンからDSDデータを入力します。DSD modeとPCM modeの切り替えはDP bitで行います。DP bitでPCM/DSD modeを切り替える場合、またDSDPATHbitでDSD信号の入力ピンを変える場合はRSTN bit= “0”とし、リセットしている期間中に行ってください。また、切り替えた後は4/fs以内にRSTN bitを変えないでください。モードの移行には2～3/fs程度かかります。ピンコントロールモード時はPCMモードのみに対応します。また、DP bit= “0”、EXDFbit=“1”の場合、外部Digital Filter I/Fを選択することが可能です。外部Digital Filter I/F使用時 (EXDF mode)は、MCLK, BCK, WCK, DINL, DINRの各ピンからデータを入力します。モード切替はEXDF bitで行います。EXDF bitで内部Digital Filterと外部Digital Filter I/Fを切替える場合はRSTN bit= “0”とし、リセットをしている期間中に切り替えて下さい。切り替えには2～3/fs程度かかります。DP bit=“1”、EXDF bit= “1”の場合はDSDモードになります。

Table 4. PCM/DSD/EXDF Mode Control

DP bit	EXDF bit	DSDPATH bit	D/A変換モード	ピンアサイン					
				#3 pin	#4 pin	#5 pin	#16 pin	#17 pin	#19 pin
0 (default)	0 (default)	x	PCM	BICK	SDATA	LRCK	Not Use	Not Use	Not Use
1	x	0 (default)	DSD	Not Use	Not Use	Not Use	DSDL	DSDR	DCLK
1	x	1	DSD	DCLK	DSDL	DSDR	Not Use	Not Use	Not Use
0	1	x	EXDF	BCK	DINL	DINR	Not Use	Not Use	Not Use

(x: Do not care)

■ D/A変換モード切り替えタイミング

Figure 22、Figure 23にPCMもしくはEXDFモードとDSDモードの切り替えタイミングを示します。過大入力による異音を防止するため、PCMもしくはEXDFモードからDSDモードに切り替える場合は、RSTN bit= “0”を書き込んでから4/fs以上経過し、内部が完全にリセットされた状態になってからDSD信号を入力してください。DSDモードからPCMもしくはEXDFモードに切り替える場合は、RSTN bit= “0”を書き込んでから4/fs以上経過し、内部が完全にリセットされた状態になってからDSD信号を止めて下さい。

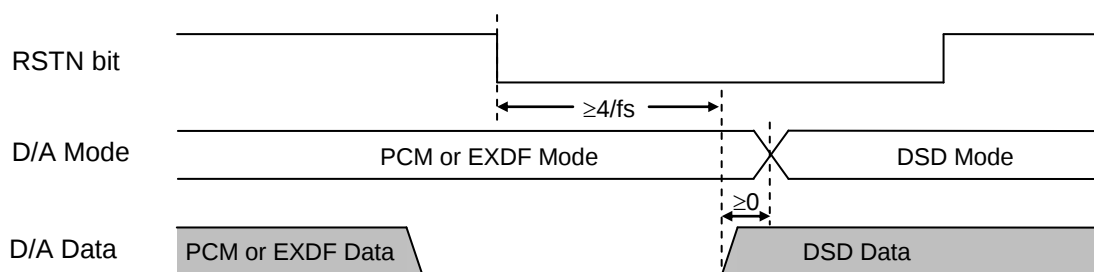


Figure 22. D/A Mode Switching Timing (from PCM/EXDF to DSD)

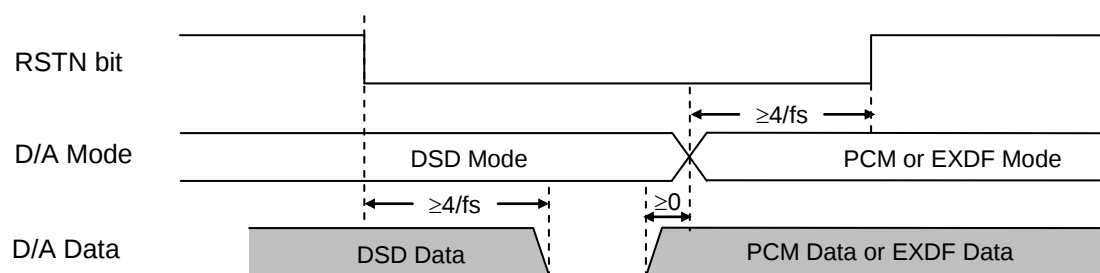


Figure 23. D/A Mode Switching Timing (from DSD to PCM/EXDF)

Figure 24にPCMモードとEXDFモードとの切り替えタイミングを示します。モードを切り替える場合は、RSTN bit=“0”を設定してから $4/f_s$ 以上経過して、内部が完全にリセット状態になってからEXDF bitを設定して下さい。

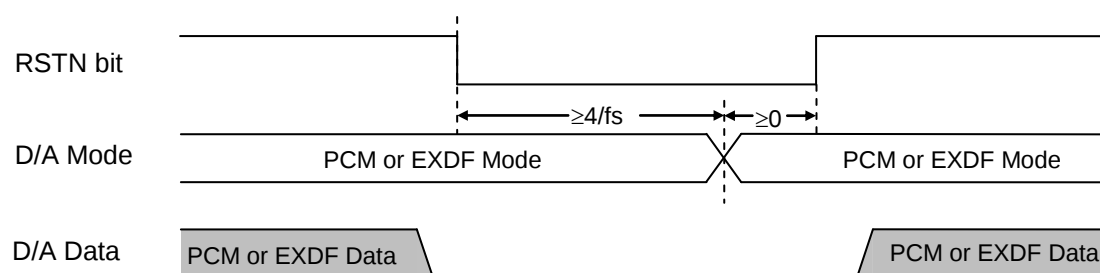


Figure 24. D/A Mode Switching Timing (PCM ↔ EXDF)

■ システムクロック

[1] PCM Mode

PCMモード時に必要なクロックは、MCLK, BICK, LRCKです。MCLK, BICKとLRCKは同期する必要はありますが位相を合わせる必要はありません。MCLKはインターポレーションフィルタ、 $\Delta\Sigma$ 変調器、およびSCFの動作に使用されます。

MCLK周波数の設定は、手動設定する方法 (Manual Setting Mode)と、デバイス内で自動設定(Auto Setting Mode, Fs Auto Detect mode)する方法があります。

Manual Setting Mode (ACKS pin="L" or ACKS bit="0")では、MCLK周波数は自動検出されますが、DFS[2:0] bitsによってサンプリングスピード(LRCK周波数)を手動で設定します([Table 6](#))。サンプリングスピードはピンコントロールモード時(PSN pin="H")はNormal Speed Modeに固定され、レジスタコントロールモード時(PSN="L")はDFS[2:0] bitsによって設定されます。レジスタコントロールモード時、パワーダウン解除時 (PDN pin="L"→"H")はManual Setting Modeです。

Auto Setting Mode (ACKS pin = "H" or ACKS bit="1")では、サンプリングスピードとMCLK周波数は自動検出され([Table 7](#), [Table 11](#))、内部クロックは適切な周波数 ([Table 8](#), [Table 9](#), [Table 15](#), [Table 16](#)) に自動設定されます。

FS Auto detect Mode (AFSD bit="1") 時は、サンプリングスピードを内部で自動検出し、内部クロックは適切な周波数に自動設定されます。このとき、ACKS bitとDFS[2:0] bitsの設定は無効となります。FS Auto detect Modeはピンコントロールモードには対応していません。

動作中にMCLKのエッジが入力されない状態が最短1us以上続く場合は、自動的にコントロールレジスタ、IREF、および、LDOE pin="H"時はLDOを除くすべての回路がパワーオフ状態になり、アナログ出力はHi-Zとなります。MCLKを再入力後、パワーオフ状態が解除され動作を再開します。このとき、レジスタに書き込んだ設定は保持されます。

パワーダウン解除時 (PDN pin="L"→"H")は MCLK, BICK, LRCKが入力されるまでパワーオフ状態で、アナログ出力はフローティング状態(Hi-Z)です。

Table 5. System Clock Setting Mode @Register Control Mode

AFSD bit	ACKS bit	Mode	
0	0	Manual setting Mode	(default)
	1	Auto setting Mode	
1	x	FS Auto Detect Mode	

(x: Do not care)

(1) ピンコントロールモード (PSN pin="H")

(1)-1. Manual Setting Mode (ACKS pin="L")

MCLK周波数は自動設定されます。各スピードでのMCLK周波数はTable 6で示される周波数を外部から供給して下さい。このモード時は、DFS[1:0] bitsは内部で“00”に固定されており、2倍速、4倍速には対応していません。

Table 6. System Clock Example (Manual Setting Mode @Pin Control Mode)

LRCK fs	MCLK (MHz)							BICK 64fs
	128fs	192fs	256fs	384fs	512fs	768fs	1152fs	
32.0kHz	N/A	N/A	8.1920	12.2880	16.3840	24.5760	36.8640	2.0480MHz
44.1kHz	N/A	N/A	11.2896	16.9344	22.5792	33.8688	N/A	2.8224MHz
48.0kHz	N/A	N/A	12.2880	18.4320	24.5760	36.8640	N/A	3.0720MHz

(N/A: Not available)

(1)-2. Auto Setting Mode (ACKS pin="H")

MCLK周波数とサンプリングスピードは自動検出(Table 7)されます。各スピードでのMCLK周波数はTable 8, Table 9で示される周波数を外部から供給して下さい。

Table 7. Sampling Speed (Auto Setting Mode @Pin Control Mode)

MCLK		Sampling Speed
1152fs		Normal (fs≤32kHz)
512fs/256fs	768fs/384fs	Normal
256fs	384fs	Double
128fs	192fs	Quad
64fs	96fs	Oct
32fs	48fs	Hex

Table 8. System Clock Example 1 (Auto Setting Mode @Pin Control Mode)

LRCK Fs	MCLK(MHz)							Sampling Speed
	32fs	48fs	64fs	96fs	128fs	192fs		
32.0kHz	N/A	N/A	N/A	N/A	N/A	N/A		Normal
44.1kHz	N/A	N/A	N/A	N/A	N/A	N/A		
48.0kHz	N/A	N/A	N/A	N/A	N/A	N/A		
88.2kHz	N/A	N/A	N/A	N/A	N/A	N/A		Double
96.0kHz	N/A	N/A	N/A	N/A	N/A	N/A		
176.4kHz	N/A	N/A	N/A	N/A	22.5792	33.8688		Quad
192.0kHz	N/A	N/A	N/A	N/A	24.5760	36.8640		
384kHz	N/A	N/A	24.576	36.864	N/A	N/A		Oct
768kHz	24.576	36.864	N/A	N/A	N/A	N/A		Hex

(N/A: Not available)

Table 9. System Clock Example 2 (Auto Setting Mode @Pin Control Mode)

LRCK	MCLK(MHz)						Sampling Speed
Fs	256fs	384fs	512fs	768fs	1024fs	1152fs	
32.0kHz	8.1920	12.2880	16.3840	24.5760	32.7680	36.8640	Normal
44.1kHz	11.2896	16.9344	22.5792	33.8688	N/A	N/A	
48.0kHz	12.2880	18.4320	24.5760	36.8640	N/A	N/A	
88.2kHz	22.5792	33.8688	N/A	N/A	N/A	N/A	Double
96.0kHz	24.5760	36.8640	N/A	N/A	N/A	N/A	
176.4kHz	N/A	N/A	N/A	N/A	N/A	N/A	Quad
192.0kHz	N/A	N/A	N/A	N/A	N/A	N/A	
384kHz	N/A	N/A	N/A	N/A	N/A	N/A	Oct
768kHz	N/A	N/A	N/A	N/A	N/A	N/A	Hex

(N/A: Not available)

MCLK=256fs/384fsのとき、Auto Setting Modeは8kHz~96kHzのサンプリングレートまで対応します。但し、54kHz以下のサンプリングレートでは、MCLK= 256fs/384fsでのDR, S/Nは、MCLK= 512fs/768fsの時に比べて3dB程度劣化します (Table 10)。

Table 10. MCLK周波数とDR, S/Nの関係(fs = 44.1kHz)

ACKS pin	MCLK	DR, S/N (A-weighted)
L	256fs/384fs/512fs/768fs	128dB
H	256fs/384fs	125dB
H	512fs/768fs	128dB

(2) レジスタコントロールモード (PSN pin = “L”)

(2)-1. Manual Setting Mode (AFSD bit=“0”, ACKS bit=“0”)

MCLK周波数は自動設定されますが、DFS[2:0] bitsでサンプリングスピードを設定します([Table 11](#))。各スピードでのMCLK周波数は[Table 12](#), [Table 13](#)で示される周波数を外部から供給して下さい。パワーダウン解除時(PDN pin=“L”→“H”)はManual Setting Modeに設定されます。DFS[2:0] bitsを切り替えた場合はRSTN bitでリセットして下さい。

Table 11. Sampling Speed (Manual Setting Mode @Register Control Mode)

DFS2 bit	DFS1 bit	DFS0 bit	Sampling Rate (fs)		(default)
0	0	0	Normal Speed Mode	8kHz ~ 54kHz	
0	0	1	Double Speed Mode	54kHz ~ 108kHz	
0	1	0	Quad Speed Mode	120kHz ~ 216kHz	
0	1	1	Quad Speed Mode	120kHz ~ 216kHz	
1	0	0	Oct Speed Mode	384kHz	
1	0	1	Hex Speed Mode	768kHz	
1	1	0	Oct Speed Mode	384kHz	
1	1	1	Hex Speed Mode	768kHz	

Table 12. System Clock Example 1 (Manual Setting Mode @Register Control Mode)

LRCK	MCLK(MHz)						Sampling Speed
Fs	16fs	32fs	48fs	64fs	96fs	128fs	
32.0kHz	N/A	N/A	N/A	N/A	N/A	N/A	Normal
44.1kHz	N/A	N/A	N/A	N/A	N/A	N/A	
48.0kHz	N/A	N/A	N/A	N/A	N/A	N/A	
88.2kHz	N/A	N/A	N/A	N/A	N/A	N/A	Double
96.0kHz	N/A	N/A	N/A	N/A	N/A	N/A	
176.4kHz	N/A	N/A	N/A	N/A	N/A	22.5792	Quad
192.0kHz	N/A	N/A	N/A	N/A	N/A	24.5760	
384kHz	N/A	12.288	18.432	24.576	36.864	N/A	Oct
768kHz	12.288	24.576	36.864	49.152	N/A	N/A	Hex

(N/A: Not available)

Table 13. System Clock Example 2 (Manual Setting Mode @Register Control Mode)

LRCK	MCLK(MHz)							Sampling Speed
fs	192fs	256fs	384fs	512fs	768fs	1024fs	1152fs	
32.0kHz	N/A	8.1920	12.2880	16.3840	24.5760	32.7680	36.8640	Normal
44.1kHz	N/A	11.2896	16.9344	22.5792	33.8688	N/A	N/A	
48.0kHz	N/A	12.2880	18.4320	24.5760	36.8640	N/A	N/A	
88.2kHz	N/A	22.5792	33.8688	45.1584	N/A	N/A	N/A	Double
96.0kHz	N/A	24.5760	36.8640	49.152	N/A	N/A	N/A	
176.4kHz	33.8688	45.1584	N/A	N/A	N/A	N/A	N/A	Quad
192.0kHz	36.8640	49.152	N/A	N/A	N/A	N/A	N/A	
384kHz	N/A	N/A	N/A	N/A	N/A	N/A	N/A	Oct
768kHz	N/A	N/A	N/A	N/A	N/A	N/A	N/A	Hex

(N/A: Not available)

(2)-2. Auto Setting Mode (AFSD bit= “0”, ACKS bit = “1”)

MCLK周波数とサンプリングスピードは自動検出([Table 14](#))されるため、DFS[2:0] bitsの設定は不要です。各スピードでのMCLK周波数は[Table 15](#), [Table 16](#)で示される周波数を外部から供給して下さい。

Table 14. Sampling Speed (Auto Setting Mode)

MCLK		Sampling Speed
1152fs		Normal (fs≤32kHz)
512fs/256fs	768fs/384fs	Normal
256fs	384fs	Double
128fs	192fs	Quad
64fs	96fs	Oct
32fs	48fs	Hex

Table 15. System Clock Example (Auto Setting Mode)

LRCK	MCLK(MHz)					Sampling Speed
fs	32fs	48fs	64fs	96fs	128fs	
32.0kHz	N/A	N/A	N/A	N/A	N/A	Normal
44.1kHz	N/A	N/A	N/A	N/A	N/A	
48.0kHz	N/A	N/A	N/A	N/A	N/A	
88.2kHz	N/A	N/A	N/A	N/A	N/A	
96.0kHz	N/A	N/A	N/A	N/A	N/A	Double
176.4kHz	N/A	N/A	N/A	N/A	22.5792	
192.0kHz	N/A	N/A	N/A	N/A	24.5760	Quad
384kHz	N/A	N/A	24.576	36.864	N/A	
768kHz	24.576	36.864	N/A	N/A	N/A	Oct
						Hex

(N/A: Not available)

Table 16. System Clock Example (Auto Setting Mode)

LRCK	MCLK(MHz)						Sampling Speed
fs	192fs	256fs	384fs	512fs	768fs	1152fs	
32.0kHz	N/A	8.1920	12.2880	16.3840	24.5760	36.8640	Normal
44.1kHz	N/A	11.2896	16.9344	22.5792	33.8688	N/A	
48.0kHz	N/A	12.2880	18.4320	24.5760	36.8640	N/A	
88.2kHz	N/A	22.5792	33.8688	N/A	N/A	N/A	
96.0kHz	N/A	24.5760	36.8640	N/A	N/A	N/A	Double
176.4kHz	33.8688	N/A	N/A	N/A	N/A	N/A	
192.0kHz	36.8640	N/A	N/A	N/A	N/A	N/A	Quad
384kHz	N/A	N/A	N/A	N/A	N/A	N/A	
768kHz	N/A	N/A	N/A	N/A	N/A	N/A	Oct
							Hex

(N/A: Not available)

MCLK= 256fs/384fsのとき、Auto Setting Modeは8kHz~96kHzのサンプリングレートまで対応します([Table 14](#))。但し、54kHz以下のサンプリングレートでは、MCLK= 256fs/384fsでのDR, S/Nは、MCLK= 512fs/768fsの時に比べて3dB程度劣化します。

Table 17. MCLK周波数とDR, S/Nの関係(fs = 44.1kHz)

ACKS bit	MCLK	DR, S/N (A-weighted)
0	256fs/384fs/512fs/768fs	128dB
1	256fs/384fs	125dB
	512fs/768fs	128dB

(2)-3. Sampling Frequency (FS) Auto Detect Mode (AFSD bit="1")

MCLK周波数とサンプリングスピードは自動検出([Table 14](#))されるため、DFS[2:0] bitsの設定は無効です。また、ACKS bitの設定も無効となります。各スピードでのMCLK周波数は[Table 18](#), [Table 19](#)で示される周波数を外部から供給して下さい。FS Auto Detect Modeを使用する際の内部動作シーケンスは[Figure 25](#)の通りです。

Table 18. System Clock Example 1 @PCM Mode

LRCK	MCLK(MHz)						Sampling Speed
fs	16fs	32fs	48fs	64fs	96fs	128fs	
32.0kHz	N/A	N/A	N/A	N/A	N/A	N/A	Normal
44.1kHz	N/A	N/A	N/A	N/A	N/A	N/A	
48.0kHz	N/A	N/A	N/A	N/A	N/A	N/A	
88.2kHz	N/A	N/A	N/A	N/A	N/A	N/A	Double
96.0kHz	N/A	N/A	N/A	N/A	N/A	N/A	
176.4kHz	N/A	N/A	N/A	N/A	N/A	22.5792	Quad
192.0kHz	N/A	N/A	N/A	N/A	N/A	24.5760	
384kHz	N/A	12.288	18.432	24.576	36.864	N/A	Oct
768kHz	12.288	24.576	36.864	49.152	N/A	N/A	Hex

(N/A: Not available)

Table 19. System Clock Example 2 @PCM Mode

LRCK	MCLK(MHz)							Sampling Speed
fs	192fs	256fs	384fs	512fs	768fs	1024fs	1152fs	
32.0kHz	N/A	8.1920	12.2880	16.3840	24.5760	32.768	36.8640	Normal
44.1kHz	N/A	11.2896	16.9344	22.5792	33.8688	N/A	N/A	
48.0kHz	N/A	12.2880	18.4320	24.5760	36.8640	N/A	N/A	
88.2kHz	N/A	22.5792	33.8688	45.1584	N/A	N/A	N/A	Double
96.0kHz	N/A	24.5760	36.8640	49.152	N/A	N/A	N/A	
176.4kHz	33.8688	45.1584	N/A	N/A	N/A	N/A	N/A	Quad
192.0kHz	36.8640	49.152	N/A	N/A	N/A	N/A	N/A	
384kHz	N/A	N/A	N/A	N/A	N/A	N/A	N/A	Oct
768kHz	N/A	N/A	N/A	N/A	N/A	N/A	N/A	Hex

(N/A: Not available)

(2)-4. FS Auto Detect Modeの切り替えについて

Figure 25, Figure 26に FS Auto Detect Mode 切り替え時のシステムタイミング例を示します。

<FS Auto Detect Mode へ切り替える場合>

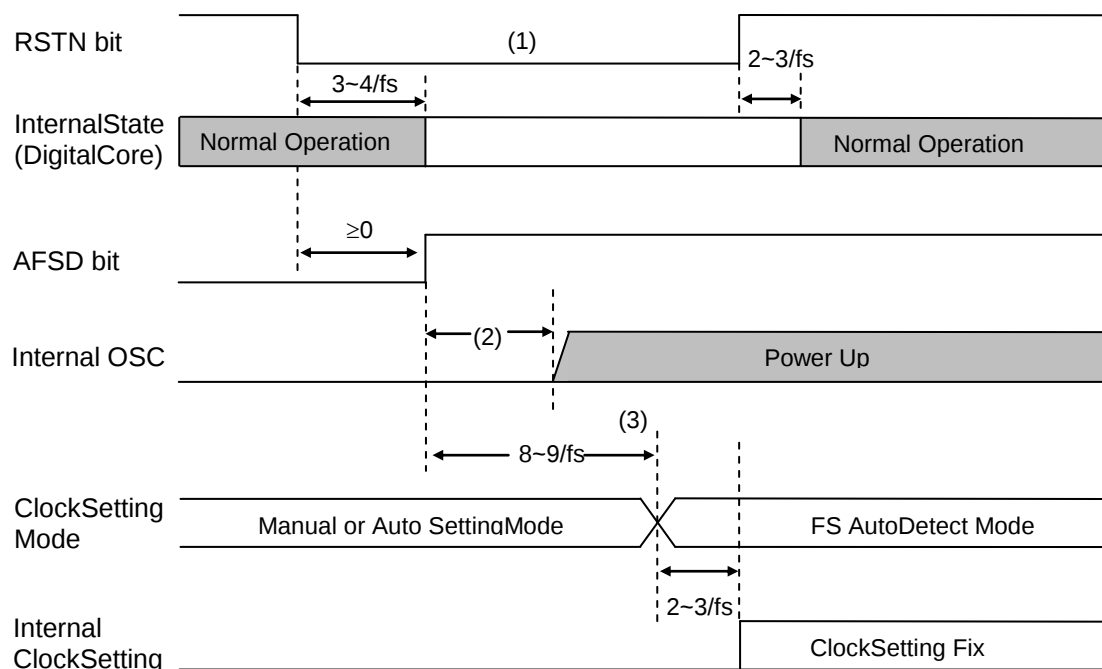


Figure 25. Power-down/up sequence at FS AutoDetect Mode 1

注 :

- (1) Modeを切り替える場合、ディジタル部をリセットした状態で切り替えてください。電源の立ち上げに関しては、Figure 57, Figure 58をご参照ください。
- (2) AFSD bit="1"とした後、内部OSCが動作開始します。発振周波数が安定するのに最大10usかかります。
- (3) AFSD bit="1"とした後、 $8/f_s \sim 9/f_s$ 後にFS Auto Detect Modeが動作開始します。更に $2/f_s \sim 3/f_s$ 後に内部の動作レートが確定します。内部動作レートが確定するまで、ディジタル部はリセット状態にして下さい。

＜FS Auto Detect Modeから他Modeへ切り替える場合＞

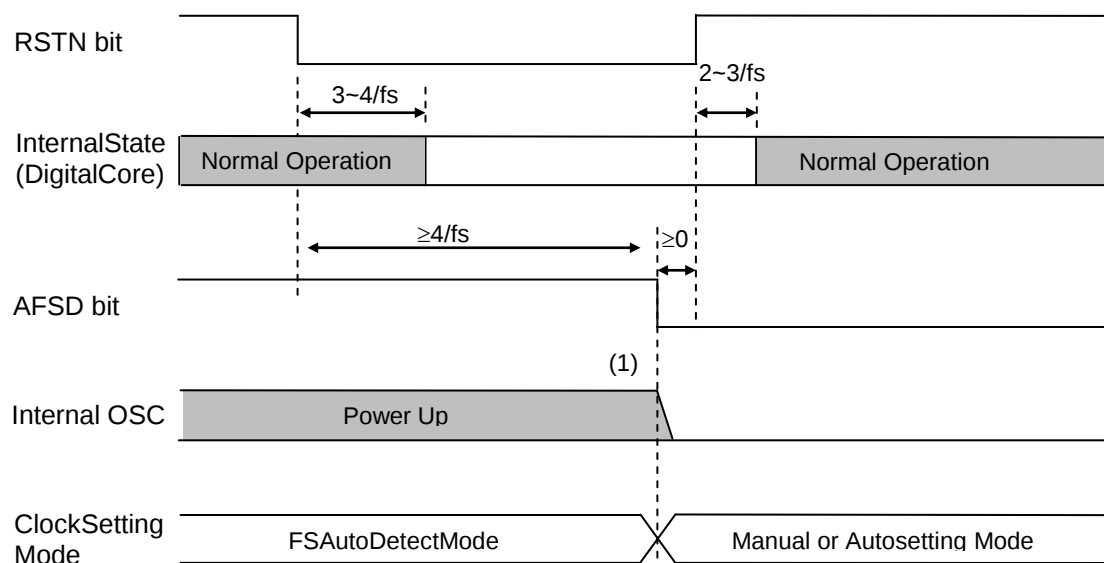


Figure 26. Power-down/up sequence at FS AutoDetect Mode 2

注：

(1) AFSDbit = “1” → “0”とした時、FS Auto Detect 回路は動作停止し、OSCも動作停止します。

[2] DSD mode

AK4497はDSD再生機能があります。DSDモードに必要なクロックは、MCLK, DCLKです。MCLKとDCLKは同期する必要はありますが位相を合わせる必要はありません。MCLK周波数はDCKS bitで設定します (Table 20)。

動作中(PDN pin = “H”)に、MCLKが止まった場合は、AK4497は自動的にパワーオフ状態になり、アナログ出力はHi-Zとなります。電源ON等のリセット解除時(PDN pin = “L”→ “H”)はMCLKとDCLKが入力されるまでパワーオフ状態です。

Table 20. System Clock (DSD Mode, fs=32kHz, 44.1kHz, 48kHz)

DCKS bit	MCLK Frequency	DCLK Frequency	
0	512fs	64fs/128fs/256fs	(default)
1	768fs	64fs/128fs/256fs	

AK4497はDSDデータストリームの2.8224MHz(64fs)と5.6448MHz(128fs) と11.2896MHz(256fs)と22.5792MHz(512fs)に対応します。設定はDSDSEL[1:0] bitsで行います (Table 21)。

Table 21. DSD data stream select

DSDSEL1	DSDSEL0	DSD data stream			
		fs=32kHz	fs=44.1kHz	fs=48kHz	
0	0	2.048MHz	2.8224MHz	3.072MHz	(default)
0	1	4.096MHz	5.6448MHz	6.144MHz	
1	0	8.192MHz	11.2896MHz	12.288MHz	
1	1	16.284MHz	22.5792MHz	24.576MHz	

AK4497はDSDを再生する際に、内部のボリューム回路および $\Delta\Sigma$ モジュレータをバイパスするかどうか選択することが可能です (Table 22)。DSDD bit=“1”にすると、ボリューム回路および $\Delta\Sigma$ モジュレータをバイパスした再生パスを選択するため、出力ボリューム機能、及び、ゼロ検出機能が使用できません。

Table 22. DSD Playback Path Select

DSDD	Mode	
0	Normal Path	(default)
1	Volume Bypass	

[3] 外部デジタルフィルタモード (EXDF mode)

外部デジタルフィルタモード時に必要なクロックはMCLK, BCK及びWCKです。BCKにはMCLKと同じクロックを入力してください。BCK, MCLKはバーストしたものを入力しないでください。各スピードでのMCLKとBCKの周波数はTable 23で示される周波数を外部から入力してください。ECSbitによってWCKの384kHz、768kHzの2種から選択する事が可能です。下記表のDWとは、WCK1周期中のBCKのクロック数を表します。

動作中にMCLKのエッジが入力されない状態が最小1us以上続く場合は、自動的にコントロールレジスタ、IREF、および、LDOE pin="H" 時はLDOを除くすべての回路がパワーオフ状態になり、アナログ出力はHi-Zとなります。MCLKを再入力後、パワーオフ状態が解除され動作を再開します。このとき、レジスタに書き込んだ設定は保持されます。パワーダウン解除時 (PDN pin = "L" → "H")は MCLK, BCK, WCKが入力されるまでパワーオフ状態です。

Table 23. System Clock Example (EXDF mode)

Sampling Speed[kHz]	MCLK&BCK [MHz]						WCK	ECS	
	128fs	192fs	256fs	384fs	512fs	768fs			
44.1(30~48)	N/A	N/A	N/A	N/A	22.5792 32	33.8688 48	16fs DW	0	(default)
44.1(30~48)	N/A	N/A	11.2896 32	16.9344 48	22.5792 64	33.8688 96	8fs DW	1	
96(54~96)	N/A	N/A	24.576 32	36.864 48	N/A	N/A	8fs DW	0	
96(54~96)	12.288 32	18.432 48	24.576 64	36.864 96	N/A	N/A	4fs DW	1	
192(108~192)	24.576 32	36.864 48	N/A	N/A	N/A	N/A	4fs DW	0	
192(108~192)	24.576 64	36.864 96	N/A	N/A	N/A	N/A	2fs DW	1	

■ オーディオインタフェースフォーマット

[1] PCM mode

(1) 入力データフォーマット

オーディオデータはBICKとLRCKを使ってSDATAから入力されます。8種類のデータフォーマット (Table 24)は、DIF[2:0] pins(ピンコントロールモード)または、DIF[2:0] bits(レジスタコントロールモード)で選択できます。全モードともMSBファースト、2'sコンプリメントのデータフォーマットでBICKの立ち上がりで取り込みます。Mode 2を16ビット、20ビットで使った場合はデータの無いLSBには“0”を入力して下さい。

Normal Mode (TDM[1:0] bit= “00” or TDM[1:0] pin= “LL”)

オーディオデータはBICKとLRCKを使ってSDATAから2ch分のデータが入力されます。8種類のデータフォーマット (Table 24)がDIF[2:0] bitsまたはDIF[2:0] pinsで選択できます。全モードともMSBファースト、2'sコンプリメントのデータフォーマットでBICKの立ち上がりで取り込みます。Mode 2を16ビット、20ビットで使用する場合、また、Mode 6を16ビット、20ビット、24ビットで使用する場合はデータの無いLSBには“0”を入力して下さい。

TDM128 Mode (TDM[1:0] bit= “01” or TDM[1:0] pin= “LH”)

オーディオデータはBICKとLRCKを使ってSDATAから4ch分のデータが入力されます。データはSDS[2:0] bitsで選択可能です (Table 25)。BICKは128fs固定です。6種類のデータフォーマット (Table 24)がDIF[2:0] bitsまたはDIF[2:0] pinsで選択できます。全モードともMSBファースト、2'sコンプリメントのデータフォーマットでBICKの立ち上がりで取り込みます。

TDM256 Mode (TDM[1:0] bit = “10” or TDM[1:0] pin = “HL”)

オーディオデータはBICKとLRCKを使ってSDATAから8ch分のデータが入力されます。データはSDS[2:0] bitsで選択可能です (Table 25)。BICKは256fs固定です。6種類のデータフォーマット (Table 24)がDIF[2:0] bitsまたはDIF[2:0] pinsで選択できます。全モードともMSBファースト、2'sコンプリメントのデータフォーマットでBICKの立ち上がりで取り込みます。

TDM512 Mode (TDM[1:0] bit = “11” or TDM[1:0] pin = “HH”)

オーディオデータはBICKとLRCKを使ってSDATAから16ch分のデータが入力されます。データはSDS[2:0] bitsで選択可能です (Table 25)。BICKは512fs固定です。6種類のデータフォーマット (Table 24)が及びDIF[2:0] bitsまたはDIF[2:0] pinsで選択できます。全モードともMSBファースト、2'sコンプリメントのデータフォーマットでBICKの立ち上がりで取り込みます。

Table 24. Audio Interface Format

Mode		TDM1 bit	TDM0 bit	DIF2 bit	DIF1 bit	DIF0 bit	SDATA Format	LRCK	BICK	Figure
Normal (Note 48)	0	0	0	0	0	0	16-bit 後詰め	H/L	≥32fs	Figure 27
	1			0	0	1	20-bit 後詰め	H/L	≥40fs	Figure 28
	2			0	1	0	24-bit 前詰め	H/L	≥48fs	Figure 29
	3			0	1	1	16-bit I ² S 互換	L/H	32fs	Figure 30
	4			1	0	0	24-bit 後詰め	H/L	≥48fs	
	5			1	0	1	32-bit 後詰め	H/L	≥64fs	Figure 31
	6			1	1	0	32-bit 前詰め	H/L	≥64fs	Figure 32 (default)
	7			1	1	1	32-bit I ² S 互換	L/H	≥64fs	Figure 33
TDM128	8	0	1	0	1	0	24-bit 前詰め	H/L	128fs	Figure 34
	9			0	1	1	24-bit I ² S 互換	L/H	128fs	Figure 35
	10			1	0	0	24-bit 後詰め	H/L	128fs	Figure 36
	11			1	0	1	32-bit 後詰め	H/L	128fs	Figure 34
	12			1	1	0	32-bit 前詰め	H/L	128fs	Figure 34
	13			1	1	1	32-bit I ² S 互換	L/H	128fs	Figure 35
TDM256	14	1	0	0	1	0	24-bit 前詰め	H/L	256fs	Figure 37
	15			0	1	1	24-bit I ² S 互換	L/H	256fs	Figure 38
	16			1	0	0	24-bit 後詰め	H/L	256fs	Figure 39
	17			1	0	1	32-bit 後詰め	H/L	256fs	Figure 37
	18			1	1	0	32-bit 前詰め	H/L	256fs	Figure 37
	19			1	1	1	32-bit I ² S 互換	L/H	256fs	Figure 38
TDM512	20	1	1	0	1	0	24-bit 前詰め	H/L	512fs	Figure 40
	21			0	1	1	24-bit I ² S 互換	L/H	512fs	Figure 41
	22			1	0	0	24-bit 後詰め	H/L	512fs	Figure 42
	23			1	0	1	32-bit 後詰め	H/L	512fs	Figure 40
	24			1	1	0	32-bit 前詰め	H/L	512fs	Figure 40
	25			1	1	1	32-bit I ² S 互換	L/H	512fs	Figure 41

Note 48. 各チャンネルに対して、設定したbit以上のBICKを入力してください。LRCKの“H/L”は、LRCKが“H”の時にLchData入力、“L”の時にRchDataが入力可能です。“L/H”の時は、LRCKが“L”の時にLchData入力、“H”の時にRchDataが入力可能です。

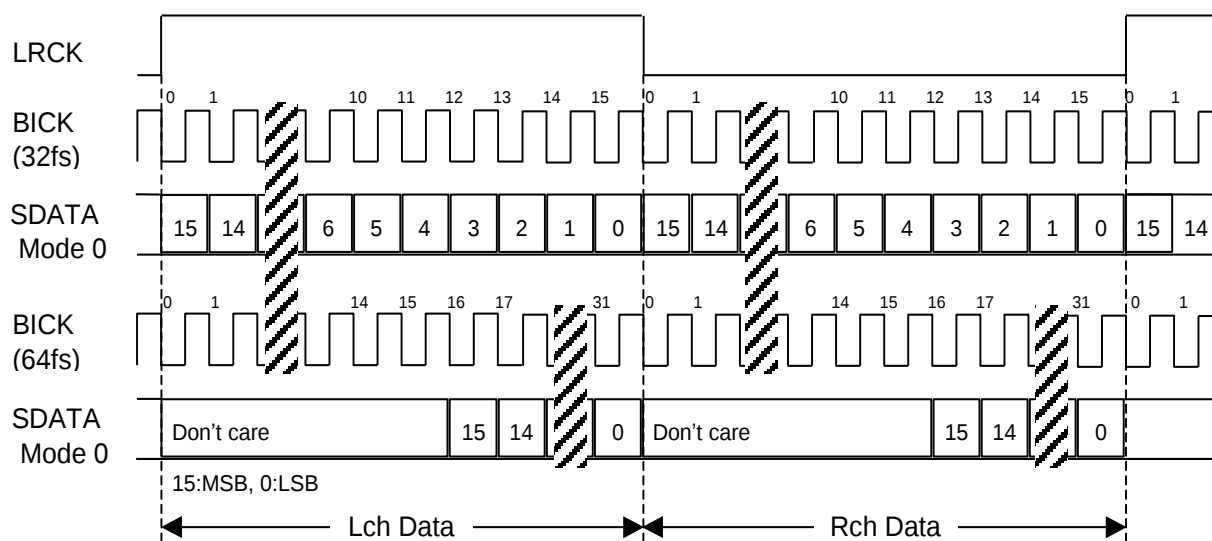


Figure 27. Mode 0 Timing

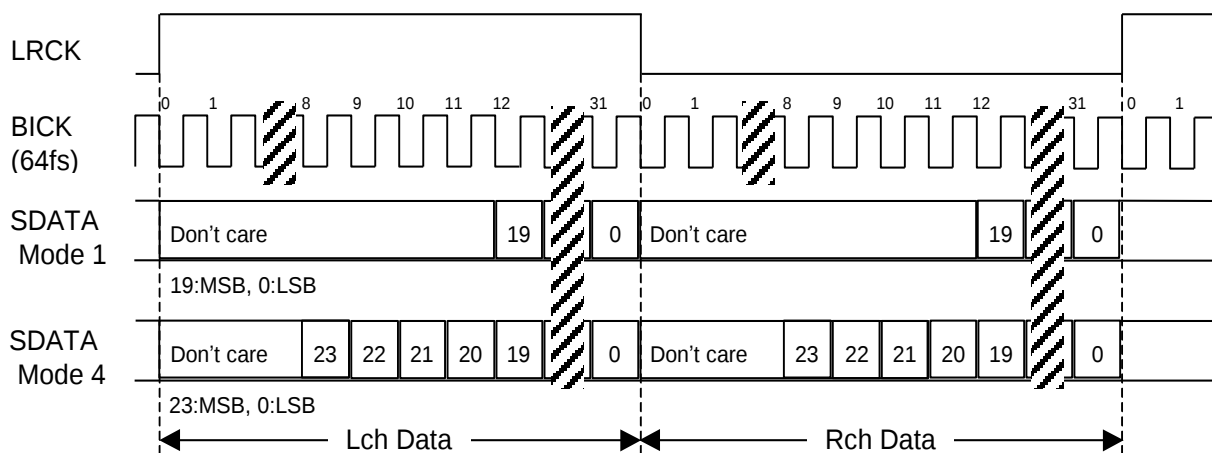


Figure 28. Mode 1, 4 Timing

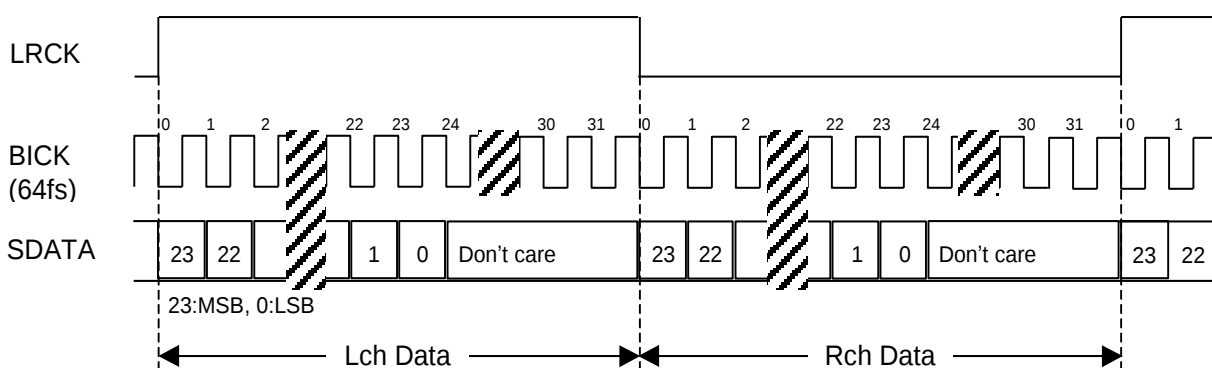


Figure 29. Mode 2 Timing

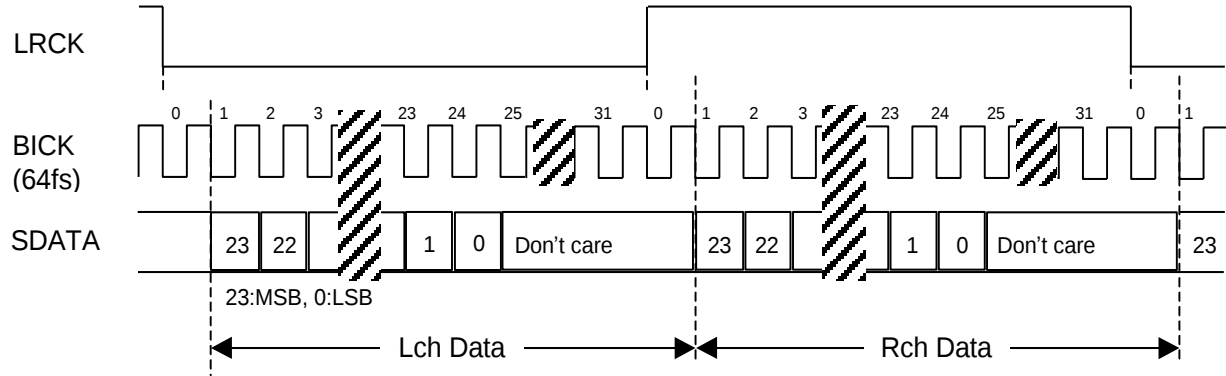


Figure 30. Mode 3 Timing

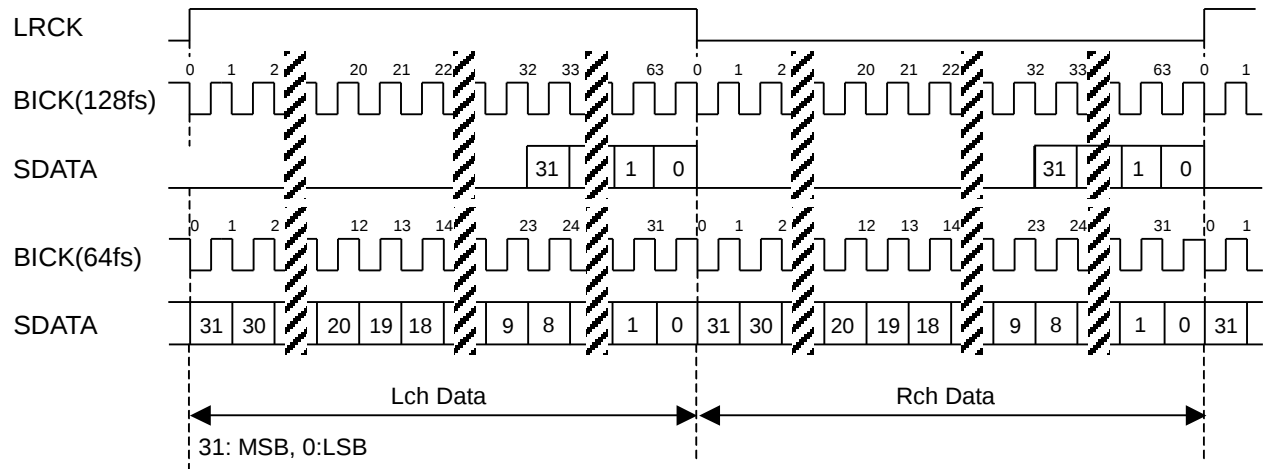


Figure 31. Mode 5 Timing

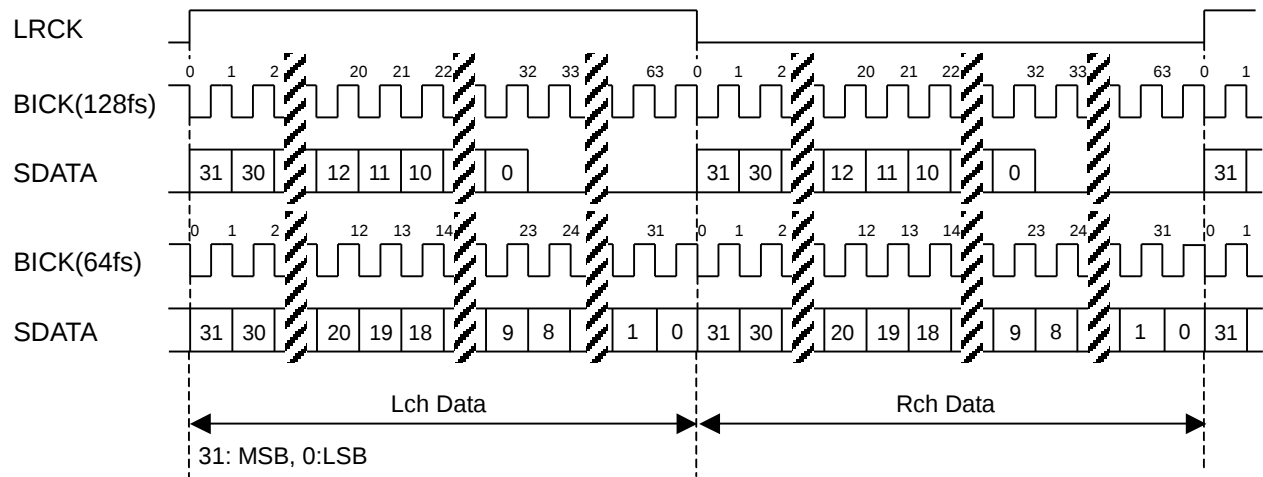


Figure 32. Mode 6 Timing

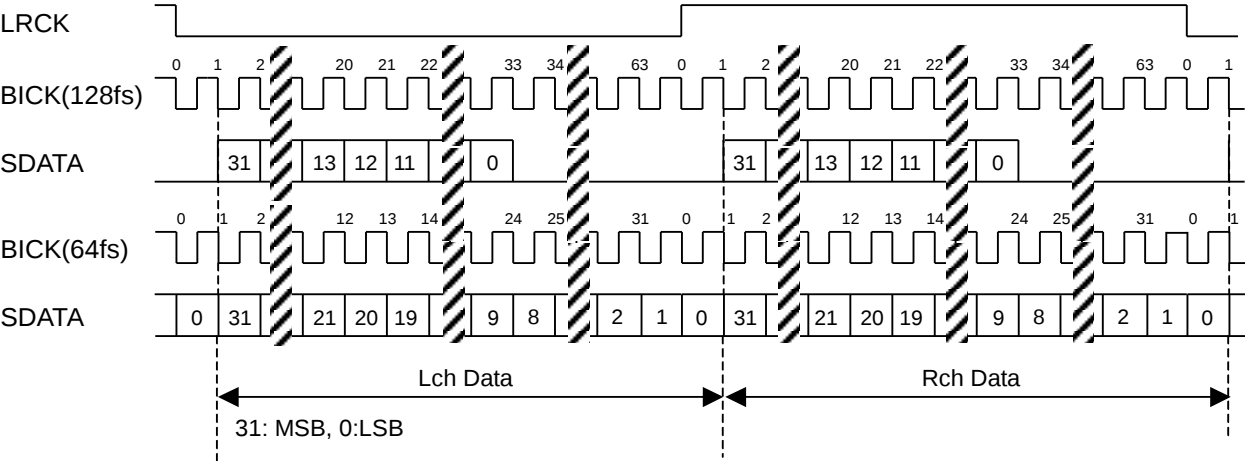


Figure 33. Mode 7 Timing

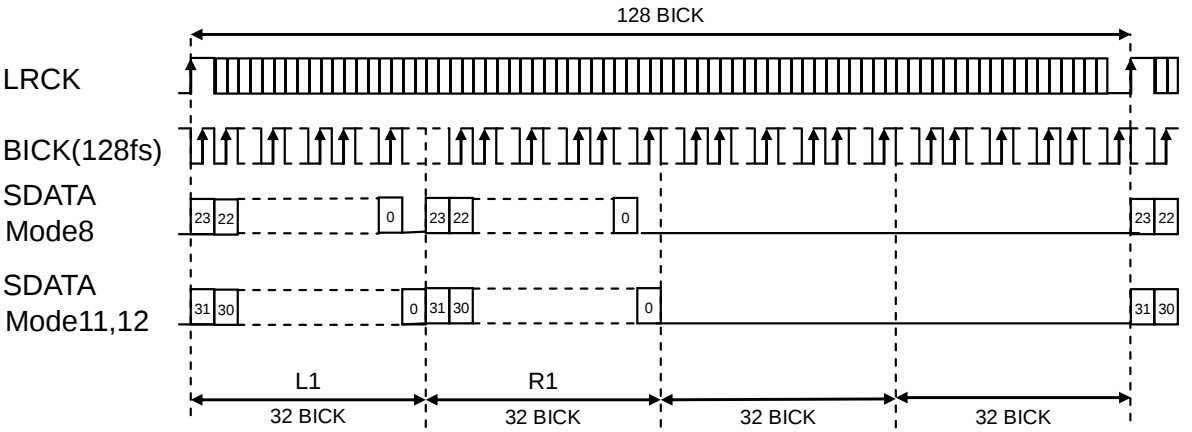


Figure 34. Mode 8/11/12 Timing

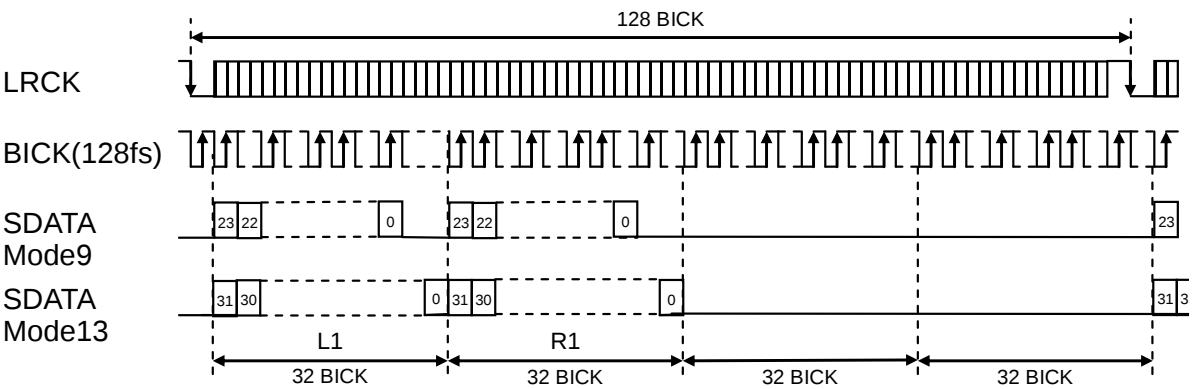


Figure 35. Mode 9/13 Timing

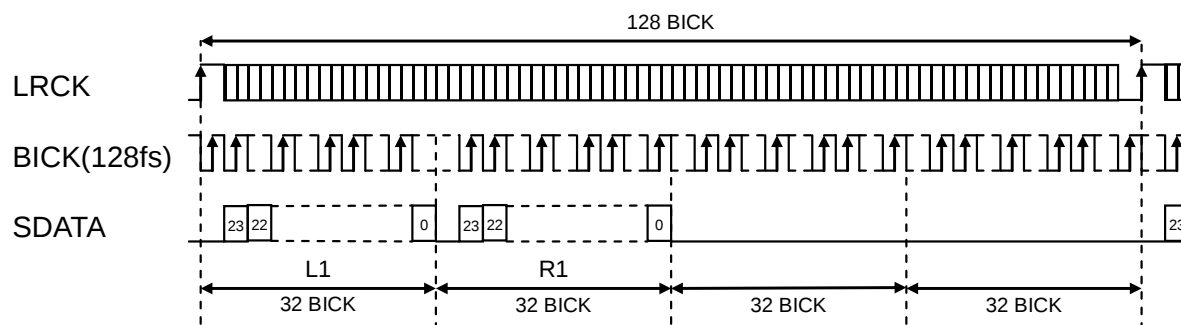


Figure 36. Mode 10 Timing

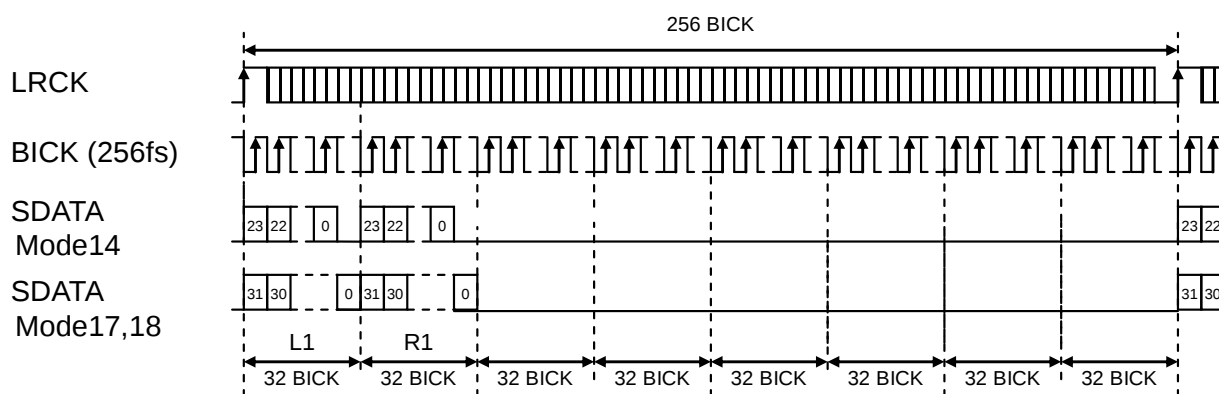


Figure 37. Mode 14/17/18 Timing

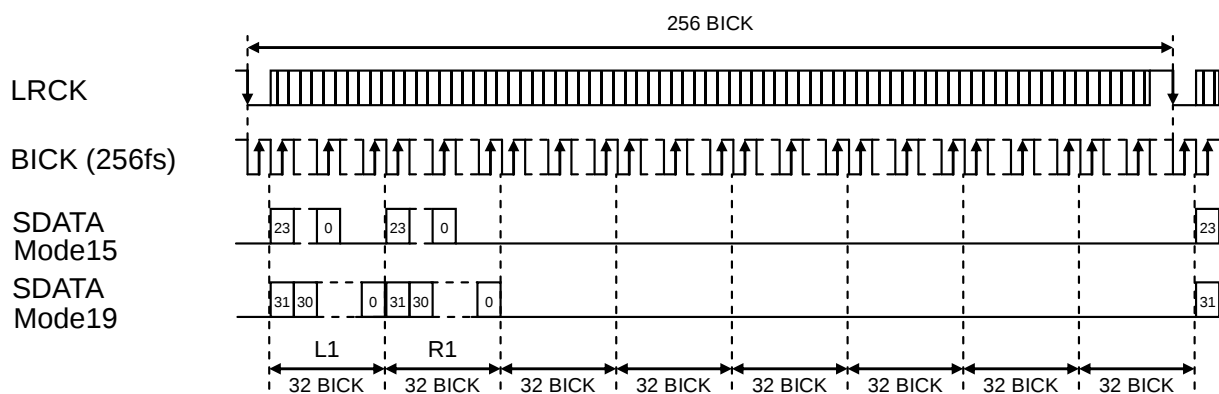


Figure 38. Mode 15/19 Timing

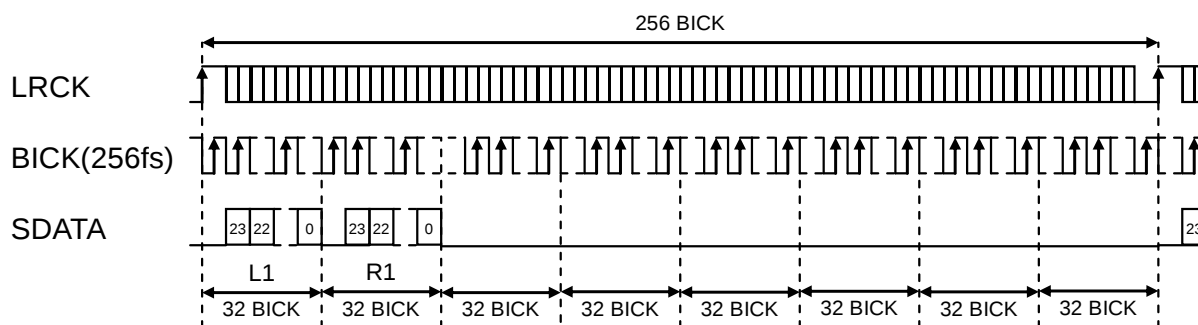


Figure 39. Mode 16 Timing

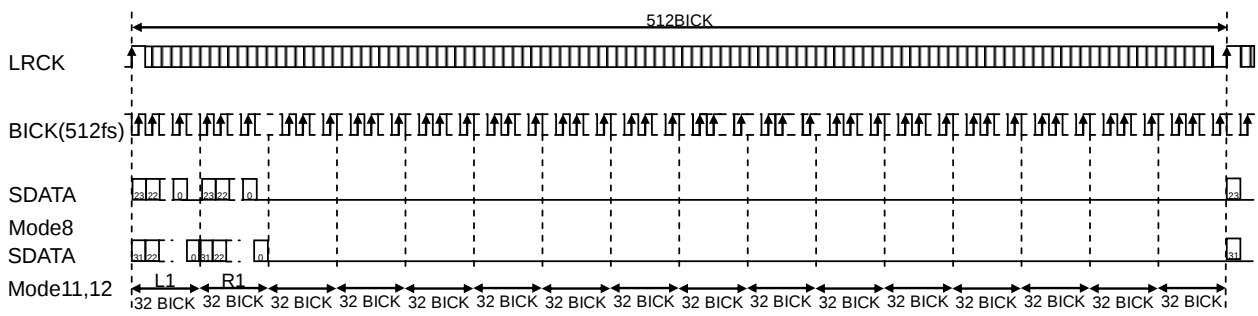


Figure 40. Mode 20/23/24 Timing

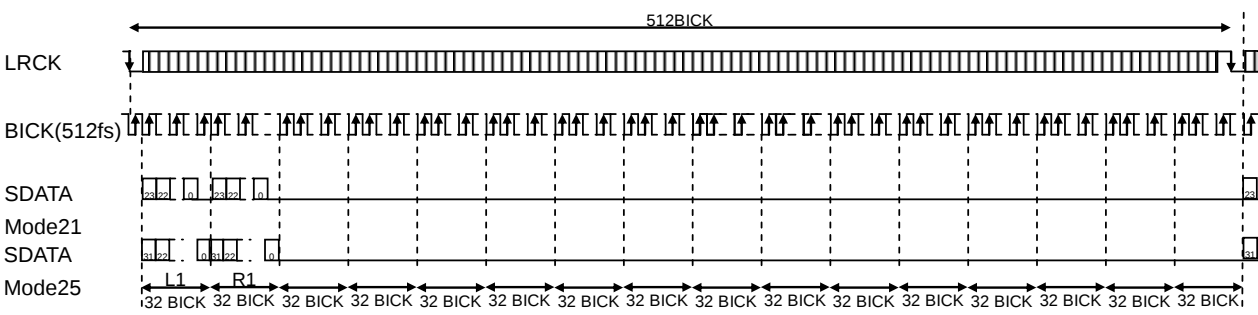


Figure 41. Mode 21/25 Timing

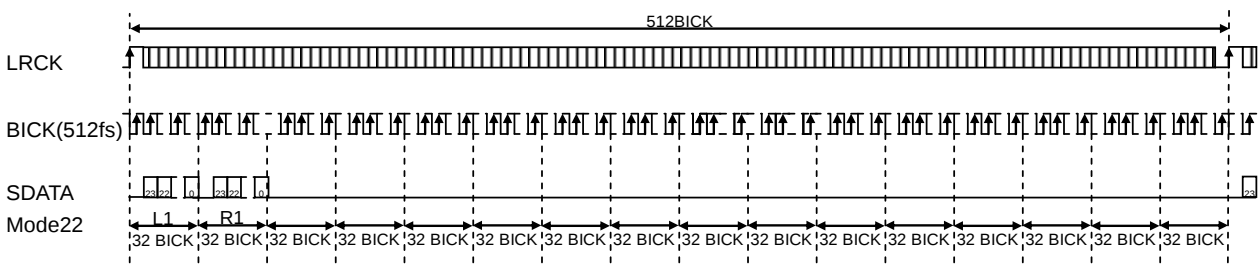


Figure 42. Mode 22 Timing

(2) データスロット選択機能

各オーディオデータフォーマットにおける、LRCK1周期分のデータスロットをFigure 43 ~ Figure 46のように定義します。Table 25に示すように、AK4497はSDS[2:0] bitsで再生するデータを選択することができます。

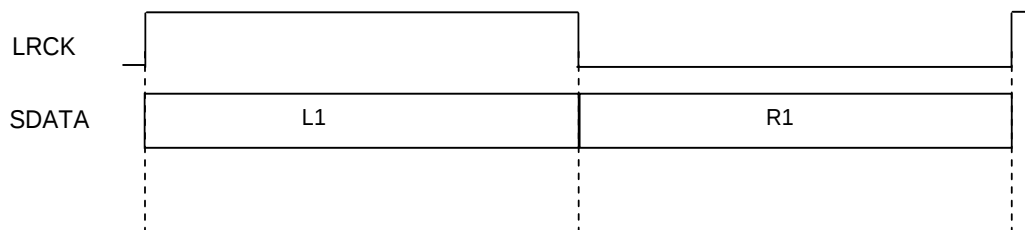


Figure 43. Data Slot in Normal Mode

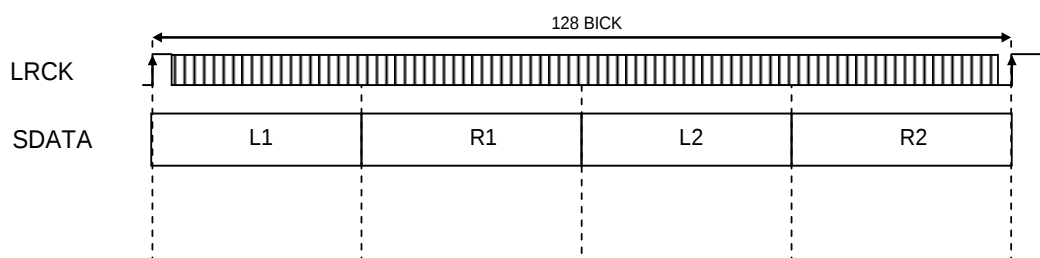


Figure 44. Data Slot in TDM128 Mode

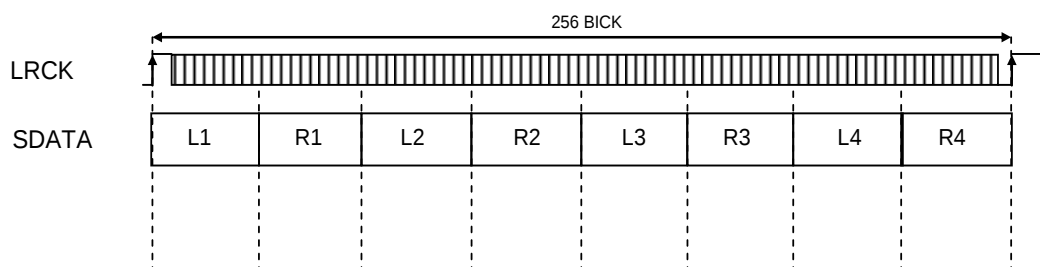


Figure 45. Data Slot in TDM256 Mode

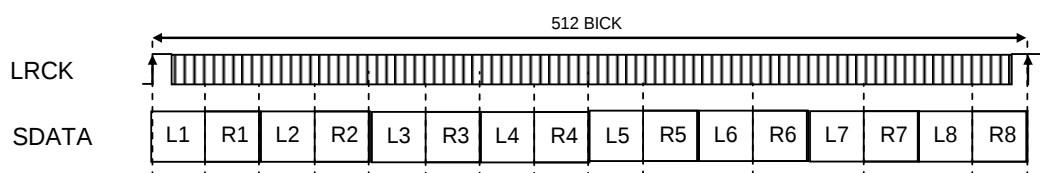


Figure 46. Data Slot in TDM512 Mode

Table 25. Data Select

	SDS2 bit	SDS1 bit	SDS0 Bit	DAC		
				Lch	Rch	
Normal	x	x	x	L1	R1	(default)
TDM128	x	x	0	L1	R1	
	x	x	1	L2	R2	
TDM256	x	0	0	L1	R1	
	x	0	1	L2	R2	
	x	1	0	L3	R3	
	x	1	1	L4	R4	
TDM512	0	0	0	L1	R1	
	0	0	1	L2	R2	
	0	1	0	L3	R3	
	0	1	1	L4	R4	
	1	0	0	L5	R5	
	1	0	1	L6	R6	
	1	1	0	L7	R7	
	1	1	1	L8	R8	

(x: Do not care)

(3) Daisy Chain

TDM512/256モード(TDM[1:0] bits="10", "11")時、複数のAK4497をDaisy Chain接続して使用することができます。Daisy Chainのモード設定はDCHAIN bitまたはDCHAIN pinにより設定できます([Table 26](#))。Daisy ChainモードではSDS[2:0] bitsの設定は無効になります。

Table 26 Daisy Chain Control

DCHAIN bit DCHAIN pin	Mode	TDMO pin
0	Normal	"L" (default)
1	Daisy Chain	Data output

(3)-1. TDM512モード

[Figure 47](#)はTDM512モード(TDM[1:0] bits="11") Daisy Chain構成例です。DSPからSecond AK4497のSDATAに16chのデータを入力し、Second AK4497のTDMOをFirst AK4497のSDATAに接続します。

[Figure 48](#)はTDM512モードDaisy Chainのデータ入出力例です。Second AK4497はSDATAのL8,R8のデータをDACの入力とし、2ch分シフトしたデータをTDMOから出力します。First AK4497はL7,R7のデータをDACの入力とします。First AK4497とSecond AK4497のDIF[2:0] bitsは同じ設定にする必要があります。

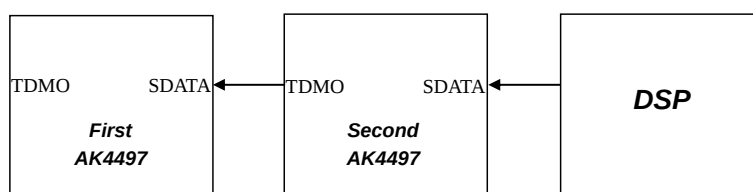


Figure 47. Daisy Chain(TDM512 Mode)

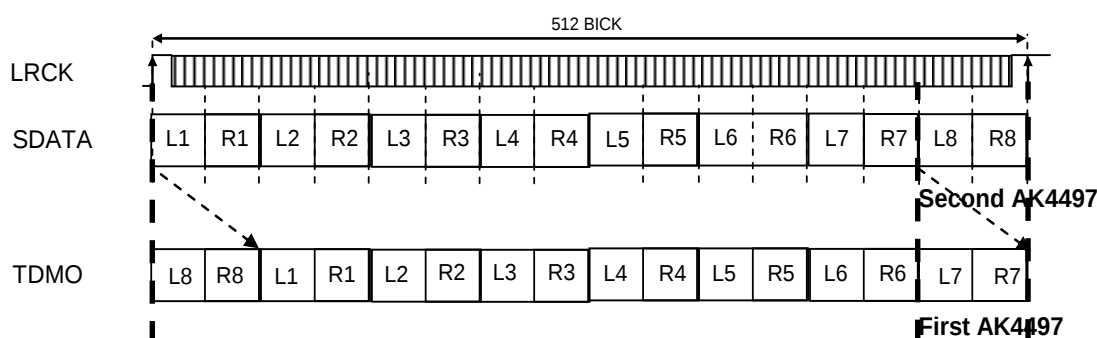


Figure 48. Daisy Chain (TDM512 Mode)

(3)-2. TDM256モード

Figure 47はTDM256モード(TDM[1:0] bits="10") Daisy Chain構成例です。DSPからSecond AK4497のSDATAに8chのデータを入力し、Second AK4497のTDMOをFirst AK4497のSDATAに接続します。

Figure 49はTDM256モードDaisy Chainのデータ入出力例です。Second AK4497はSDATAのL4, R4のデータをDACの入力とし、2ch分シフトしたデータをTDMOから出力します。First AK4497はSDATAのL3,R3のデータをDACの入力とします。First AK4497とSecond AK4497のDIF[2:0] bitsは同じ設定にする必要があります。

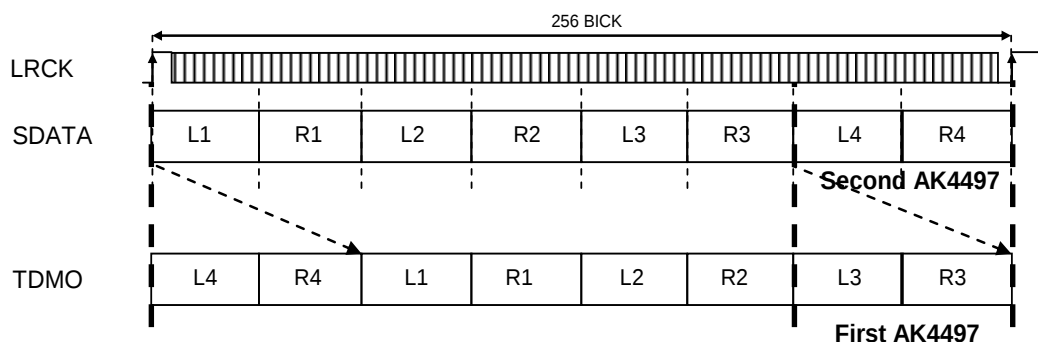


Figure 49. Daisy Chain(TDM256 Mode)

[2] DSD mode

DSDモード時、DSDLにL ch、DSDRにR chのデータをDCLKに同期して入力してください。入力ピンはDSDPATH bitによって選択でき、DSDPATH bit="0"のとき、TDM0 pin、DEM0 pin、GAIN pinが、それぞれ、DCLK、DSDL、DSDR入力ピンとなり、DSDPATH bit="1"のとき、BICK pin、SDATA pin、LRCK pinが、それぞれ、DCLK、DSDL、DSDR入力ピンとなります。

DSDモード時は、DIF[2:0] pins及びDIF[2:0] bitsの設定は無効です。DSDSEL[1:0] bitsにより、DCLK周波数は64fs, 128fs, 256fs, 512fsと可変です。DCLKの極性はDCKB bitで反転することが可能です。DCLKが512fs (DSDSEL[1:0] bits="11")の時は、Phase Modulationに対応していません。

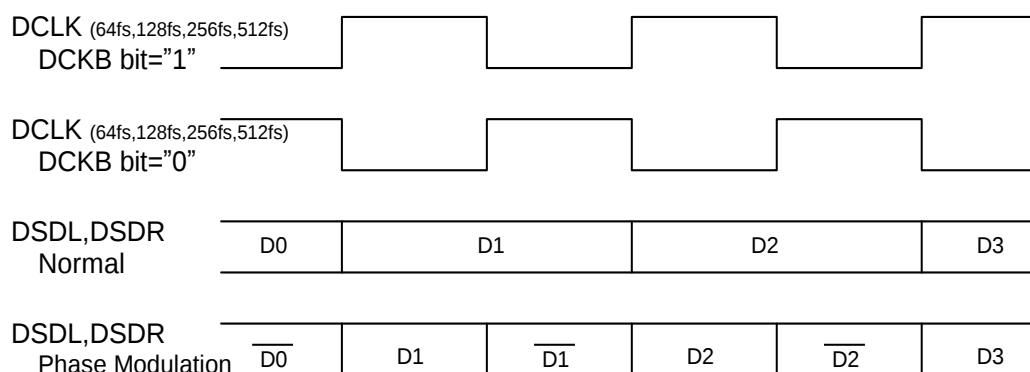


Figure 50. DSD Mode Timing

[3] 外部デジタルフィルタモード (EXDF mode)

オーディオデータはBCK及びWCKを使ってDINL, DINRから入力されます。3種類のデータフォーマット (Table 27)がDIF[2:0] bitsで選択できます。データはBCKの立ち上がりでラッチされます。BCK, MCLKはバーストしたものを入力しないでください。

Table 27. Audio Interface Format (EXDF mode)

Mode	DIF2	DIF1	DIF0	Input Format
0	0	0	0	16bit後詰め
1	0	0	1	N/A
2	0	1	0	16bit後詰め
3	0	1	1	N/A
4	1	0	0	24bit後詰め
5	1	0	1	32bit後詰め
6	1	1	0	24bit後詰め
7	1	1	1	32bit後詰め

(default)

(N/A: Not available)

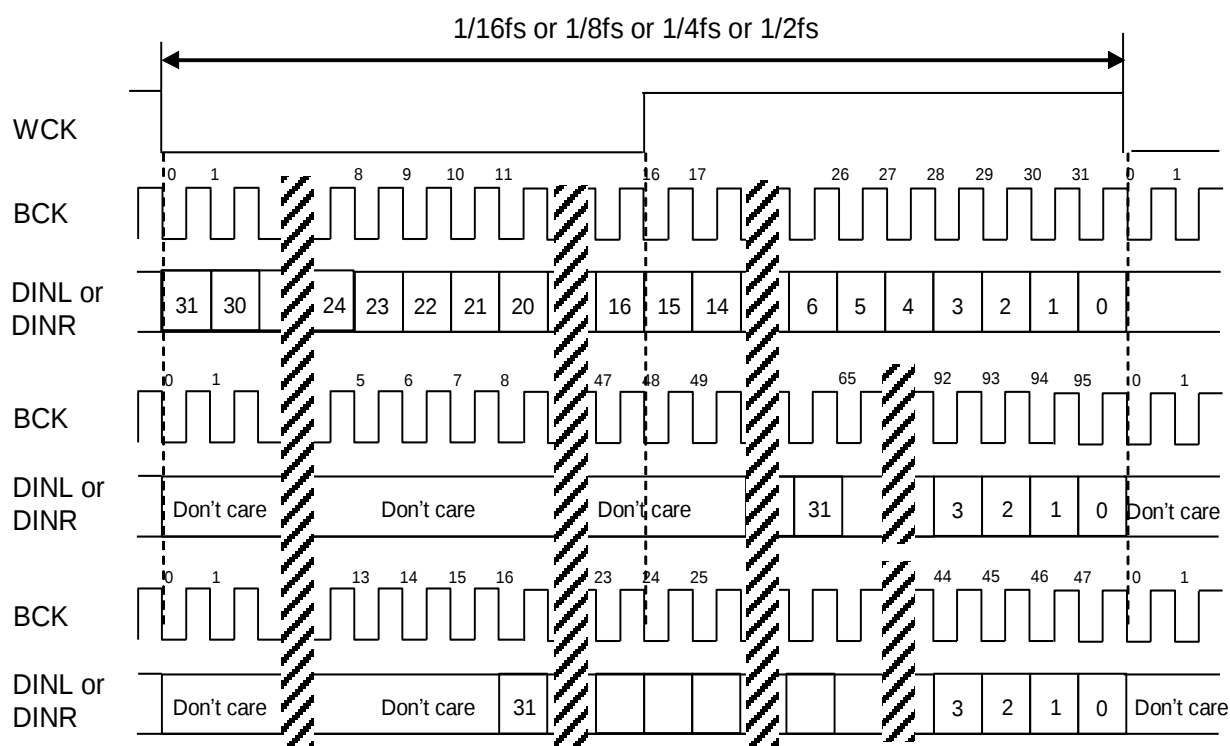


Figure 51. EXDF Mode Timing

■ Digital Filter

AK4497ではPCMモードで6種類、DSDモードで2種類のデジタルフィルタを設定できます。それぞれお好みの音質で音楽再生が可能です。

PCMモード時、ピンコントロールモードではSD, SLOW, SSLOW pins、レジスタコントロールモードではSD, SLOW, SSLOW bitsを設定することにより、[Table 28](#)のようにデジタルフィルタを選択することが可能です。

Table 28. Digital Filter Setting

SSLOW	SD	SLOW	Mode	(default)
0	0	0	Sharp roll-off filter	
0	0	1	Slow roll-off filter	
0	1	0	Short delay sharp roll off filter	
0	1	1	Short delay slow roll off filter	
1	0	0	Super Slow roll Off filter	
1	0	1	Super Slow roll Off filter	
1	1	0	Low dispersion Shot delay filter	
1	1	1	Reserved	

Note. PCMモード時、SSLOW bit= “1”, SD bit= “1”, SLOW bit= “1”の設定では使用しないでください。

DSDモード時、DSDF bitでデジタルフィルタのカットオフ周波数を切り替えることができます。[Table 29](#)にfs=44.1kHz時のカットオフ周波数を示します。カットオフ周波数はfsにトラッキングします。

DSDD bit = “0”, DSDF bit = “1”を設定した際は、GC[2:0]は “100”以外に設定してください。GC[2:0] bits= “100”とした場合は異音がする可能性があります。

Table 29. DSD Filter Select

DSDF bit	Cut Off Frequency @fs=44.1kHz				(default)
	DSD64fs	DSD128fs	DSD256fs	DSD512fs	
0	39kHz	78kHz	156kHz	312kHz	
1	76kHz	152kHz	304kHz	608kHz	

■ ディエンファシスフィルタ (PCM mode)

IIRフィルタによる3周波数(32kHz, 44.1kHz, 48kHz)対応のディエンファシスフィルタ(50/15 μ s特性)を内蔵しています。DSDモード、EXDFモード時にはDEM[1:0] bitsは無効です。PCMモードとDSDモード、EXDFモードを切り替えても設定値は保持されます。

Table 30. De-emphasis Control

DEM1	DEM0	Mode
0	0	44.1kHz
0	1	OFF
1	0	48kHz
1	1	32kHz

(default)

■ 出力ボリューム (PCM mode, DSD mode, EXDF mode)

AK4497はMUTEを含む0.5dBステップ、256レベルのチャンネル独立デジタル出力ボリューム(ATTL/R)を内蔵しています。設定値間の遷移はソフト遷移です。従って、遷移中にスイッチングノイズは発生しません。ATTL/R[7:0] bitsをFFHに設定した時の出力信号レベルを0dBと定義すると、0dBから-127dBまでアテネーション、またはミュートします。

Table 31. Attenuation level of Digital Attenuator

ATTL/R[7:0]bits (register 03-04H)	Attenuation Level
FFH	+0dB
FEH	-0.5dB
FDH	-1.0dB
⋮	⋮
⋮	⋮
02H	-126.5dB
01H	-127.0dB
00H	MUTE (- ∞)

(default)

デジタル出力ボリュームの遷移時間はATS[1:0] bitsで設定します([Table 31](#))。Mode0-4の設定値間の遷移はソフト遷移です。したがって、遷移中にスイッチングノイズは発生しません。PCMモードとDSDモードを切り替えてもレジスタ設定値は保持されます。

Table 32. Transition Time between Set Values of ATT[7:0] bits

Mode	ATS1	ATS0	ATT speed		
			EXDF bit="0", DP bit="0"	EXDF bit="1", DP bit="0"	DP bit="1"
0	0	0	4080/fs	4080*WCK周期	4080/(2*fs)
1	0	1	2040/fs	2040*WCK周期	2040/(2*fs)
2	1	0	510/fs	510*WCK周期	510/(2*fs)
3	1	1	255/fs	255*WCK周期	255/(2*fs)

(default)

Mode0の場合、ATT設定間の遷移は4080レベルでソフト遷移します。“FFH”(0dB)から“00H”(MUTE)までには4080/fs(92.5ms@fs=44.1kHz)かかります。PDN pinを“L”にすると、ATT[7:0] bitsは“FFH”に初期化されます。

リセット期間中にデジタルボリュームを変更した場合、リセット解除後に設定値になります。リセット解除後5/fsの間にデジタルボリュームを変更した場合、ソフト遷移せず即座に設定値になります。

■ ゲイン調整機能 (PCM mode, DSD mode, EXDF mode)

AK4497は、アナログ出力振幅のゲイン調整が可能です。GC[2:0] bitsもしくはGAIN pinを使って出力振幅を調整して下さい。

Table 33. Output Level between Set Values of GC[2:0] bits

GC[2] bit	GC[1] bit	GC[0] bit	AOUTLP/LN/RP/RN Output Level			
			PCM	DSD: Normal Path	DSD: Volume Bypass	
0	0	0	2.8Vpp	2.8Vpp	2.5Vpp	(default)
0	0	1	2.8Vpp	2.5Vpp	2.5Vpp	
0	1	0	2.5Vpp	2.5Vpp	2.5Vpp	
0	1	1	2.5Vpp	2.5Vpp	2.5Vpp	
1	0	0	3.75Vpp	3.75Vpp	2.5Vpp	
1	0	1	3.75Vpp	2.5Vpp	2.5Vpp	
1	1	0	2.5Vpp	2.5Vpp	2.5Vpp	
1	1	1	2.5Vpp	2.5Vpp	2.5Vpp	

Table 34. Output Level between Set Values of GAIN pin (PCMのみ有効)

GAIN pin	AOUTLP/LN/RP/RN Output Level
L	2.8 Vpp
H	3.75 Vpp

Note 49. DSD Normal Path使用時にGC[2:0] bits="100"を設定した際は、必ずDSDF bit="0" に設定してください。DSDF bit="1"とした場合は異音がする可能性があります。

■ ゼロ検出機能 (PCM mode, DSD mode, EXDF mode)

AK4497はチャンネル独立のゼロ検出機能を持ちます。各チャンネルのデータが8192回連続して“0”の場合、各チャンネルのDZFL/R pinに独立に検出フラグを出力します。なお、DP bit = “1”かつ DSDSEL[1:0] bits=“11” 設定(DSD 512fsモード)時は各チャンネルのデータが16384回連続して“0”の場合に、各チャンネルのDZFL/R pinが独立に検出フラグを出力します。検出フラグの極性はDZFB bit=“0” 時は “H”でゼロ検出、DZFB bit=“1” 時は “L”でゼロ検出です。

DZFB bit=“0” 時、DZFL/R pinが “H” になった後、各チャンネルのデータが“0”でなくなると対応するチャンネルのDZFL/R pinが“L”になります。

DZFB bit=“0”時、RSTN bitが “0”の場合、両チャンネルのDZFL/R pinが“H”となります。その後、RSTN bitを“1”とした後、各チャンネルのデータが“0”でなくなると対応するチャンネルのDZFL/R pinが4 ~ 5/fs後に“L”になります。

また、DZFB bit=“0”時DZFM bitを“1”にすると両チャンネルのデータが8192回(DSD 512fsモード時は16384回)連続して“0”の場合のみ、両チャンネルのDZFL/R pinが“H”になります。

ゼロ検出機能はDZFE bitを“0”とする事で無効にできます。この時、両チャンネルのDZFL/R pinは常に“L”です。また、DSD modeでVolume Bypassを選択した場合([Table 22](#))、ゼロ検出機能は無効です。

Table 35. Zero Detect Select.

DZFE	DZFB	RSTN	Data	DZF pin
0	0	-	-	L
	1	-	-	H
1	0	0	-	H
		1	not zero	L
			zero detect	H
	1	0	-	L
		1	not zero	H
			zero detect	L

■ LRチャンネル出力信号選択、位相反転機能 (PCM mode, DSD mode, EXDF mode)

AK4497はRegister Control時に、MONO bitとSELLR bitで入力と出力の組み合わせを変更できます。また、INVL, INVR bitを使った出力信号の位相反転機能も併せて使用可能です。これらの機能はすべてのオーディオフォーマットで使用できます。Pin Control時には、INVR pinを使って、Rchの信号を位相反転できます。

Table 36. Output Select (Register Control)

MONO bit	SELLR bit	INVL bit	INVR bit	Lch Out	Rch Out
0	0	0	0	Lch In	Rch In
		0	1	Lch In	Rch In Invert
		1	0	Lch In Invert	Rch In
		1	1	Lch In Invert	Rch In Invert
0	1	0	0	Rch In	Lch In
		0	1	Rch In	Lch In Invert
		1	0	Rch In Invert	Lch In
		1	1	Rch In Invert	Lch In Invert
1	0	0	0	Lch In	Lch In
		0	1	Lch In	Lch In Invert
		1	0	Lch In Invert	Lch In
		1	1	Lch In Invert	Lch In Invert
1	1	0	0	Rch In	Rch In
		0	1	Rch In	Rch In Invert
		1	0	Rch In Invert	Rch In
		1	1	Rch In Invert	Rch In Invert

Table 37. Output Select (Pin Control)

INVR pin	Lch Out	Rch Out
0	Lch In	Rch In
1	Lch In	Rch In Invert

■ 音質調整機能 (PCM mode, DSD mode, EXDF mode)

AK4497はSC[2:0] bitsにて音質をコントロールできます。AK4497のアナログ特性の仕様はSetting 1かつSetting 4のときです。Setting 2, 3, 5設定時は特性を保証していません。

Table 38. Sound Quality Select Mode

SC1 bit	SC0 bit	Internal Operation	
0	0	Analog internal current, maximum (Setting1)	(default)
0	1	Analog internal current, minimum (Setting2)	
1	0	Analog internal current, medium (Setting3)	
1	1	Analog internal current, minimum (Setting2)	

Table 39. Sound Quality Select Mode

SC2 bit	Sound	
0	Default (Setting 4)	(default)
1	High Sound Quality Mode (Setting 5)	

■ DSD信号フルスケール (FS) 検出機能

AK4497は、DSD mode時に各チャンネルでFSの信号を検出する機能を持ちます。

各チャンネルの入力データDSDLもしくはDSDRが2048回連続して“0”(-FS)or “1”(+FS)の場合、AK4497はフルスケール検出状態となり、該当するチャンネルの検出信号DML, DMRが独立に“1”となります。検出信号DML, DMRはレジスタアドレス06Hから読み出し可能です。

DDM bit=“1”の時、FS検出状態となると、Table 41に従いミュート状態になります。ミュート遷移時間はATS[2:0] bitsに従います。フルスケール検出状態から通常動作モードへ復帰する際もATS[2:0] bits, DSDD bitで設定に応じて遷移します。

フルスケール検出状態における動作、および通常動作モードへの復帰方法は、DDM bit, DMC bit, DMRE bitで制御します。DDM bitを切り替える場合は、RSTN bit=“0”で行ってください。

Table 40. DSD Mode とフルスケール検出後の状態(DDM bit=“1”)

DSDD	Mode	Analog Output	Mute Transition Method	
0	Normal Path	VCML/R (Mute)	Soft Mute	(default)
1	Volume Bypass	VCML/R (Mute)	Rapid Mute	

Table 41. DSD Mode とフルスケール検出後の状態 (DDM bit = “1”)

DDM	DMC	DMRE	フルスケール検出時	
0	*	*	フルスケール検出してもミュートしない	(default)
1	0	*	フルスケール検出するとミュートする その後、フルスケール以下になると通常動作に自動復帰	
1	1	0	フルスケール検出するとミュートする その後、フルスケール以下になってもミュートのまま	
1	1	1 (Note 50)	フルスケール検出するとミュートする その後、フルスケール以下の状態で、 DMRE bit = “0” → “1”になるタイミングでミュート解除	

Note 50. DMRE bit= “1”を書き込むとフラグが立ちミュート解除になります。その後、自動的にDMRE bitは“0”に戻ります

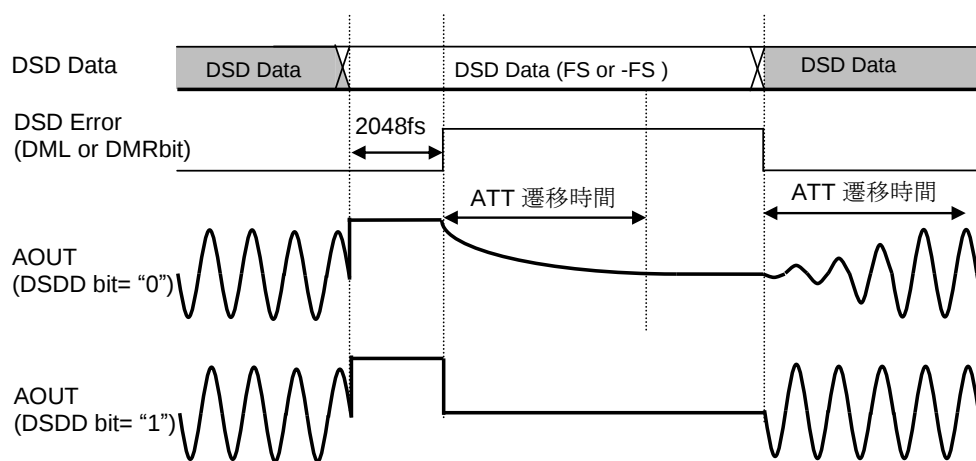


Figure 52. DSD FS 検出時のアナログ出力波形(DMC bit="0"の時)

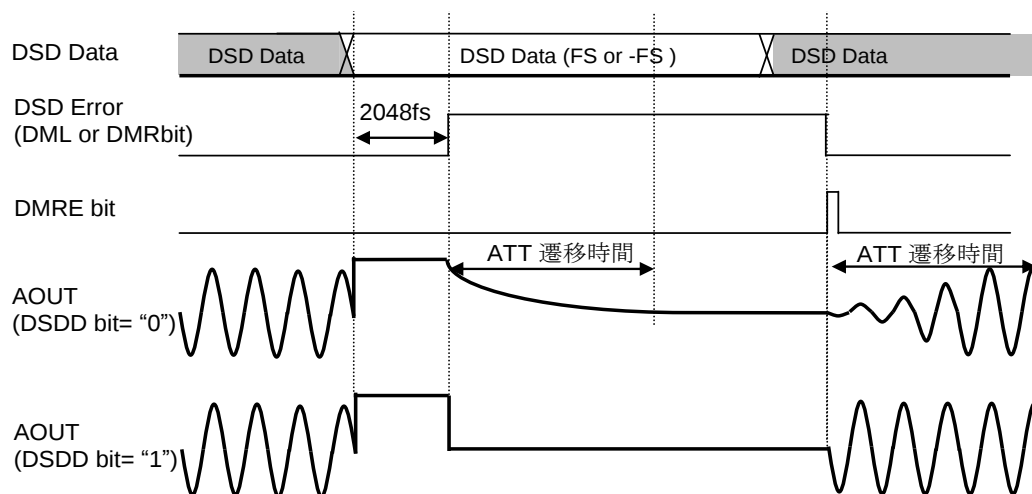


Figure 53. DSD FS 検出時のアナログ出力波形(DMC bit="1"の時)

■ ソフトミュート機能 (PCM mode, DSD mode, EXDF mode)

ソフトミュートはデジタル的に実行されます。SMUTE pinを“H”またはSMUTE bitを“1”にするとその時点のATT設定値からATT設定値 × ATT遷移時間で入力データが $-\infty$ (“0”)までアテネーションされます。SMUTE pinを“L”またはSMUTE bitを“0”にすると $-\infty$ 状態が解除され、 $-\infty$ からATT設定値まで、ATT設定値 × ATT遷移時間でかけて復帰します。(ATT遷移時間については、[Table 32](#)を参照)ソフトミュート開始後、 $-\infty$ までアテネーションされる前に解除されるとアテネーションが中断され、同じサイクルでATT設定値まで復帰します。ソフトミュート機能は信号を止めずに信号源を切り替える場合などに有効です。

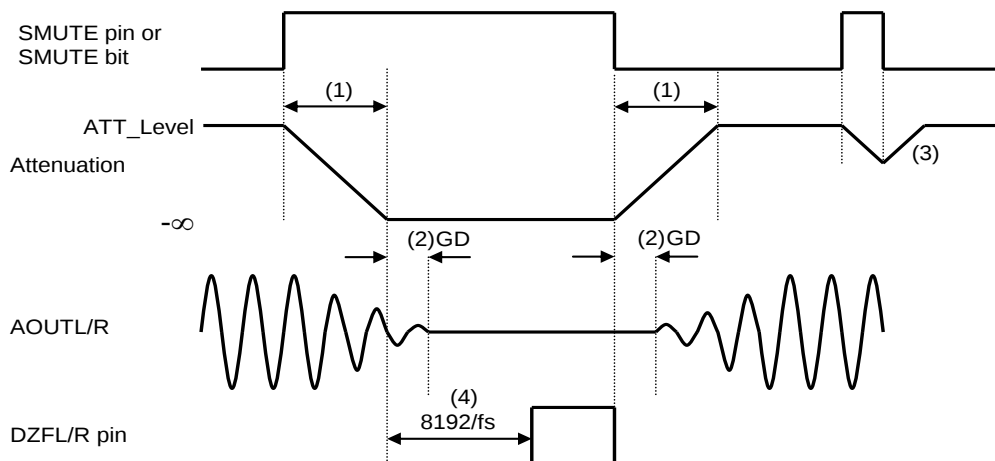


Figure 54. Soft Mute Function

注：

- (1) ATT設定値 × ATT遷移時間。例えば、PCM Normal Speed Mode時、ATT設定値が“255”の場合は4080LRCKサイクルです。
- (2) デジタル入力に対するアナログ出力は群遅延(GD)をもちます。
- (3) ソフトミュート開始後、 $-\infty$ までアテネーションされる前に解除されるとアテネーションが中断され、同じサイクルでATT設定値まで復帰します。
- (4) 各チャンネルのデータが8192回(DSD512fsモード時は16384回)連続して“0”の場合、対応するチャンネルのDZFL/R pinは“H”になります。その後、各チャンネルのデータが“0”でなくなると、対応するチャンネルのDZFL/R pinが“L”になります。

■ LDO

TVDDが3.0V~3.6Vの時、LDOE pinを“H”にするとデジタルコア回路電源(DVDD)を内蔵のLDOから供給します。Table 42にPDN pin、LDOE pinの各設定時のDVDD pinの状態を示します。PDN pinを“L”から“H”にしてパワーダウン解除すると、内蔵LDOがパワーアップし、DVDDに電源(1.8Vtyp)を供給します。LDO使用時にはDVDD pin に1uFのコンデンサを付加して下さい。LDOの立ち上がりには最大0.1msかかります。

Table 42. LDO Select Mode

PDN pin	LDOEpin	TVDD	DVDD
X	L	1.7~3.6V	LDOオフ。DVDDに1.7~1.98Vを外部から供給。
L	H	3.0~3.6V	500ohm Pull Down
H	H	3.0~3.6V	LDOオン。LDOが1.8Vを出力。 (他のデバイスとは接続しないでください)

(X: Do not care)

LDOが動作中(LDOE pin=“H”)にTable 42に示す3項目の異常が生じた際エラーを検出します。エラーが発生した場合、内部LDOはパワーダウン状態となり、デジタルコア回路に電源が供給されません。このとき、アナログ信号出力は不定となります。エラー検出状態から復帰する場合は、一旦PDN pinを“L”にしてパワーダウンした後、PDN pinを“H”にしてパワーアップして下さい。

Table 43. エラー検出

No	エラー項目	エラー判定条件
1	内部リファレンス電圧エラー	内部リファレンス電圧が立ち上がらない
2	LDO過電圧検出	LDO電圧が2.2Vを超えた場合
3	LDO過電流検出	LDO電流が 40mA-110mAを超えた場合

■ シャットダウンスイッチ

デジタル電源DVDDのSIDDリークを防ぐため、AK4497はDVSS pinとデジタルコア回路のVSSとの間にシャットダウンスイッチを挿入しています。オン抵抗は最大1Ω、DVDDのリーク電流は最大=2uAになります。

LDOを使用する場合(LDOE pin=“H”)は、パワーダウン解除(PDN pin=“L”→“H”)後から内部のオシレータでカウントした後にシャットダウンスイッチをオンします。立ち上がり時間は最大2ms程度かかります。LDOを使用しない場合(LDOE pin=“L”)は、パワーダウン解除(PDN pin=“L”→“H”)後すぐにシャットダウンスイッチをオンします。立ち上がり時間は最大1us程度かかります。

■ アナログ出力端子過電流保護機能

アナログ出力端子AOUTLP/LN pins、およびAOUTRP/RN pinsにはチャンネル独立の過電流検出機能が設けられています。アナログ出力端子に約120mA (min)を超える電流が検出されると、約120mA以上の電流が流れないように制限をしています。本機能は、PDN pin = “L”かPW bit = “0”かMCLK停止時のいずれかのときは無効になります。

■ パワーアップ/ダウン機能

AK4497はPDN pinを“L”にするとパワーダウン状態になります。パワーダウン状態になると、全ての回路は停止し、初期化され、アナログ出力はフローティング状態(Hi-Z)になります。電源投入時には全ての電源を立ち上げた後、150ns以上PDN pin=“L”として回路の初期化を行ってください。行わなかった場合、回路が誤動作する可能性があります。PDN pinを“L”から“H”にすることでパワーダウンが解除されます。この時、IREFが立ち上がり、LDOを使用する場合(LDOE pin=“H”)はLDOが立ち上がり、アナログ出力はフローティング状態(Hi-Z)です。

(a)ピンコントロールモードの場合(PDN pin=“H”)

PDN pinを“H”にした後、必要なクロック(MCLK, LRCK, BICK)を供給すると、全ての回路が立ち上がります。アナログ回路は必要な全クロックを供給直後に動作を開始し、ディジタル回路は約4/fs後に動作を開始します。Figure 55に内部LDO使用時(LDOEpin=“H” 時)のパワーダウン及びパワーアップ時のシステムタイミング例を示します。電源立ち上げは、LDOEpin=“H”の時、3.3V系電源(AVDD, TVDD)と5V系電源(VDDL, VDDR)を同時か、3.3V系電源(AVDD, TVDD)、5V系電源(VDDL/R)の順に立ち上げるようにしてください。

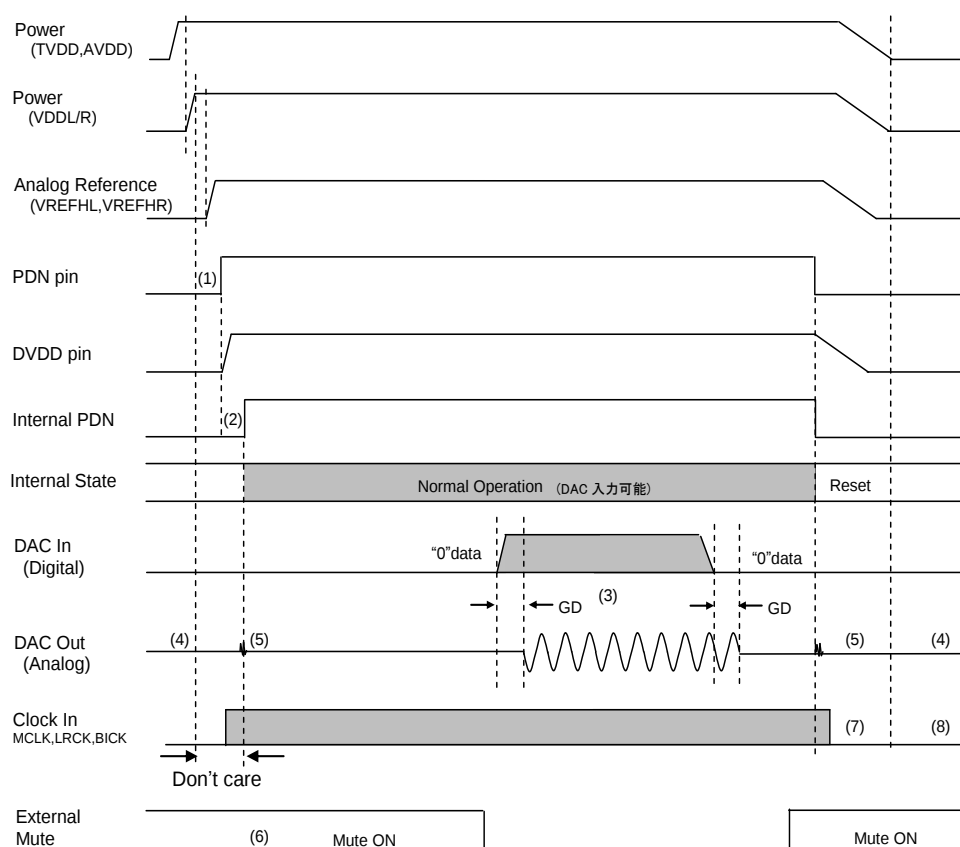


Figure 55. Power-down/up Sequence Example (PinControl Mode, LDOEpin= “H”)

Notes :

- (1) AVDD、TVDD、VDDL/Rを投入した後、PDN pinを150ns以上“L”にしてください。
- (2) LDOE pin=“H”のとき、PDN pin が“H”になった後内部LDOが立ち上がります。内部回路は内部オシレータのカウントアップ後、シャットダウンスイッチがオンした後(最大2ms後)に動作開始します。
- (3) デジタル入力に対してアナログ出力は群遅延(GD)を持ちます。
- (4) パワーダウン時、アナログ出力はHi-Zです。
- (5) PDN信号のエッジ(“↓↑”)でクリックノイズが出力されます。このノイズはデータが“0”の場合でも出力されます。
- (6) クリックノイズ(5)が問題になる場合はアナログ出力を外部でミュートして下さい。

- (7) パワーダウン状態では各クロック入力(MCLK, BICK, LRCK)を止めることができます。
 (8) 電源が立ち上がっていないとき、クロックは入力しないでください。

Figure 56に内部LDO未使用時(LDOE pin=“L”時)のパワーダウン及びパワーアップ時のシステムタイミング例を示します。LDOE pin=“L”の時、1.8V系電源(DVDD)、3.3V系電源(AVDD,TVDD)と5V系電源(VDDL,VDDR)をすべて同時か、3.3V系電源(AVDD、TVDD)、1.8V系電源(DVDD)、5V系電源(VDDL/R)の順に立ち上げるようにしてください。

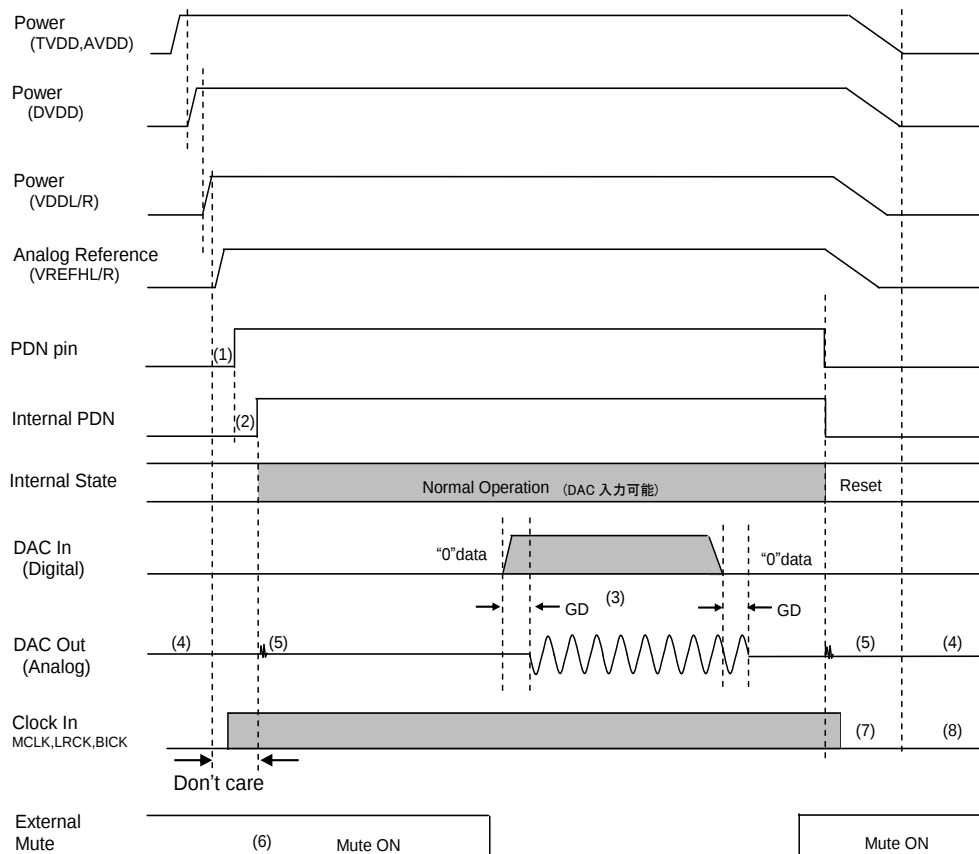


Figure 56. Power-down/up Sequence Example (PinControl Mode, LDOE pin="L")

Notes :

- (1) AVDD、TVDD、DVDD、VDDL/Rを投入した後、PDN pin は“L”からスタートして電源が90%まで立ち上がってから150ns以上の間、PDN pinを“L”にしてください。
- (2) LDOE pin=“L”のとき、パワーアップ後内部シャットダウンスイッチがオンします。内部回路はシャットダウンスイッチがオンした後(最大1us後)に動作開始します。
- (3) デジタル入力に対してアナログ出力は群遅延(GD)を持ちます。
- (4) パワーダウン時、アナログ出力はHi-Zです。
- (5) PDN信号のエッジ(“↓↑”)でクリックノイズが出力されます。このノイズはデータが“0”の場合でも出力されます。
- (6) クリックノイズ(5)が問題になる場合はアナログ出力を外部でミュートして下さい。
- (7) パワーダウン状態では各クロック入力(MCLK, BICK, LRCK)を止めることができます。
- (8) 電源が立ち上がっていないとき、クロックは入力しないでください。

(b)レジスタコントロールモード(PDN pin="L")の場合

PDN pinを“H”にした後、レジスタへのアクセスが可能になります。その後、必要なクロック(PCMモード時はMCLK, LRCK, BICK、DSDモード時はMCLK, DCLK、EXDFモード時はMCLK, BCK, WCK)を供給すると、アナログ回路は動作を開始し、クロック分周器は約4/fs後に動作を開始します。この時アナログ出力はアナログコモン電圧(VCM_L、VCM_R)を出力します。RSTN bit=“1”を書き込むとAK4497は通常動作に移行します。電源立ち上げは、LDOE pin=“H”の時、3.3V系電源(AVDD、TVDD)と5V系電源(VDDL/R)をすべて同時か、3.3V系電源(AVDD、TVDD)、5V系電源(VDDL/R)の順に立ち上げるようにしてください。

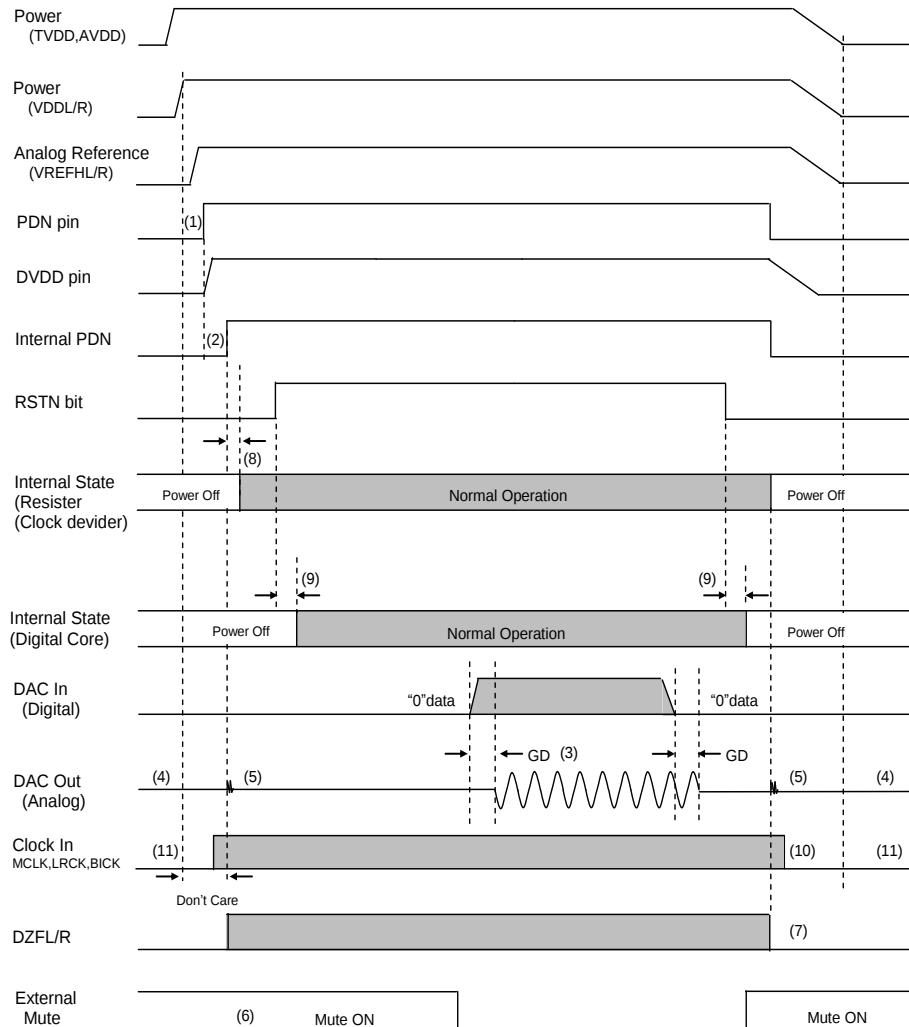


Figure 57. Power-down/up sequence example (Resister Control Mode, LDOE pin= “H”)

Notes:

- (1) AVDD、TVDD、DVDD、VDDL/Rを投入した後、PDN pinは“L”からスタートして電源が90%まで立ち上がってから150ns以上の間、PDN pinを“L”にしてください。
- (2) LDOE pin=“H”のとき、PDN pinが“H”になった後内部LDOが立ち上がります。内部回路は内部オシレータのカウントアップ後、シャットダウンスイッチがオンした後(最大2ms後)に動作開始します。
- (3) デジタル入力に対してアナログ出力は群遅延(GD)を持ちます。
- (4) パワーダウン時、アナログ出力はHi-Zです。
- (5) PDN信号のエッジ(“↓↑”)でクリックノイズが出力されます。これはデータ“0”でも出力されます。
- (6) クリックノイズ(5)が問題になる場合はアナログ出力を外部でミュートして下さい。
- (7) パワーダウン状態(PDN pin=“L”)では、DZFL/R pinは“L”になります。
- (8) クロック分周器は内部PDN解除後、約4/fs後に動作を開始します
- (9) RSTN bit 命令を書き込んでから有効となるまでに3~4/fs かかります。また、解除命令のときは有

効となるまでに2~3/fsかります。

(10) パワーダウン状態では各クロック入力(MCLK, BICK, LRCK)を止めることができます。

(11) 電源が立ち上がっていないとき、クロックは入力しないでください。

Figure 58. に内部LDO未使用時(LDOEpin="L"時)のパワーダウン及びパワーアップ時のシステムタイミング例を示します。LDOE pin="L"の時、1.8V系電源(DVDD)、3.3V系電源(AVDD,TVDD)と5V系電源(VDDL,VDDR)をすべて同時か、3.3V系電源(AVDD、TVDD)、1.8V系電源(DVDD)、5V系電源(VDDL/R)の順に立ち上げるようにしてください。

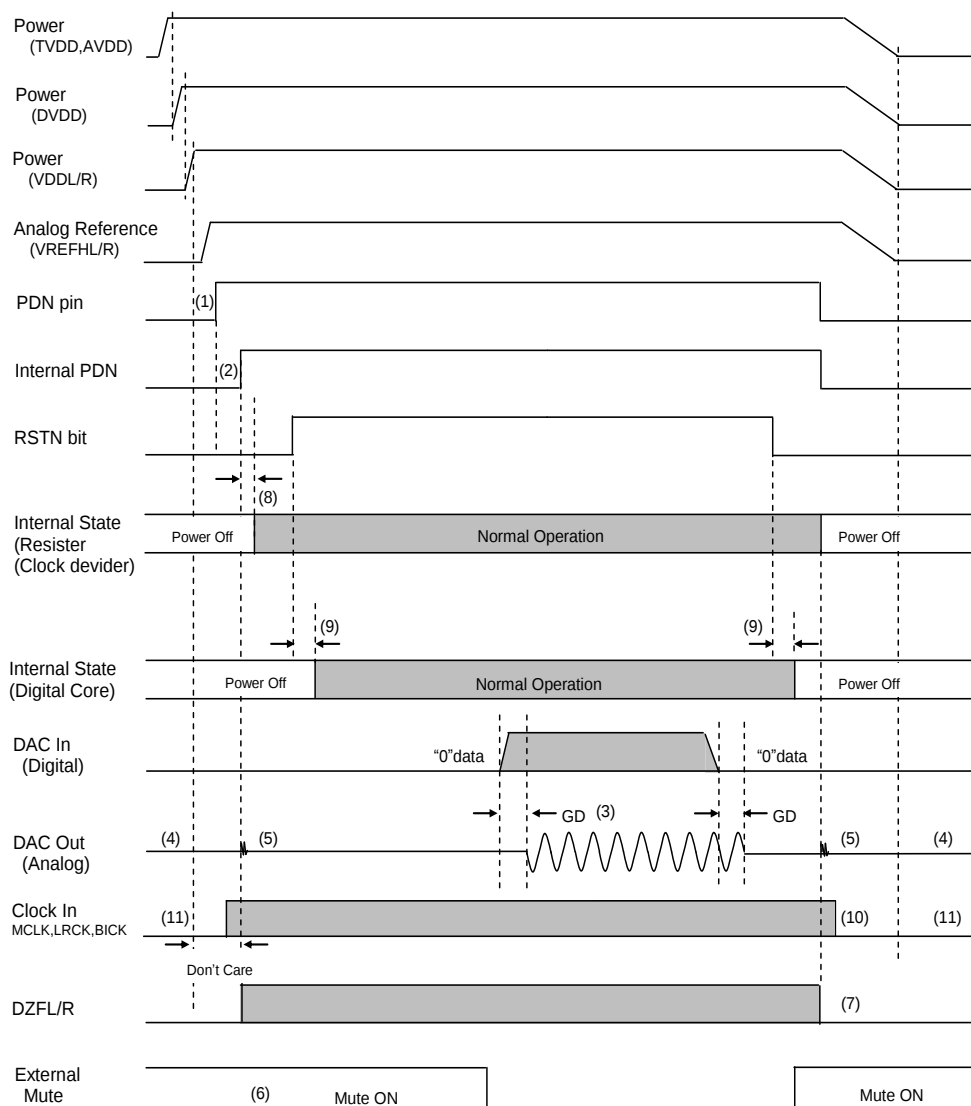


Figure 58. Power-down/up sequence example (Resister Control Mode, LDOE pin= "L")

Notes:

- (1) AVDD、TVDD、VDDL/Rを投入した後、PDN pinを150ns以上 "L"にしてください。
- (2) LDOE pin="L"のとき、パワーアップ後内部シャットダウンスイッチがオンします。内部回路はシャットダウンスイッチがオンした後(最大1us後)に動作開始します。
- (3) デジタル入力に対してアナログ出力は群遅延(GD)を持ちます。
- (4) パワーダウン時、アナログ出力はHi-Zです。
- (5) PDN信号のエッジ("↓↑")でクリックノイズが出力されます。このノイズはデータが"0"の場合でも出力されます。
- (6) クリックノイズ(5)が問題になる場合はアナログ出力を外部でミュートして下さい。
- (7) パワーダウン状態(PDN pin = "L")では、DZFL/R pinは"L"になります。

- (8) クロック分周器は内部PDN解除後、約4/fs後に動作を開始します
- (9) RSTN bitを書き込んでからLSI内部のRSTNbitが変化するまでの立ち下がり時に3~4/fs かかります。また、立ち上がり時に2~3/fsかかります。
- (10) パワーダウン状態では各クロック入力(MCLK, BICK, LRCK)を止めることができます。
- (11) 電源が立ち上がっていないとき、クロックは入力しないでください。

■ パワーオフ・リセット機能

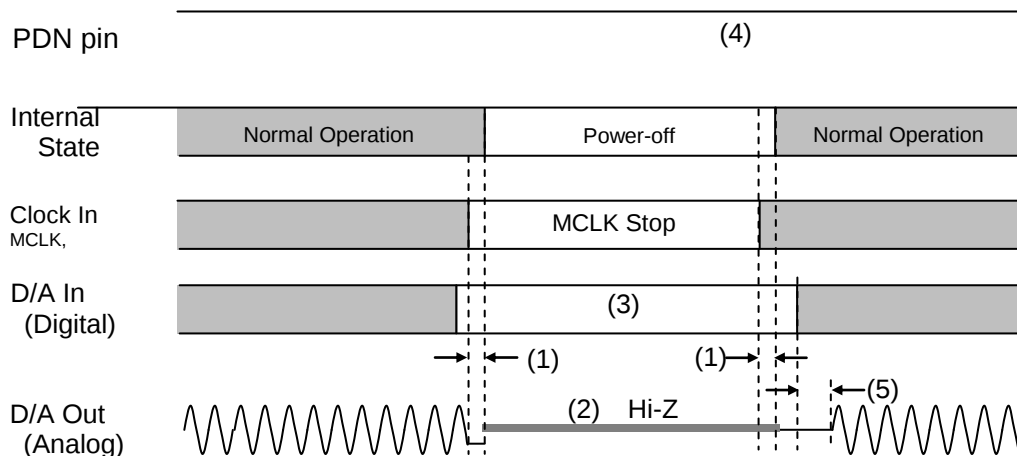
AK4497にはTable 44に示すような、PW bit、RSTN bit、MCLK停止状態によるパワーオフ、リセット機能があります。

Table 44. Power Off, Reset Function

Mode	PDN Pin	MCLK 供給	PW bit	RSTN bit	DIGITAL 部	ANALOG 部	LDO レジスタ	アナログ出力
パワーダウン	L	—	—	—	OFF	OFF	OFF	Hi-Z
MCLK停止	H	なし	—	—	OFF	OFF	ON	Hi-Z
パワーオフ	H	あり	0	—	OFF	OFF	ON	Hi-Z
リセット	H	あり	1	0	OFF	ON	ON	VCML/R
通常動作	H	あり	1	1	ON	ON	ON	Signal output

[1] MCLK停止によるパワーオン・オフ

動作中(PDN pin="H")にMCLKのエッジが入力されない状態が最短1us続くとクロック停止状態と判定し、MCLK停止検出回路、コントロールレジスタ、IREF、および、LDOE pin="H"時はLDOを除くすべての回路が動作停止状態になります。また、アナログ出力はフローティング状態(Hi-Z出力)になります。MCLKを再入力後、PW bit="1"、RSTN bit="1"であれば動作を再開します。MCLKを停止しているときは、ゼロ検出機能は動作しません。



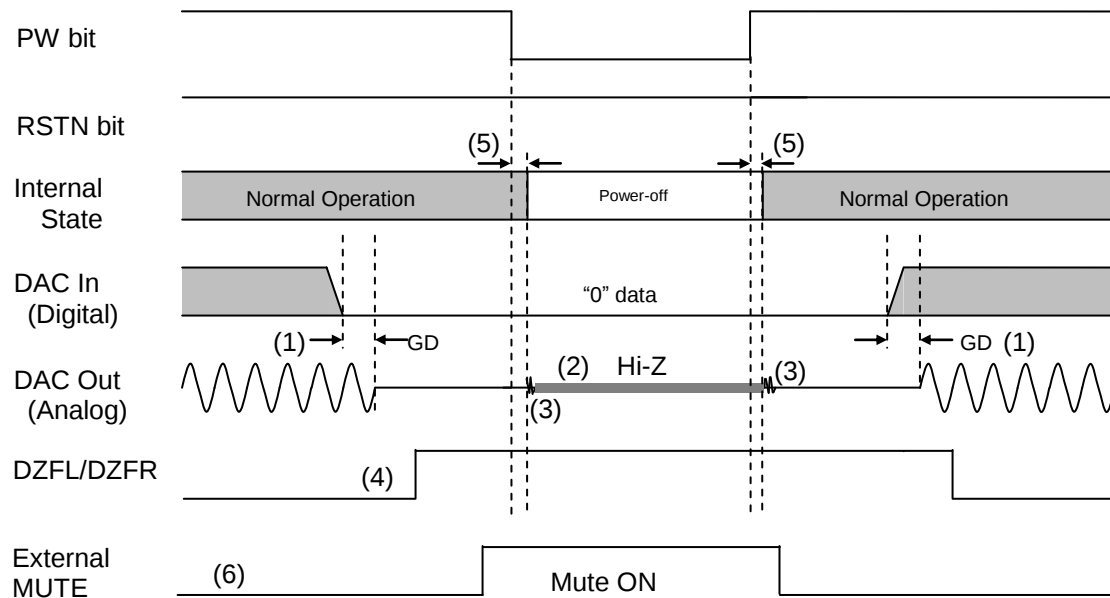
Notes:

- (1) MCLKのエッジが検出されない状態が最短1us続くと停止状態と判定し、パワーオフ状態になります。
- (2) パワーオフ状態になると、アナログ出力はフローティング状態(Hi-Z出力)になります。
- (3) MCLKを停止、再供給する際は、“0”データを入力しておくことでクリックノイズを軽減できます。
- (4) MCLK停止によるパワーオフ状態から復帰する際は、MCLKを再供給して下さい。PDN pinによるパワーアップやPW bitによるパワーオンシーケンスは不要です。
- (5) デジタル入力に対してアナログ出力は群遅延(GD)を持ちます。

Figure 59. MCLK停止によるパワーオフ動作例

[2] PW bitによるパワーオン・オフ

PW bitを“0”にするとコントロールレジスタ、クロック分周回路、IREF、および、LDOE pin=“H”時はLDOを除くすべての回路が動作停止状態になります。この時、レジスタにアクセスすることは可能です。アナログ出力はフローティング状態(Hi-Z)になります。Figure 60にPWbitによるパワーオン／オフシーケンスを示します。



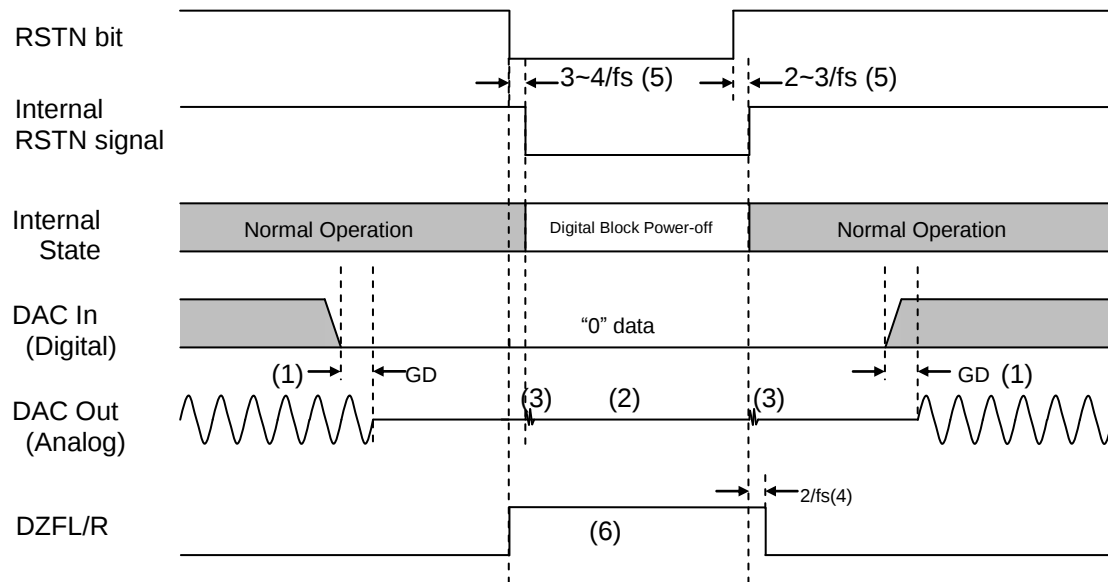
注：

- (1) デジタル入力に対してアナログ出力は群遅延(GD)を持ちます。
- (2) PW bit = “0”時アナログ出力はフローティング(Hi-Z出力)です。
- (3) PW bitのエッジ(“↓↑”)でクリックノイズが出力されます。このノイズはデータが“0”の場合でも出力されます。
- (4) パワーオフ状態(PW bit=“0”)でも、ゼロ検出機能はEnableです。DZFE bit=“1”、DZFB bit=“0”、DZFM bit=“0”時の動作を示しています。
- (5) PW bitを書き込んでから有効になるまでに4~5/fsかかります。また、解除には1~2/fsかかります。
- (6) クリックノイズ(3)又はHi-Z出力(2)が問題になる場合はアナログ出力を外部でミュートしてください。

Figure 60. パワーオン／オフタイミング例

[3] RSTN bitによるリセット

RSTN bitを“0”にするとコントロールレジスタ、クロック分周回路を除くデジタル部がリセットされます。この時、コントロールレジスタの設定値は保持され、アナログ出力はVCML/R電圧になり、DZFL/R pinsは“H”になります。Figure 61にRSTN bitによるリセットシーケンスを示します。



Notes:

- (1) デジタル入力に対してアナログ出力は群遅延(GD)を持ちます。
- (2) RSTN bit="0"時アナログ出力はVCOM電圧です。
- (3) 内部RSTN信号のエッジ("↓↑")でクリックノイズが出力されます。このノイズはデータが“0”の場合でも出力されます。
- (4) DZFE bit="1"、DZFB bit="0"、DZFM bit="0"時の動作を示しています。DZFL/R pinはRSTN bitの立ち下がリエッジで“H”になり、LSI内部のRSTN bitの立ち上がりエッジの2/fs後“L”になります。
- (5) RSTN bitを書き込んでからLSI内部のRSTN bitが変化するまでの立ち下がり時に3~4/fsかかります。また、立ち上がり時に2~3/fsかかります。
- (6) クリックノイズ(3) が問題になる場合はアナログ出力を外部でミュートしてください。

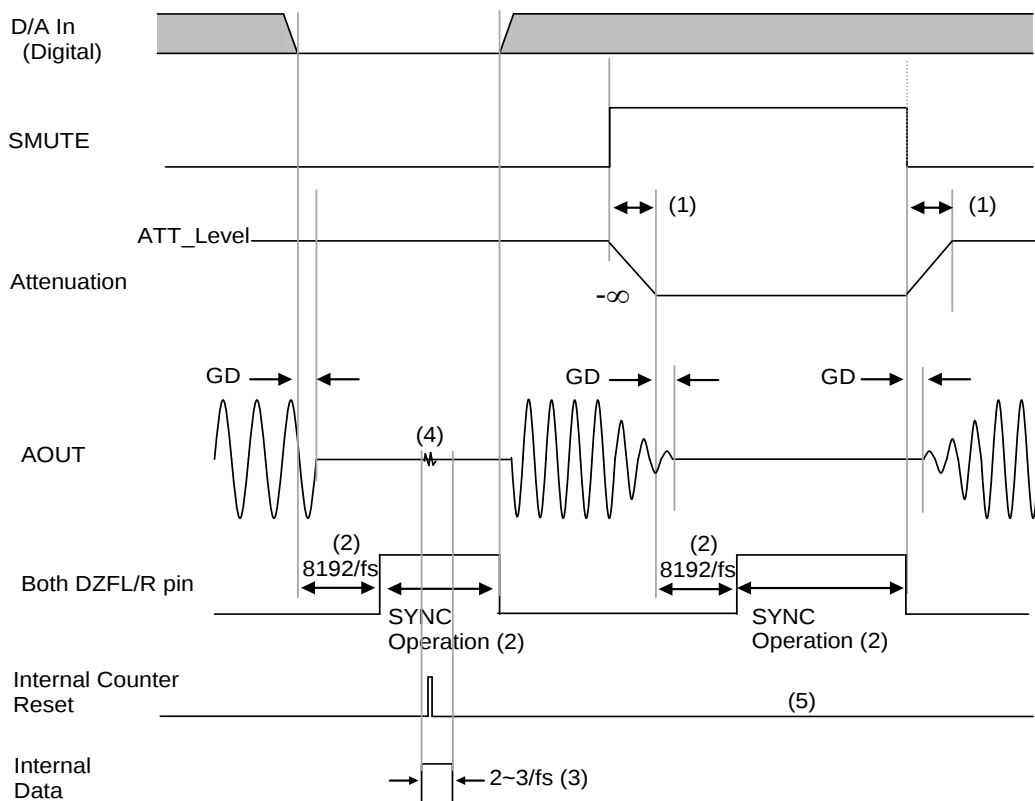
Figure 61. リセットタイミング例

■ 同期化機能 (PCM mode, EXDF mode)

AK4497 は内部クロック CLK1 の立下りエッジと外部クロックのエッジのタイミング関係が一定の範囲になるよう、内部カウンタをリセットする機能を備えています。AK4497 を複数使用する場合に本機能を使用すると、各デバイス間の群遅延を 4/256fs 以内に揃えることが可能です。

PCMモードもしくはEXDFモード時に、両方のチャンネルの入力データが8192回連続して“0”の場合、アッテネーション設定により両方のチャンネルのデータが8192回連続して“0”になった場合、もしくは RSTN bit=“0”の場合に、クロック同期化動作を行います。PCMモード時はLRCKの立ち上がりエッジ(データフォーマットI2S mode時は立下がりエッジ)に同期させ、EXDFモード時はWCKの立ち上がりエッジに同期させます。このとき、アナログ出力はVCML/R電圧になります。本機能はレジスタコントロールモード時にSYNCE bit=“0”を設定すると無効になります。

Figure 62に入力データが8192回連続して“0”の場合の同期化シーケンス、Figure 63にRSTN-bitを用いた同期化シーケンスを示します。

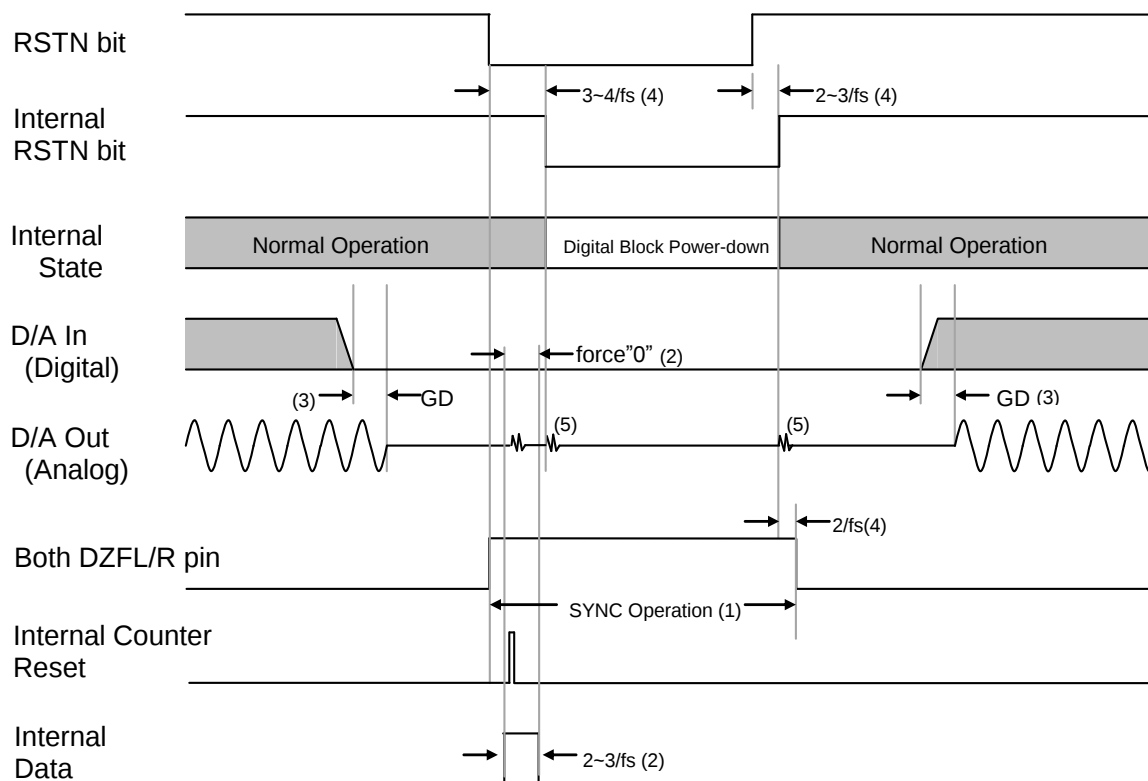


注：

- (1) 内部データがATTの遷移時間については「[■ 出力ボリューム \(PCM mode, DSD mode, EXDF mode\)](#)」を参照してください。
- (2) 両方のチャンネルの入力データが8192回連続して“0”の場合、両方のチャンネルのDZF pinが“H”になり、同期化機能は有効になります。
- (3) 内部カウンタリセット時は2~3/fsの間、内部データを強制的に“0”に固定します。
- (4) 内部カウンタリセット時にクリックノイズが出力されることがあります。このノイズはデータが“0”の場合でも出力されます。クリックノイズが問題になる場合はアナログ出力を外部でミュートしてください。
- (5) 内部クロックと外部クロック入力が同期している場合は、同期化機能が有効であってもカウンタリセットはされません。

Figure 62. 入力データが8192回連続して“0”の場合の同期化シーケンス

RSTN bit を“0”にすると DZFL/R pins は“H”になり、その後 3~4/fs 後に DAC がリセットされアナログ出力が VCML/R 電圧になります。同期化機能は両方の DZFL/R pins が“H”になると有効になります。



注：

- (1) DZF pinはRSTN bitの立ち下がリエッジで“H”になり、LSI内部のRSTN bitの立ち上がりエッジの2/fs 後“L”になります。この間、同期化機能は有効になります。
- (2) 内部カウンタリセット時は2~3/fsの間、内部データを強制的に“0”に固定します。
- (3) デジタル入力に対してアナログ出力は群遅延(GD)を持つため、RSTN bitに“0”を書き込む際は群遅延期間以上の間無入力状態にしておくことを勧めます。
- (4) RSTN bitを書き込んでからLSI内部のRSTN信号が変化するまでの立ち下がり時に3~4/fs、立ち上がり時に2~3/fsかかります。同期化機能はRSTN bit=“0”の書き込みと同時に有効になるため、LSI内部のRSTN信号が“1”に変化する前に内部カウンタがリセットされる場合があります。
- (5) 内部RSTN信号のエッジ(“↓↑”)や内部カウンタリセット時にクリックノイズが出力されます。このノイズはデータが“0”の場合でも出力されます。クリックノイズが問題になる場合はアナログ出力を外部でミュートしてください。

Figure 63. RSTN bitを用いた同期化シーケンス

■ レジスタコントロールインタフェース

[1] 3線レジスタ設定コントロールモード (I2C pin="L")

AK4497のいくつかの機能はピン(ピンコントロールモード)とレジスタ(レジスタコントロールモード)のどちらでも設定できますが、ピンコントロールモード時にはレジスタ設定は無効、レジスタコントロールモード時にはピン設定は無効になります。PSN pinの設定を変更する場合は、PDN pinでAK4497をパワーダウンして下さい。パワーダウンしない場合、変更前の設定が初期化されない為、回路が誤動作する可能性があります。レジスタコントロールモードではPSN pinを“L”にすることによってイネーブルされます。このモードでは3線式I/F pin: CSN, CCLK, CDTIで書き込みを行います。I/F上のデータはChip address (2bit, C1/0), Read/Write (1bit, “1”固定, Write only), Register address (MSB first, 5bit)とControl data (MSB first, 8bit)で構成されます。データ送信側はCCLKの“↓”で各ビットを出力し、受信側は“↑”で取り込みます。データの書き込みはCSNの“↑”で有効になります。CCLKのクロックスピードは5MHz (max)です。

PDN pinを“L”にすると内部レジスタ値が初期化されます。また、レジスタコントロールモードではRSTN bitに“0”を書き込むとコントロールレジスタ、クロック分周回路を除くデジタル部がリセットされます。がリセットされます。但し、このときレジスタの内容は初期化されません。

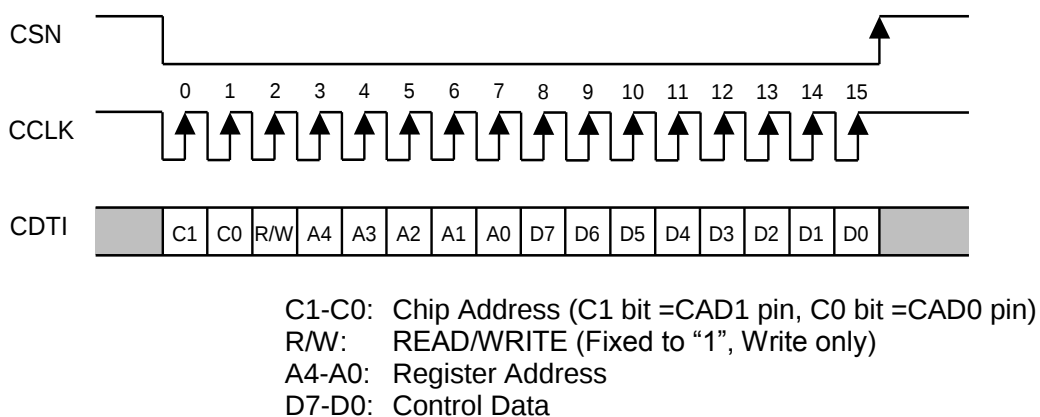


Figure 64. Control I/F Timing

- * 3線式コントロールモード時、AK4497はデータ読み出しをサポートしません。
- * PDN pin = “L”時、コントロールレジスタへの書き込みはできません。
- * CSNが“L”期間中にCCLKの“↑”が15回以下または17回以上の場合にはデータは書き込まれません。

[2] I²Cバスコントロールモード (I2C pin="H")

AK4497のI²Cバスモードのフォーマットは、高速モード(max:400kHz, Ver1.0)に対応しています。

(1) WRITE命令

I²Cバスモードにおけるデータ書き込みシーケンスはFigure 65に示されます。バス上のICへのアクセスには、最初に開始条件(Start Condition)を入力します。SCLラインが“H”の時にSDAラインを“H”から“L”にすると、開始条件が作られます。開始条件の後、スレーブアドレスが送信されます。このアドレスは7bitから構成され、8bit目にはデータ方向ビット(R/W)が続きます。上位5bitは“00100”固定、次の2bitはアクセスするICを選ぶためのアドレスビットで、CAD1,CAD0 pinにより設定されます(Figure 66)。アドレスが一致した場合、AK4497は確認応答(Acknowledge)を生成し、命令が実行されます。マスタは確認応答用のクロックパルスを生成し、SDAラインを解放しなければなりません(Figure 72)。R/Wビットが“0”の場合はデータ書き込み、R/Wビットが“1”の場合はデータ読み出しを行います。

第2バイトはサブアドレス(レジスタアドレス)です。サブアドレスは8bit、MSB firstで構成され、上位3bitは“0”固定です(Figure 67)。第3バイト以降はコントロールデータです。コントロールデータは8bit、MSB firstで構成されます(Figure 68)。AK4497は、各バイトの受信を完了するたびに確認応答を生成します。データ転送は、必ずマスタが生成する停止条件(Stop Condition)によって終了します。SCLラインが“H”の時にSDAラインを“L”から“H”にすると、停止条件が作られます(Figure 71)。

AK4497は複数のバイトのデータを一度に書き込むことができます。データを1バイト送った後、停止条件を送らず更にデータを送ると、サブアドレスが自動的にインクリメントされ、次のデータは次のサブアドレスに格納されます。アドレス“15H”を越えるデータを送ると、内部レジスタに対応するアドレスカウンタはロールオーバーし、アドレス“00H”から順に格納されます。

クロックが“H”の間は、SDAラインの状態は一定でなければなりません。データラインが“H”と“L”の間で状態を変更できるのは、SCLラインのクロック信号が“L”の時に限られます(Figure 73)。SCLラインが“H”の時にSDAラインを変更するのは、開始条件、停止条件を入力するときのみです。

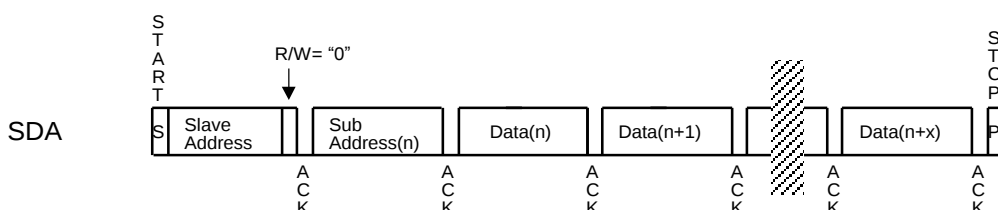


Figure 65. I²Cバスモードのデータ書き込みシーケンス

0	0	1	0	0	CAD1	CAD0	R/W
---	---	---	---	---	------	------	-----

(CAD0 はピンにより設定)

Figure 66. 第1バイトの構成

0	0	0	A4	A3	A2	A1	A0
---	---	---	----	----	----	----	----

Figure 67. 第2バイトの構成

D7	D6	D5	D4	D3	D2	D1	D0
----	----	----	----	----	----	----	----

Figure 68. 第3バイト以降の構成

(2) READ 命令

R/Wビットが“1”の場合、AK4497はREAD動作を行います。指定されたアドレスのデータが出力された後、マスタが停止条件を送らず確認応答を生成すると、サブアドレスが自動的にインクリメントされ、次のアドレスのデータを読み出すことができます。アドレス“15H”のデータを読み出した後、さらに次のアドレスを読み出す場合にはアドレス“00H”のデータが読み出されます。

AK4497はカレントアドレスリードとランダムリードの2つのREAD命令を持っています。

(2)-1. カレントアドレスリード

AK4497は内部にアドレスカウンタを持っており、カレントアドレスリードではこのカウンタで指定されたアドレスのデータを読み出します。内部のアドレスカウンタは最後にアクセスしたアドレスの次のアドレス値を保持しています。例えば、最後にアクセス(READでもWRITEでも)したアドレスが“n”であり、その後カレントアドレスリードを行った場合、アドレス“n+1”のデータが読み出されます。カレントアドレスリードでは、AK4497はREAD命令のスレーブアドレス(R/W = “1”)の入力に対して確認応答を生成し、次のクロックから内部のアドレスカウンタで指定されたデータを読み出したのち内部カウンタを1つインクリメントします。データが出力された後、マスタが確認応答を生成せず停止条件を送ると、READ動作は終了します。

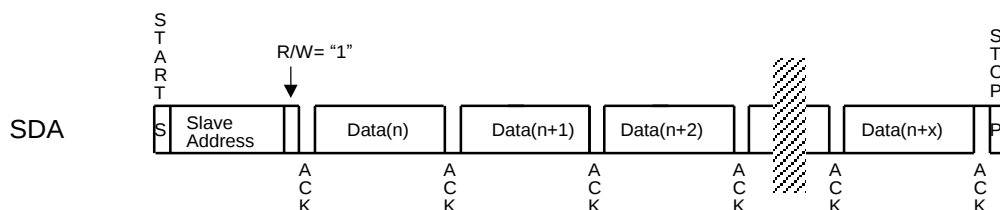


Figure 69. CURRENT ADDRESS READ 命令

(2)-2. ランダムアドレスリード

ランダムアドレスリードにより任意のアドレスのデータを読み出すことができます。ランダムアドレスリードはREAD命令のスレーブアドレス(R/W bit=“1”)を入力する前に、ダミーのWRITE命令を入力する必要があります。ランダムアドレスリードでは最初に開始条件を入力し、次にWRITE命令のスレーブアドレス(R/W bit=“0”)、読み出すアドレスを順次入力します。AK4497がこのアドレス入力に対して確認応答を生成した後、再送条件、READ命令のスレーブアドレス(R/W bit=“1”)を入力します。AK4497はこのスレーブアドレスの入力に対して確認応答を生成し、指定されたアドレスのデータを読み出し、内部アドレスカウンタを1つインクリメントします。データが出力された後、マスタがアクノリッジを生成せず停止条件を送ると、READ動作は終了します。

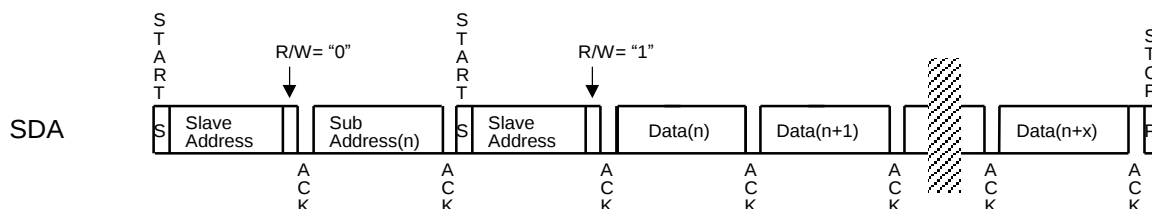


Figure 70. RANDOM ADDRESS READ 命令

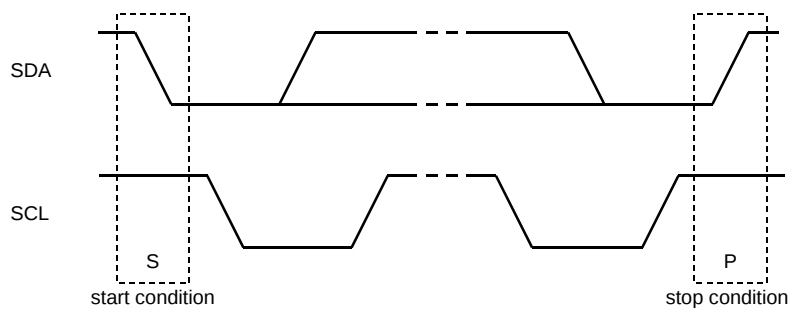
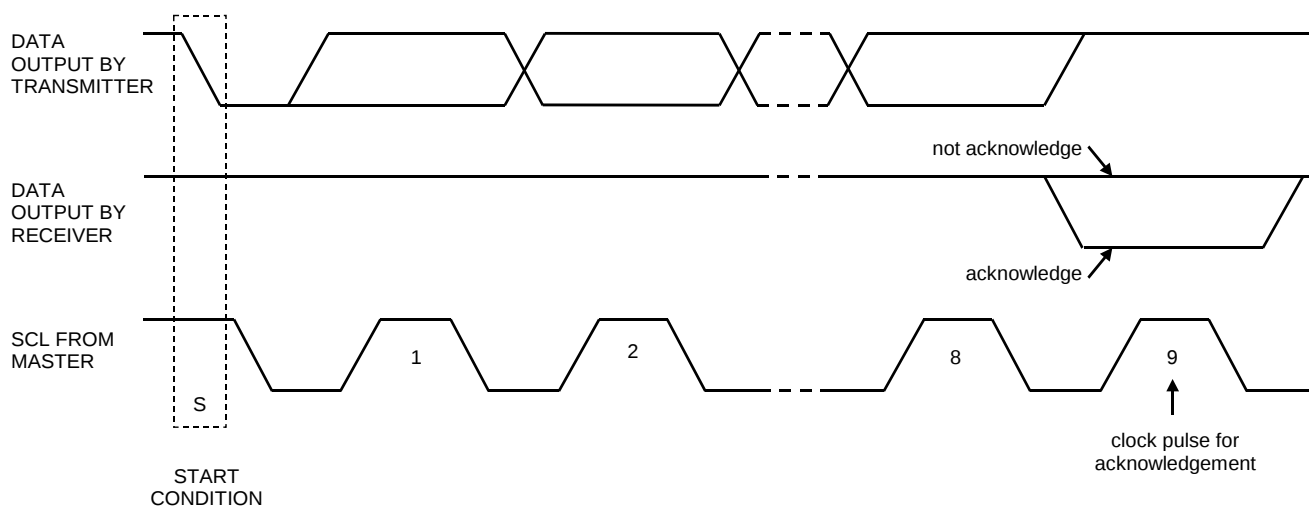
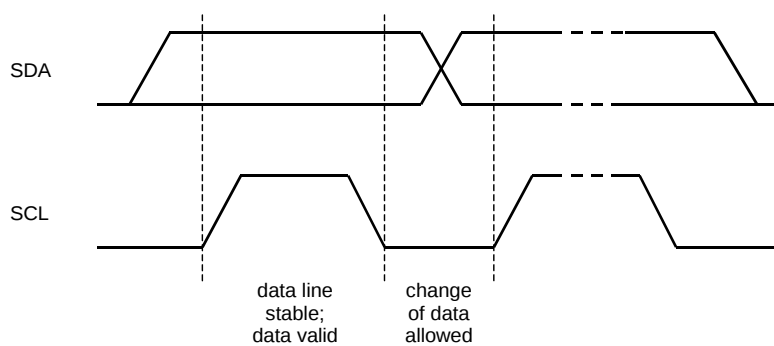


Figure 71. 開始条件と停止条件

Figure 72. I²Cバスでの確認応答Figure 73. I²Cバスでのビット転送

■ レジスタマップ

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
00H	Control 1	ACKS	EXDF	ECS	AFSD	DIF2	DIF1	DIF0	RSTN
01H	Control 2	DZFE	DZFM	SD	DFS1	DFS0	DEM1	DEM0	SMUTE
02H	Control 3	DP	0	DCKS	DCKB	MONO	DZFB	SELLR	SLOW
03H	Lch ATT	ATT7	ATT6	ATT5	ATT4	ATT3	ATT2	ATT1	ATT0
04H	Rch ATT	ATT7	ATT6	ATT5	ATT4	ATT3	ATT2	ATT1	ATT0
05H	Control4	INVL	INVR	0	0	0	0	DFS2	SSLOW
06H	DSD1	DDM	DML	DMR	DMC	DMRE	0	DSDD	DSDSEL0
07H	Control5	0	0	0	0	GC2	GC1	GC0	SYNCE
08H	Sound Control	0	0	0	0	HLOAD	SC2	SC1	SC0
09H	DSD2	0	0	0	0	0	DSDPATH	DSDF	DSDSEL1
0AH	Control 7	TDM1	TDM0	SDS1	SDS2	0	PW	0	0
0BH	Control 8	ATS1	ATS0	0	SDS0	0	0	DCHAIN	TEST
0CH	Reserved	0	0	0	0	0	0	0	0
0DH	Reserved	0	0	0	0	0	0	0	0
0EH	Reserved	0	0	0	0	0	0	0	0
0FH	Reserved	0	0	0	0	0	0	0	0
10H	Reserved	0	0	0	0	0	0	0	0
11H	Reserved	0	0	0	0	0	0	0	0
12H	Reserved	0	0	0	0	0	0	0	0
13H	Reserved	0	0	0	0	0	0	0	0
14H	Reserved	0	0	0	0	0	0	0	0
15H	DFS read	0	0	0	0	0	ADFS2	ADFS1	ADFS0

Notes:

- ・3線式コントロールモードではデータ読み出しをサポートしません。
- ・I2Cバスコントロールモードでは読み出しをサポートします。
- ・I2C-Busモードでのオートインクリメント機能は、アドレス15Hでロールオーバーし、次のアドレスカウンタ値はアドレス00Hになります。
- ・各アドレスの0, 0BH D0のTEST bitには必ず“0”を書き込んでください。“1”を書き込んだ場合誤動作する可能性があります。
- ・アドレス16H以降への書き込みは禁止です。書き込んだ場合、回路が誤動作する可能性があります。
- ・PDN pinを“L”にするとレジスタの内容が初期化されます。
- ・RSTN bitに“0”を書き込むとコントロールレジスタ、クロック分周回路を除くデジタル部がリセットされますが、レジスタの内容は初期化されません。
- ・PSN pinの設定を変更した場合は、PDN pinでAK4497をリセットして下さい。

(注) AK4490/5とレジスタコンパチです。

(参考) AK4490 レジスタマップ

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
00H	Control 1	ACKS	EXDF	ECS	0	DIF2	DIF1	DIF0	RSTN
01H	Control 2	DZFE	DZFM	SD	DFS1	DFS0	DEM1	DEM0	SMUTE
02H	Control 3	DP	0	DCKS	DCKB	MONO	DZFB	SELLR	SLOW
03H	Lch ATT	ATT7	ATT6	ATT5	ATT4	ATT3	ATT2	ATT1	ATT0
04H	Rch ATT	ATT7	ATT6	ATT5	ATT4	ATT3	ATT2	ATT1	ATT0
05H	Control4	INVL	INVR	0	0	0	0	DFS2	DFTHR
06H	DSD1	DDM	DML	DMR	DMC	DMRE	0	DSDD	DSDSEL0
07H	Control5	0	0	0	0	0	0	0	SYNCE
08H	Sound Control	0	0	0	0	0	0	SC1	SC0
09H	DSD2	0	0	0	0	0	0	DSDF	DSDSEL1

(参考)AK4495 レジスタマップ

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
00H	Control 1	ACKS	EXDF	ECS	0	DIF2	DIF1	DIF0	RSTN
01H	Control 2	DZFE	DZFM	SD	DFS1	DFS0	DEM1	DEM0	SMUTE
02H	Control 3	DP	0	DCKS	DCKB	MONO	DZFB	SELLR	SLOW
03H	Lch ATT	ATT7	ATT6	ATT5	ATT4	ATT3	ATT2	ATT1	ATT0
04H	Rch ATT	ATT7	ATT6	ATT5	ATT4	ATT3	ATT2	ATT1	ATT0
05H	Control4	INVL	INVR	0	0	0	0	DFS2	DFTHR
06H	Control5	DDM	DML	DMR	DMC	DMRE	DSDD1	DSDD0	DSDSEL
07H	Control6	0	0	0	0	0	0	0	SYNCE
08H	Sound Control	0	0	0	0	0	SC2	SC1	SC0
09H	Reserved	0	0	0	0	0	0	0	0

■ 詳細説明

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
00H	Control 1	ACKS	EXDF	ECS	AFSD	DIF2	DIF1	DIF0	RSTN
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	Default	0	0	0	0	1	1	0	0

RSTN: Internal Timing Reset

0: Reset. All registers are not initialized. (default)

1: Normal Operation

DIF[2:0]: Audio Data Interface Modes ([Table 24](#))

初期値は“110” (Mode6: 32 bit 前詰め)です。

AFSD: Sampling Frequency Auto Detect Mode Enable (PCM & EXDF mode only). ([Table 5](#))

0: Disable: Manual or Auto Setting Mode (default)

1: Enable: Auto Detect Mode

When AFSD bit = “1”, DFS[2:0] bits are ignored.

ECS: EXDF mode clock setting ([Table 23](#))

0: WCK=768kHz mode(default)

1: WCK=384kHz mode

EXDF: External Digital Filter I/F Mode (Register Control mode only)

0: Disable: Internal Digital Filter mode (default)

1: Enable: External Digital Filter mode

ACKS: Master Clock Frequency Auto Setting Mode Enable (PCM & EXDF mode only). ([Table 14](#), [Table 5](#))

0: Disable: Manual Setting Mode (default)

1: Enable: Auto Setting Mode

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
01H	Control 2	DZFE	DZFM	SD	DFS1	DFS0	DEM1	DEM0	SMUTE
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	Default	0	0	1	0	0	0	1	0

SMUTE: Soft Mute Enable

0: Normal Operation (default)

1: DAC outputs soft-muted.

DEM[1:0]: De-emphasis Filter Control ([Table 30](#))

初期値は“01” (OFF)です。

DFS[1:0]: Sampling Speed Control. ([Table 7](#), [Table 11](#))

初期値は“000” (Normal Speed)です。

DFS[2:0] bitsを切り替えた場合、クリックノイズが発生します。

SD: Minimum delay Filter Enable. ([Table 28](#))

0: Traditional filter

1: Short delay filter (default)

DZFM: Data Zero Detect Mode

0: Channel Separated Mode (default)

1: Channel ANDed Mode

DZFM bitを“1”にすると両チャンネルの入力データが8192回連続して“0”の場合のみ、両チャンネルのDZF pin が“H”になります。

DZFE: Data Zero Detect Enable

0: Disable (default)

1: Enable

Zero detect function can be disabled by DZFE bit “0”. In this case, the DZF pins of both channels are always “L”.

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
02H	Control 3	DP	0	DCKS	DCKB	MONO	DZFB	SELLR	SLOW
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	Default	0	0	0	0	0	0	0	0

SLOW: Slow Roll-off Filter Enable. ([Table 28](#))

- 0: Slow roll-off filter disable (default)
- 1: Slow roll-off filter

SELLR: The data selection of L channel and R channel, when MONO mode

- 0: All channel output L channel data, when MONO mode. (default)
L channel output L channel data, Rchannel data output Rchannel data (default)
- 1: All channel output R channel data, when MONO mode.
L channel output R channel data, Rchannel data output Lchannel data

DZFB: Inverting Enable of DZF. ([Table 35](#))

- 0: DZF pin goes "H" at Zero Detection (default)
- 1: DZF pin goes "L" at Zero Detection

MONO: MONO mode Stereo mode select

- 0: Stereo mode (default)
- 1: MONO mode

DCKB: Polarity of DCLK (DSD Only)

- 0: DSD data is output from DCLK falling edge. (default)
- 1: DSD data is output from DCLK rising edge.

DCKS: Master Clock Frequency Select at DSD mode (DSD only)

- 0: 512fs (default)
- 1: 768fs

DP: DSD/PCM Mode Select

- 0: PCM Mode (default)
- 1: DSD Mode

DP bitの設定を変更した場合は、RSTN bitでリセットを行ってください。

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
03H	Lch ATT	ATT7	ATT6	ATT5	ATT4	ATT3	ATT2	ATT1	ATT0
04H	Rch ATT	ATT7	ATT6	ATT5	ATT4	ATT3	ATT2	ATT1	ATT0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	Default	1	1	1	1	1	1	1	1

ATT[7:0]: Attenuation Level
255 levels 0.5dB step + mute

Data	Attenuation
FFH	0dB (default)
FEH	-0.5dB
FDH	-1.0dB
:	:
:	:
02H	-126.5dB
01H	-127.0dB
00H	MUTE ($-\infty$)

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
05H	Control 4	INVL	INVR	0	0	0	0	DFS2	SSLOW
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	Default	0	0	0	0	0	0	0	0

SSLOW: Super Slow Roll Off (Digital Filter bypass mode) Enable. ([Table 28](#))

0: Disable (default)

1: Enable

DFS2: Sampling Speed Control. ([Table 11](#))

INVR: AOUTR出力位相反転ビット

0: Disable (default)

1: Enable

INVL: AOUTL出力位相反転ビット

0: Disable (default)

1: Enable

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
06H	DSD1	DDM	DML	DMR	DMC	DMRE	0	DSDD	DSDSEL0
	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W
	Default	0	0	0	0	0	0	0	0

DSDSEL[1:0]: DSD Sampling Speed Control

Table 21. DSD Sampling Speed Control

DSDSEL1	DSDSEL0	DSD Data Stream			(default)
		fs=32kHz	fs=44.1kHz	fs=48kHz	
0	0	2.048MHz	2.8224MHz	3.072MHz	(default)
0	1	4.096MHz	5.6448MHz	6.144MHz	
1	0	8.192MHz	11.2896MHz	12.288MHz	
1	1	16.284MHz	22.5792MHz	24.576MHz	

DSDD: DSD Playback Path Control

Table 22. DSD Playback Mode Control

DSDD	Mode	(default)
0	Normal Path	
1	Volume Bypass	

DMRE: DSD Mute Release

0: Hold (default)

1: Release Mute

DDM bit = “1”、DMC bit = “1” のときのみ有効です。DSDデータがマニュアル解除モードでミュートされたとき、DMRE bit = “1” の設定でミュートが解除されます。

Table 41. DSD Mode とフルスケール検出後の状態 (DDM bit = “1”)

DDM	DMC	DMRE	フルスケール検出時	(default)
0	*	*	フルスケール検出してもミュートしない	
1	0	*	フルスケール検出するとミュートする その後、フルスケール以下になると通常動作に自動復帰	
1	1	0	フルスケール検出するとミュートする その後、フルスケール以下になってもミュートのまま	
1	1	1 (Note 50)	フルスケール検出するとミュートする その後、フルスケール以下の状態で、 DMRE bit = “0” → “1”になるタイミングでミュート解除	

Note 50. DMRE bit= “1” を書き込むとフラグが立ちミュート解除になります。その後、自動的にDMRE bit は“0”に戻ります

DMC: DSD Mute Control

0: Auto Return (default)

1: Mute Hold (manual return)

DDM bit = “1” のときのみ有効です。DDM bitの設定により、DSDデータがミュートされフルスケール以下になった後にミュートを解除するモードを選択します。

DMR/DML

このレジスタは、DSDRもしくはDSDLがFS検出した際に、検出フラグを出力します。

DDM: DSD Data Mute

AK4497はDSD データが2048 sample (DCLK周期) の期間すべて “1”, “0” となったとき内部で出力をミュートする機能があります。このレジスタはその機能を有効することが出来ます。

0: Disable (default)

1: Enable

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
07H	Control 5	0	0	0	0	GC2	GC1	GC0	SYNCE
R/W		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Default		0	0	0	0	0	0	0	1

SYNCE: SYNC Mode Enable

0: SYNC Mode Disable

1: SYNC Mode Enable (default)

GC[2:0]: PCM, DSD Mode Gain Control

Table 33. Output Level between Set Values of GC[2:0] bit

GC[2] bit	GC[1] bit	GC[0] bit	AOUTLP/LN/RP/RN Output Level			
			PCM	DSD: Normal Path	DSD: Volume Bypass	
0	0	0	2.8 Vpp	2.8 Vpp	2.5 Vpp	(default)
0	0	1	2.8 Vpp	2.5 Vpp	2.5 Vpp	
0	1	0	2.5 Vpp	2.5 Vpp	2.5 Vpp	
0	1	1	2.5 Vpp	2.5 Vpp	2.5 Vpp	
1	0	0	3.75 Vpp	3.75 Vpp	2.5 Vpp	
1	0	1	3.75 Vpp	2.5 Vpp	2.5 Vpp	
1	1	0	2.5 Vpp	2.5 Vpp	2.5 Vpp	
1	1	1	2.5 Vpp	2.5 Vpp	2.5 Vpp	

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
08H	Sound Control	0	0	0	0	HLOAD	SC2	SC1	SC0
R/W		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Default		0	0	0	0	0	0	0	0

SC[2:0]: Sound Control. (Table 38, Table 39)

Table 38. Sound Quality Select Mode

SC1 bit	SC0 bit	Internal Operation	(default)
0	0	Analog internal current, maximum (Setting1)	
0	1	Analog internal current, minimum (Setting2)	
1	0	Analog internal current, medium (Setting3)	
1	1	Analog internal current, minimum (Setting2)	

Table 39. Sound Quality Select Mode

SC2 bit	Sound	(default)
0	Default (Setting 4)	
1	High Sound Quality Mode (Setting 5)	

HLOAD: Heavy Load Mode Enable

0: Heavy Load Mode Disable (default)

1: Heavy Load Mode Enable

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
09H	DSD2	0	0	0	0	0	DSDPATH	DSDF	DSDSEL1
	R/W	R	R	R	R	R	R/W	R/W	R/W
	Default	0	0	0	0	0	0	0	0

DSDSEL[1:0]: DSD Sampling Speed Control.

Table 21. DSD Sampling Speed Control

DSDSEL1	DSDSEL0	DSD data stream			(default)
		fs=32kHz	fs=44.1kHz	fs=48kHz	
0	0	2.048MHz	2.8224MHz	3.072MHz	(default)
0	1	4.096MHz	5.6448MHz	6.144MHz	
1	0	8.192MHz	11.2896MHz	12.288MHz	
1	1	16.284MHz	22.5792MHz	24.576MHz	

DSDF: Cut-off frequency of DSD Filter Control

Table 29. DSD Filter Select

DSDF bit	Cut Off Frequency @fs=44.1kHz				(default)
	DSD64fs	DSD128fs	DSD256fs	DSD512fs	
0	39kHz	78kHz	156kHz	312kHz	(default)
1	76kHz	152kHz	304kHz	608kHz	

DSDPATH: DSD Data Input Pin Select

0: #16, 17, 19 (default)

1: #3, 4, 5

Table 4. PCM/DSD/EXDF Mode Control

DP bit	EXDF bit	DSDPATH bit	D/A変換モード	ピンアサイン					
				#3 pin	#4 pin	#5 pin	#16 pin	#17 pin	#19 pin
0 (default)	0 (default)	x	PCM	BICK	SDATA	LRCK	Not Use	Not Use	Not Use
1	x	0 (default)	DSD	Not Use	Not Use	Not Use	DSDL	DSDR	DCLK
1	x	1	DSD	DCLK	DSDL	DSDR	Not Use	Not Use	Not Use
0	1	x	EXDF	BCK	DINL	DINR	Not Use	Not Use	Not Use

(x: Do not care)

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
0AH	Control 7	TDM1	TDM0	SDS1	SDS2	0	PW	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	Default	0	0	0	0	0	1	0	0

PW: Power ON/OFF control

0: Power off

1: Power on (default)

SDS[2:0]: 各チャンネルの出力データスロット選択

0: 通常動作

1: 別スロットのデータを出力([Table 25](#))

初期値は“000”です。

TDM[1:0]: TDM Mode Select

00: Normal (default)

01: TDM128

10: TDM256

11: TDM512

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
0BH	Control 8	ATS1	ATS0	0	SDS0	0	0	DCHAIN	TEST
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	Default	0	0	0	0	0	0	0	0

TEST

Test bit = “0”を必ず書き込んで下さい。書き込まない場合、誤動作する可能性があります。

DCHAIN: Daisy Chain Mode Enable

0: Daisy Chain Mode Disable (default)

1: Daisy Chain Mode Enable

SDS[2:0]: 各チャンネルの出力データスロット選択

0: 通常動作

1: 別スロットのデータを出力 ([Table 25](#))ATS[1:0]: Transition Time between Set Values of ATT[7:0] bits ([Table 32](#))

初期値は“00”です。

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
0CH	Reserved	0	0	0	0	0	0	0	0
0DH	Reserved	0	0	0	0	0	0	0	0
0EH	Reserved	0	0	0	0	0	0	0	0
0FH	Reserved	0	0	0	0	0	0	0	0
10H	Reserved	0	0	0	0	0	0	0	0
11H	Reserved	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	Default	0	0	0	0	0	0	0	0

0CH: Reserved

0DH: Reserved

0EH: Reserved

0FH: Reserved

10H: Reserved

11H: Reserved

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
12H	Reserved	0	0	0	0	0	0	0	0
13H	Reserved	0	0	0	0	0	0	0	0
14H	Reserved	0	0	0	0	0	0	0	0
R/W		R	R	R	R	R	R	R	R
Default		0	0	0	0	0	0	0	0

12H: Reserved

13H: Reserved

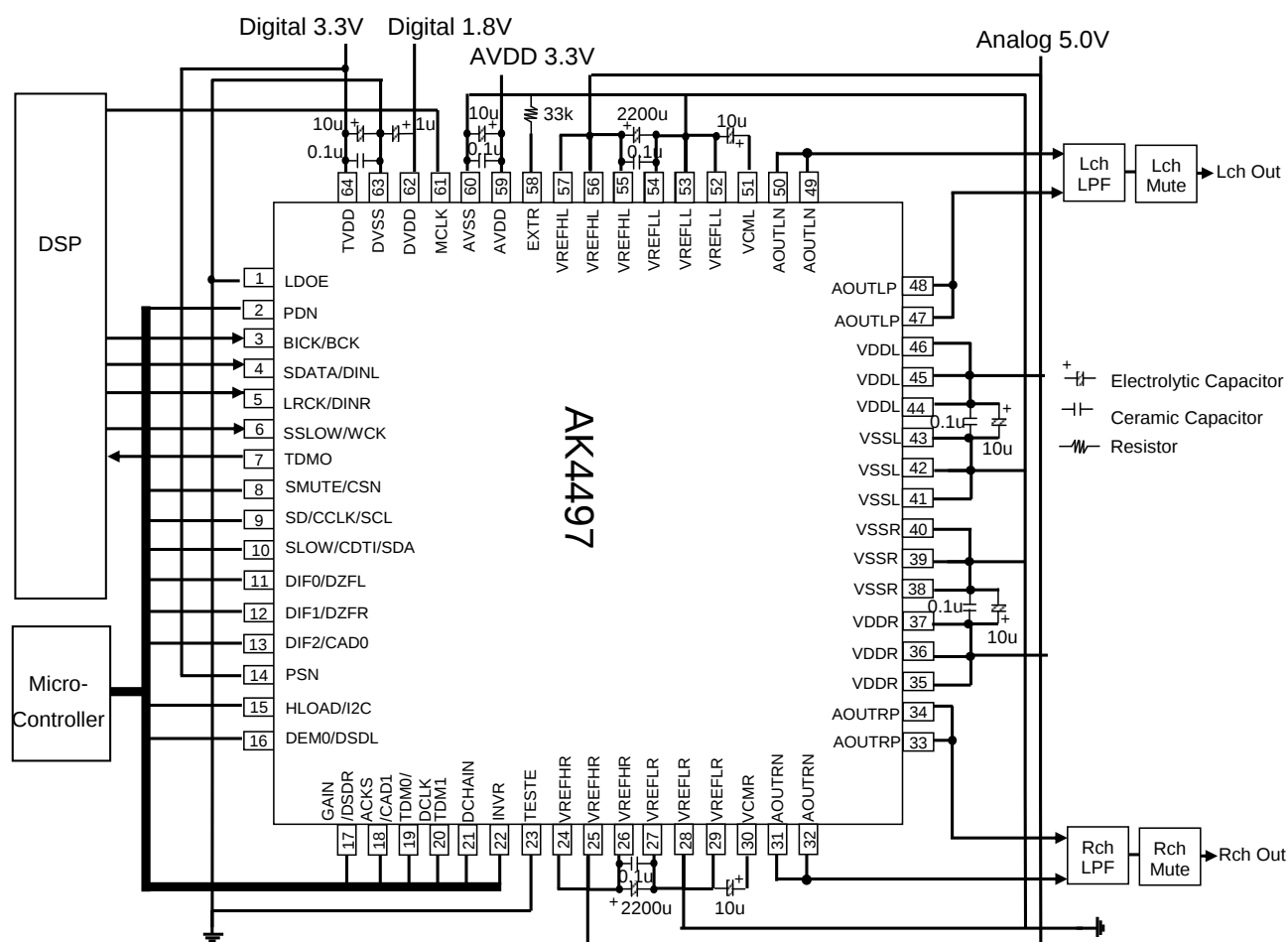
14H: Reserved

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
15H	ADFS read	0	0	0	0	0	ADFS2	ADFS1	ADFS0
R/W		R	R	R	R	R	R	R	R
Default		0	0	0	0	0	0	0	0

ADFS[2:0]: FS Auto Detect Mode使用時のモード判定結果

ADFS2 bit	ADFS1 bit	ADFS0 bit	Mode
0	0	0	Normal Speed Mode
0	0	1	Double Speed Mode
0	1	0	Quad Speed Mode
0	1	1	Quad Speed Mode
1	0	0	Oct Speed Mode
1	0	1	Hex Speed Mode
1	1	0	Oct Speed Mode
1	1	1	Hex Speed Mode

10. システム設計



Note:

- Chip Address = "00". BICK = 64fs, LRCK = fs
- AVDD, TVDD, VDDL/Rの配線はレギュレータ等からの低インピーダンス状態のまま分けて配線して下さい。
- AVSS, DVSS, VSSL/Rは同じアナロググランドに接続して下さい。（アナログGNDはベタGNDで低インピーダンスになるようにしてください。各VSS間にインピーダンスがあるとTHD+N特性が劣化します。）
- MCLKの高周波ノイズでTHD+N特性が劣化する場合は、MCLKにダンピング抵抗の挿入を推奨します。
- プルダウン/プルアップピン以外のデジタル入力ピンはオープンにしないで下さい。

Figure 74. Typical Connection Diagram
(AVDD=TVDD=3.3V, VDDL/R=5.0V, LDOE pin="L", Pin control mode)

1. グランドと電源のデカップリング

AK4497ではデジタルノイズのカップリングを最小限に抑えるため、AVDD, TVDD, DVDDと VDDL/R をデカップリングします。AVDD, VDDL/R にはシステムのアナログ電源を供給し、TVDD, DVDDにはシステムのデジタル電源を供給して下さい。VDDL/R の配線はレギュレータ等からの低インピーダンス状態のまま分けて配線して下さい。LDO未使用時(LDOE pin=“L”)、3.3V系電源(AVDD, TVDD)、1.8V系電源(DVDD)、5V系電源(VDDL/R)の順に投入してください。LDO使用時(LDOE pin=“H”)のとき、内部LDOが1.8Vを出力します。3.3V系電源(AVDD, TVDD)、1.8V系電源(DVDD)、5V系電源(VDDL/R)の順に投入してください。**AVSS, VSSL/RとDVSS は同じアナロググランドに接続して下さい。**デカップリングコンデンサ、特に小容量のセラミックコンデンサはAK4497にできるだけ近づけて接続します。

2. 基準電圧

VREFHL/R pinとVREFLL/R pinに入力される電圧の差がアナログ出力のフルスケールを決定します。通常はVREFHL/R pinをReference Voltage 5.0Vに接続し、VREFLL/R pinをReference Voltage 0V に接続します。VREFHL/R pinとVREFLL/R pinとの間に0.1μFのセラミックコンデンサと2200uFの電解コンデンサを接続します。

VREFH, VREFL pinsは他電源のノイズが回り込まないようにケアする必要があります。他電源のノイズが回り込みアナログ特性が出ない場合は、VREFHは10ohmを介してAnalog 5.0Vに接続し、VREFLは10ohmを介してAnalog Groundに接続して下さい。(2200uFと10ohmで $f_c=7\text{Hz}$ のローパスフィルタが形成されます。このローパスフィルタで他電源からの信号周波数ノイズを除去します。) VCML/Rはアナログ信号のコモン電圧として使われます。特に、セラミックコンデンサはピンにできるだけ近づけて接続して下さい。VCML/R pinから電流を取ってはいけません。デジタル信号、特にクロックはAK4497へのカップリングを避けるためVREFHL/R, VREFLL/R pinからできるだけ離して下さい。

3. アナログ出力

アナログ出力は全差動出力になっています。差動出力は外部で加算して下さい。AOUTL/R +, AOUTL/R - の加算電圧は $V_{AOUT} = (AOUT+) - (AOUT-)$ です。VREFHL/R - VREFLL/R = 5V、加算ゲインが1の場合、GAIN pin=“L”もしくはGC[2] bit=“0”設定時の出力レンジはVCML/Rを中心に2.8Vpp (typ)、差動加算後の出力レンジは5.6Vpp (typ)です。GAIN pin=“H”もしくはGC[2] bit=“1”設定時の出力レンジはVCML/Rを中心に3.75Vpp (typ)、差動加算後の出力レンジは7.5Vpp (typ)です。なお、外部加算回路のバイアス電圧は外部で供給してください。

入力コードのフォーマットは2's compliment (2の補数)で7FFFFFFFH(@32bit)に対しては正のフルスケール、80000000H(@32bit) に対しては負のフルスケール、00000000H(@32bit)での V_{AOUT} の理想値は0V電圧が出力されます。内蔵の $\Delta\Sigma$ 変調器の帯域外ノイズ(シェーピングノイズ)は内蔵のスイッチトキャパシタフィルタ(SCF)で減衰されます。

Figure 75, Figure 76は差動出力を1個のオペアンプで加算する外部LPF回路例を示します。Figure 77は差動出力の回路例及び2個のオペアンプを使った外部LPF回路例、Figure 78はMONO bit=“1”時の回路例及び2個のオペアンプを使った外部LPF回路例です。外部LPFを構成する抵抗は絶対値誤差0.1%以下の抵抗を使用して下さい。

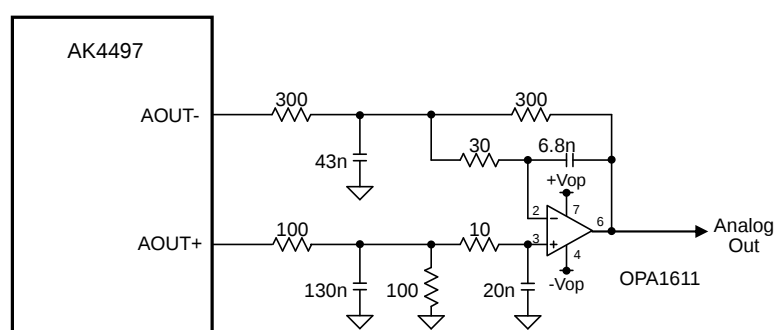


Figure 75. External LPF Circuit Example 1 ($f_c = 98\text{kHz}$ (typ), $Q=0.667$ (typ))

Table 45. Frequency Response of External LPF Circuit Example 1

Gain(1kHz,typ)		0 dB
Frequency Response (ref:1kHz,typ)	20kHz	-0.07 dB
	40kHz	-0.32 dB
	80kHz	-2.13 dB

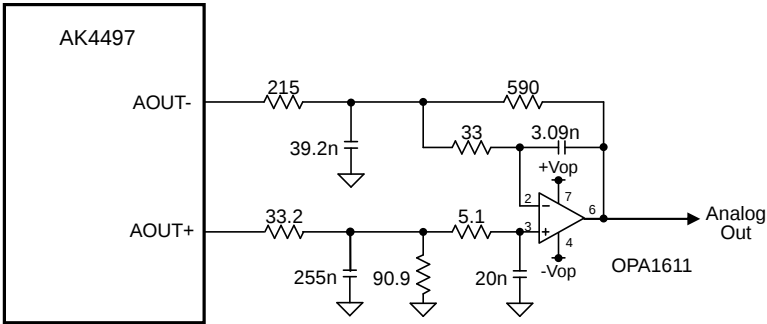


Figure 76. External LPF Circuit Example 2 (fc = 104kHz(typ), Q=0.693(typ))

Table 46. Frequency Response of External LPF Circuit Example 2

Gain(1kHz,typ)		+8.78 dB
Frequency Response (ref:1kHz,typ)	20kHz	-0.02 dB
	40kHz	-0.15 dB
	80kHz	-1.46 dB

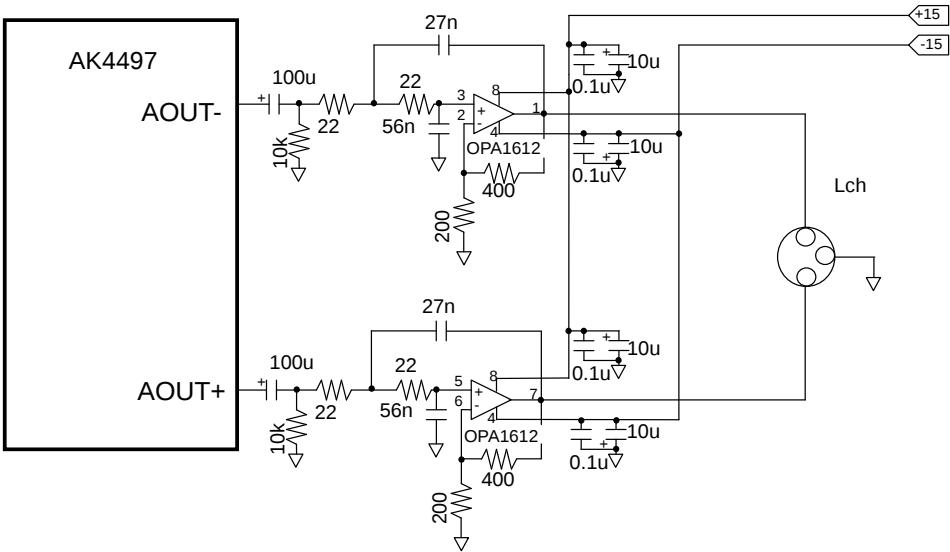


Figure 77. External LPF Circuit Example 3 (fc = 186kHz(typ), Q=0.67(typ))

Table 47. Frequency Response of External LPF Circuit Example 3

Gain(1kHz,typ)		+9.54 dB
Frequency Response (ref:1kHz,typ)	20kHz	-0.01 dB
	40kHz	-0.06 dB
	80kHz	-0.32 dB

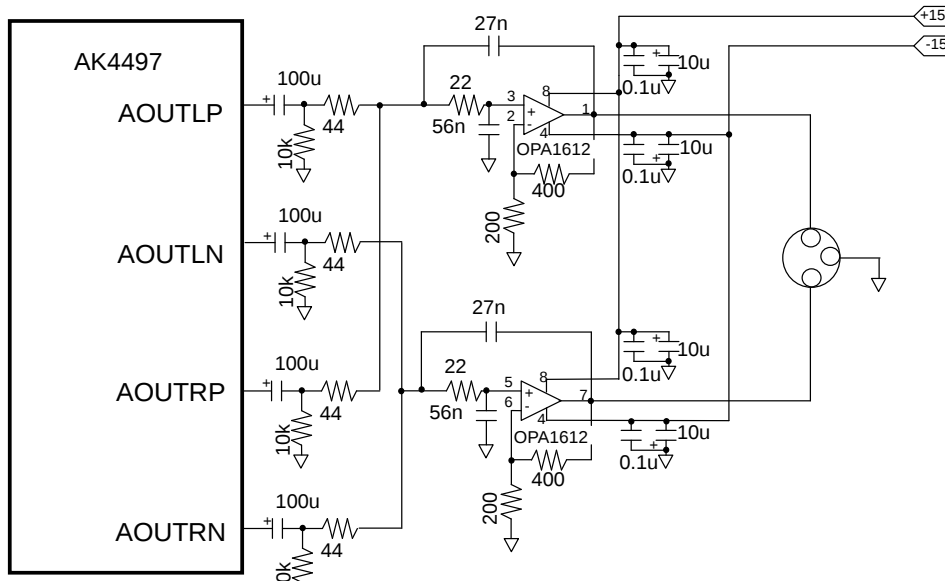
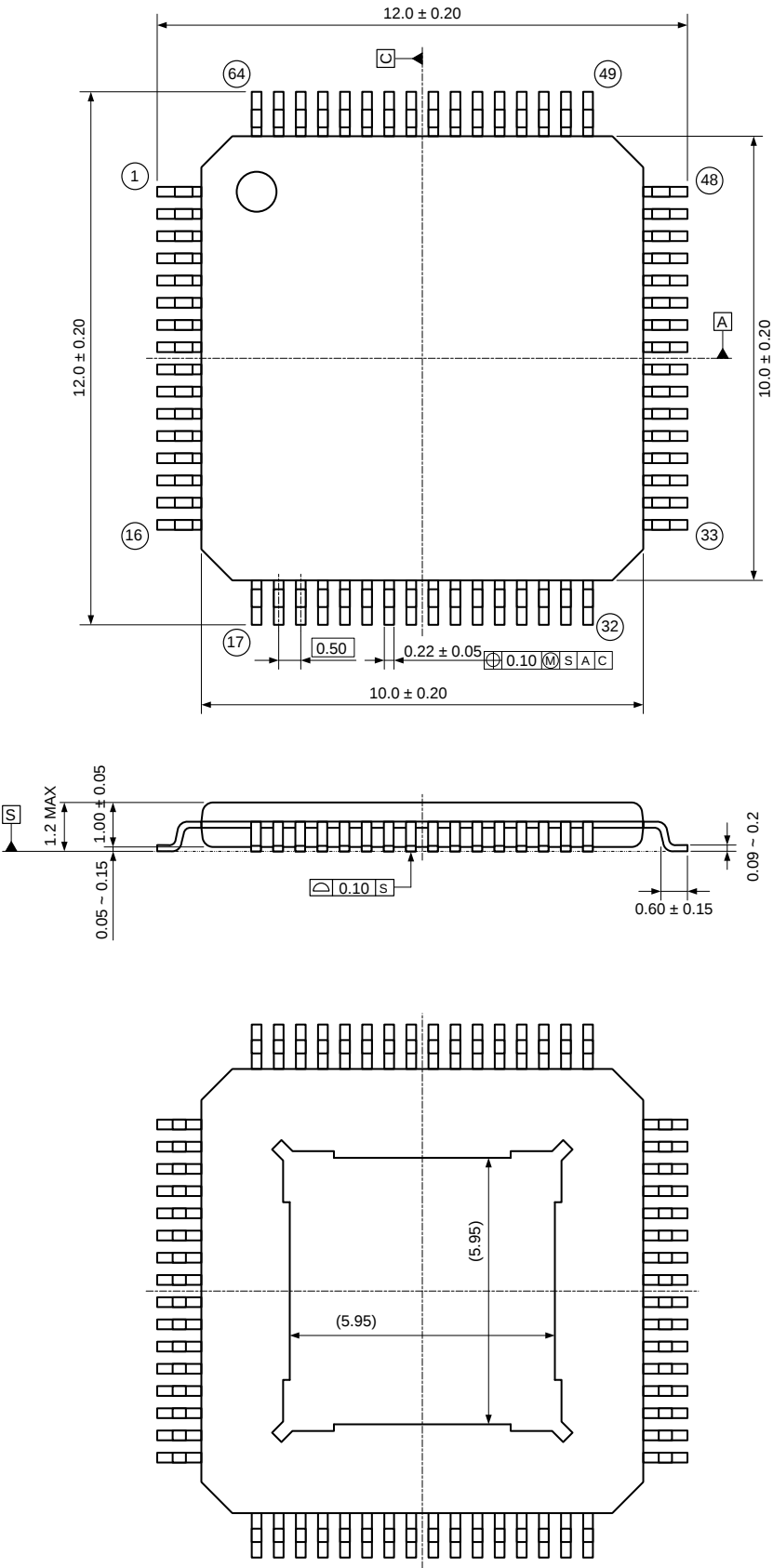


Figure 78. External LPF Circuit Example for Mono Mode ($f_c = 186\text{kHz}(\text{typ})$, $Q=0.67(\text{typ})$)

11. パッケージ

■ パッケージ外形寸法図 (HTQFP10×10-64)



■ 材質・メッキ仕様

パッケージ材質:	エポキシ系樹脂、ハロゲン (臭素、塩素)フリー
リードフレーム材質:	EFTEC64
端子処理:	半田(無鉛)メッキ

■ マーキング



- 1) Pin #1 indication
- 2) AKM Logo
- 3) Date Code: XXXXXXX (7 digits)
- 4) Marking Code: AK4497EQ
- 5) Audio 4 pro Logo

12. オーダリングガイド**■ オーダリングガイド**

AK4497EQ -40 ~ +85°C (裏面Tabを基板に接続の場合) 64-pin TQFP (0.5mm pitch)
AKD4497 AK4497評価用ボード

13. 改訂履歴

Date (Y/M/D)	Revision	Reason	Page	Contents
16/04/27	00	初版		

重要な注意事項

0. 本書に記載された弊社製品（以下、「本製品」といいます。）、および、本製品の仕様につきましては、本製品改善のために予告なく変更することがあります。従いまして、ご使用を検討の際には、本書に掲載した情報が最新のものであることを弊社営業担当、あるいは弊社特約店営業担当にご確認ください。
1. 本書に記載された情報は、本製品の動作例、応用例を説明するものであり、その使用に際して弊社および第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。お客様の機器設計において当該情報を使用される場合は、お客様の責任において行って頂くとともに、当該情報の使用に起因してお客様または第三者に生じた損害に対し、弊社はその責任を負うものではありません。
2. 本製品は、医療機器、航空宇宙用機器、輸送機器、交通信号機器、燃焼機器、原子力制御用機器、各種安全装置など、その装置・機器の故障や動作不良が、直接または間接を問わず、生命、身体、財産等へ重大な損害を及ぼすことが通常予想されるような極めて高い信頼性を要求される用途に使用されることを意図しておらず、保証もされていません。そのため、別途弊社より書面で許諾された場合を除き、これらの用途に本製品を使用しないでください。万が一、これらの用途に本製品を使用された場合、弊社は、当該使用から生ずる損害等の責任を一切負うものではありません。
3. 弊社は品質、信頼性の向上に努めておりますが、電子製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により、生命、身体、財産等が侵害されることのないよう、お客様の責任において、本製品を搭載されるお客様の製品に必要な安全設計を行うことをお願いします。
4. 本製品および本書記載の技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。本製品および本書記載の技術情報を輸出または非居住者に提供する場合は、「外国為替及び外国貿易法」その他の適用ある輸出関連法令を遵守し、必要な手続きを行ってください。本製品および本書記載の技術情報を国内外の法令および規則により製造、使用、販売を禁止されている機器・システムに使用しないでください。
5. 本製品の環境適合性等の詳細につきましては、製品個別に必ず弊社営業担当までお問合せください。本製品のご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようにご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、弊社は一切の責任を負いかねます。
6. お客様の転売等によりこの注意事項に反して本製品が使用され、その使用から損害等が生じた場合はお客様にて当該損害をご負担または補償して頂きますのでご了承ください。
7. 本書の全部または一部を、弊社の事前の書面による承諾なしに、転載または複製することを禁じます。