

高音質オーディオ用 D/A コンバータ

# 32-bit, 768 kHz サンプリング ステレオオーディオ D/A コンバータ

BD34301EKV

ROHM Musical Device  
**MUS-IC**

## 概要

BD34301EKV はローム独自の音質設計を導入した 32-bit ステレオオーディオ D/A コンバータです。ハイエンドオーディオに適した優れた数値性能 (SNR: 130 dB (Typ), THD+N: -115 dB (Typ)) を実現しました。2 種類のデジタル FIR フィルタ (Sharp Roll-Off, Slow Roll-Off) を切り替えることで好みの音質が選択可能です。PCM I/F, DSD I/F を搭載し、それぞれ 768 kHz, 22.4 MHz まで対応しています。

## 重要特性

|                          |                 |
|--------------------------|-----------------|
| ■ 電源電圧範囲 AVCC(Notes 2)   | 4.5 V ~ 5.5 V   |
| ■ 電源電圧範囲 DVDD            | 1.4 V ~ 1.6 V   |
| ■ 電源電圧範囲 DVDDIO          | 3.0 V ~ 3.6 V   |
| ■ SNR(Notes 1)           | 130 dB (Typ)    |
| ■ THD+N(Notes 1)         | -115 dB (Typ)   |
| ■ Dynamic Range(Notes 1) | 130 dB (Typ)    |
| ■ 動作温度範囲                 | -25 °C ~ +85 °C |

## 特長

- MUS-IC™ シリーズ
- SNR 130 dB (Typ), THD+N -115 dB (Typ)(Notes 1)
- サンプリング周波数 32 kHz ~ 768 kHz(Notes 1)
- デジタル FIR フィルタ 2 種類搭載(Notes 1)
- 2.8 MHz, 5.6 MHz, 11.2 MHz, 22.4 MHz DSD 対応
- ステレオモード (2 ch)、モノモード (1 ch) 対応
- 4 通りのデバイスアドレス (38h, 3Ah, 3Ch, 3Eh) を設定可能

## 用途

- CD/SACD プレーヤー
- デジタルオーディオプレーヤー (DAP)
- USB-DAC、など

## 基本アプリケーション回路

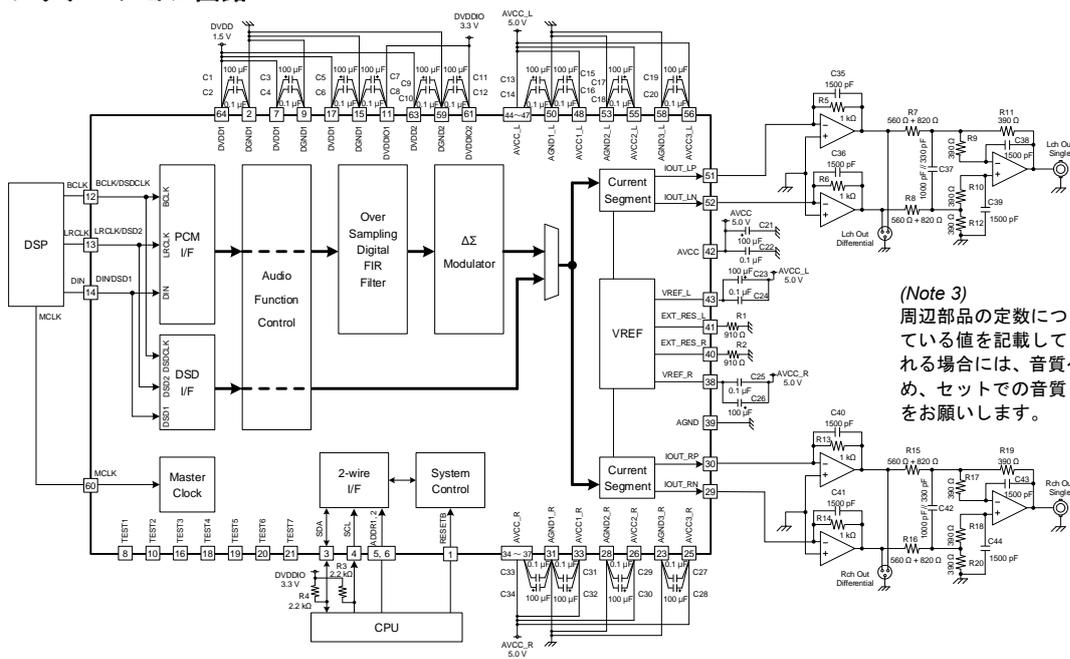
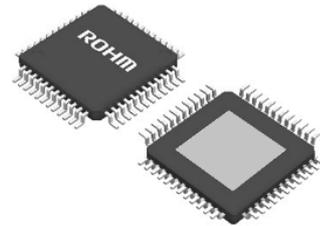


Figure 1. 基本アプリケーション回路

## パッケージ

HTQFP64BV

W (Typ) x D (Typ) x H (Max)  
12.0 mm x 12.0 mm x 1.0 mm



(Notes 1) PCM モード

(Notes 2) 基本アプリケーション回路の AVCC、AVCC\_L、AVCC\_R が該当

(Notes 3)

周辺部品の定数については、音質評価を行っている値を記載しております。定数を変更される場合には、音質への影響が懸念されるため、セットでの音質をご確認のうえ、ご検討をお願いします。

MUS-IC™ はローム株式会社の商標または登録商標です。

○製品構造：シリコンを主材料とした半導体集積回路 ○耐放射線設計はしていません

www.rohm.co.jp

© 2020 ROHM Co., Ltd. All rights reserved.

TSZ22111 • 14 • 001

## 目次

|                            |    |
|----------------------------|----|
| 概要 .....                   | 1  |
| 特長 .....                   | 1  |
| 用途 .....                   | 1  |
| 重要特性 .....                 | 1  |
| パッケージ .....                | 1  |
| 基本アプリケーション回路 .....         | 1  |
| MUS-IC™ .....              | 3  |
| 端子配置図 .....                | 4  |
| 端子説明 .....                 | 5  |
| ブロック図 .....                | 7  |
| 絶対最大定格 .....               | 8  |
| 熱抵抗 .....                  | 8  |
| 推奨動作条件 .....               | 8  |
| 電気的特性 .....                | 9  |
| 測定回路図 .....                | 11 |
| DC 特性 .....                | 12 |
| AC 特性 (MCLK, RESETB) ..... | 12 |
| AC 特性 (PCM モード) .....      | 13 |
| AC 特性 (DSD モード) .....      | 13 |
| AC 特性 (2-wire I/F) .....   | 14 |
| 特性データ (参考データ) .....        | 15 |
| 2-wire I/F .....           | 16 |
| レジスタマップ .....              | 18 |
| レジスタ詳細説明 .....             | 20 |
| システムクロック .....             | 35 |
| 電源立ち上げシーケンス .....          | 36 |
| 電源立ち下げシーケンス .....          | 38 |
| モード切り替えシーケンス .....         | 39 |
| 推奨設定 .....                 | 41 |
| 音質調整 .....                 | 41 |
| 応用回路例 .....                | 42 |
| 使用上の注意 .....               | 47 |
| 発注形名情報 .....               | 49 |
| 標印図 .....                  | 49 |
| 外形寸法図と包装・フォーミング仕様 .....    | 50 |
| 改訂履歴 .....                 | 51 |

## MUS-IC™

ROHM Musical Device

**MUS-IC**

MUS-IC™の正式名称は、ROHM Musical Device MUS-IC です。MUS-IC™シリーズは、ハイエンドオーディオ向けに設計された製品です。

端子配置図

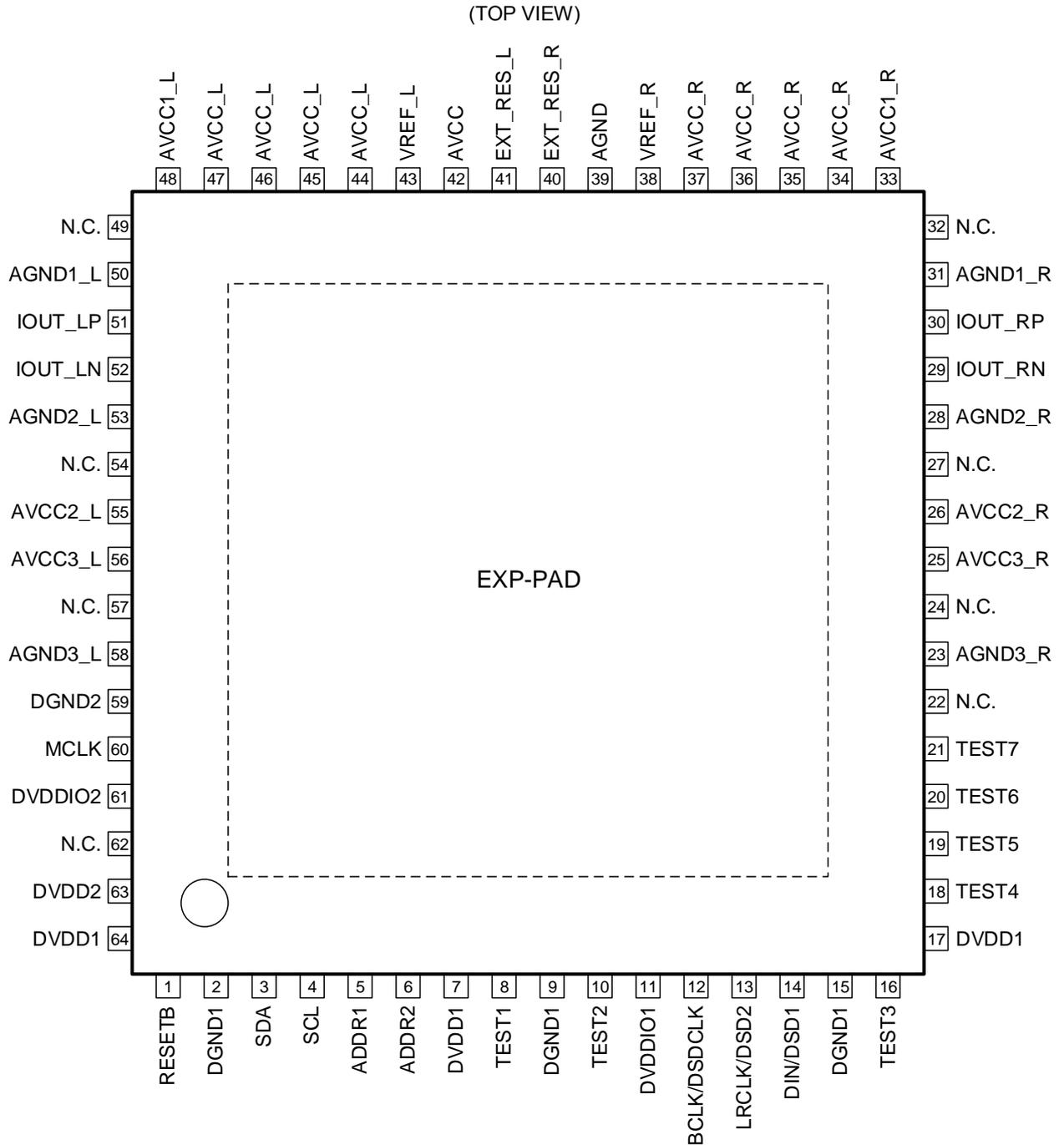


Figure 2. 端子配置図

注意:

N.C.端子並びに TEST 端子 (TEST1 ~ TEST7) はオープンでご使用ください。  
EXP-PAD は AGND に接続してください。

## 端子説明

| Pin No. | 端子名         | D/A <sup>(Note 1)</sup> | I/O <sup>(Note 2)</sup> | 機能  |
|---------|-------------|-------------------------|-------------------------|---|
| 1       | RESETB      | D                       | I                       | Reset (L: Reset)                                      |
| 2       | DGND1       | D                       | -                       | Digital ground  |
| 3       | SDA         | D                       | I/O                     | 2-wire I/F data <sup>(Note 3)</sup>                   |
| 4       | SCL         | D                       | I                       | 2-wire I/F clock                                      |
| 5       | ADDR1       | D                       | I                       | 2-wire I/F device address selector1 (38h/3Ah/3Ch/3Eh) |
| 6       | ADDR2       | D                       | I                       | 2-wire I/F device address selector2 (38h/3Ah/3Ch/3Eh) |
| 7       | DVDD1       | D                       | -                       | Digital core power supply (1.5 V)                     |
| 8       | TEST1       | D                       | I                       | The TEST pin <sup>(Note 4)</sup>                      |
| 9       | DGND1       | D                       | -                       | Digital ground  |
| 10      | TEST2       | D                       | I                       | The TEST pin <sup>(Note 4)</sup>                      |
| 11      | DVDDIO1     | D                       | -                       | Digital I/O power supply (3.3 V)                      |
| 12      | BCLK/DSDCLK | D                       | I                       | PCM I/F bit clock / DSD clock                         |
| 13      | LRCLK/DSD2  | D                       | I                       | PCM I/F LR clock / DSD2 data                          |
| 14      | DIN/DSD1    | D                       | I                       | PCM I/F serial data / DSD1 data                       |
| 15      | DGND1       | D                       | -                       | Digital ground  |
| 16      | TEST3       | D                       | I                       | The TEST pin <sup>(Note 4)</sup>                      |
| 17      | DVDD1       | D                       | -                       | Digital core power supply (1.5 V)                     |
| 18      | TEST4       | D                       | I                       | The TEST pin <sup>(Note 4)</sup>                      |
| 19      | TEST5       | D                       | I                       | The TEST pin <sup>(Note 4)</sup>                      |
| 20      | TEST6       | D                       | I                       | The TEST pin <sup>(Note 4)</sup>                      |
| 21      | TEST7       | D                       | I                       | The TEST pin <sup>(Note 4)</sup>                      |
| 22      | N.C.        | -                       | -                       | No connection <sup>(Note 4)</sup>                     |
| 23      | AGND3_R     | A                       | -                       | Rch analog ground                                     |
| 24      | N.C.        | -                       | -                       | No connection <sup>(Note 4)</sup>                     |
| 25      | AVCC3_R     | A                       | -                       | Rch analog power supply (5.0 V)                       |
| 26      | AVCC2_R     | A                       | -                       | Rch analog power supply (5.0 V)                       |
| 27      | N.C.        | -                       | -                       | No connection <sup>(Note 4)</sup>                     |
| 28      | AGND2_R     | A                       | -                       | Rch analog ground                                     |
| 29      | IOUT_RN     | A                       | O                       | Rch negative output                                   |
| 30      | IOUT_RP     | A                       | O                       | Rch positive output                                   |
| 31      | AGND1_R     | A                       | -                       | Rch analog ground                                     |
| 32      | N.C.        | -                       | -                       | No connection <sup>(Note 4)</sup>                     |

## 端子説明 — 続き

| Pin No. | 端子名       | D/A <sup>(Note 1)</sup> | I/O <sup>(Note 2)</sup> | 機能  |
|---------|-----------|-------------------------|-------------------------|---|
| 33      | AVCC1_R   | A                       | -                       | Rch analog power supply (5.0 V)                                 |
| 34      | AVCC_R    | A                       | -                       | Rch analog power supply for Current Segment (5.0 V)             |
| 35      | AVCC_R    | A                       | -                       | Rch analog power supply for Current Segment (5.0 V)             |
| 36      | AVCC_R    | A                       | -                       | Rch analog power supply for Current Segment (5.0 V)             |
| 37      | AVCC_R    | A                       | -                       | Rch analog power supply for Current Segment (5.0 V)             |
| 38      | VREF_R    | A                       | O                       | Rch external capacitor (Recommended: 0.1 $\mu$ F + 100 $\mu$ F) |
| 39      | AGND      | A                       | -                       | Analog ground   |
| 40      | EXT_RES_R | A                       | O                       | Rch external register (Recommended: 910 $\Omega$ )              |
| 41      | EXT_RES_L | A                       | O                       | Lch external register (Recommended: 910 $\Omega$ )              |
| 42      | AVCC      | A                       | -                       | Analog power supply (5.0 V)                                     |
| 43      | VREF_L    | A                       | O                       | Lch external capacitor (Recommended: 0.1 $\mu$ F + 100 $\mu$ F) |
| 44      | AVCC_L    | A                       | -                       | Lch analog power supply for Current Segment (5.0 V)             |
| 45      | AVCC_L    | A                       | -                       | Lch analog power supply for Current Segment (5.0 V)             |
| 46      | AVCC_L    | A                       | -                       | Lch analog power supply for Current Segment (5.0 V)             |
| 47      | AVCC_L    | A                       | -                       | Lch analog power supply for Current Segment (5.0 V)             |
| 48      | AVCC1_L   | A                       | -                       | Lch analog power supply (5.0 V)                                 |
| 49      | N.C.      | -                       | -                       | No connection <sup>(Note 4)</sup>                               |
| 50      | AGND1_L   | A                       | -                       | Lch analog ground   |
| 51      | IOUT_LP   | A                       | O                       | Lch positive output   |
| 52      | IOUT_LN   | A                       | O                       | Lch negative output   |
| 53      | AGND2_L   | A                       | -                       | Lch analog ground   |
| 54      | N.C.      | -                       | -                       | No connection <sup>(Note 4)</sup>                               |
| 55      | AVCC2_L   | A                       | -                       | Lch analog power supply (5.0 V)                                 |
| 56      | AVCC3_L   | A                       | -                       | Lch analog power supply (5.0 V)                                 |
| 57      | N.C.      | -                       | -                       | No connection <sup>(Note 4)</sup>                               |
| 58      | AGND3_L   | A                       | -                       | Lch analog ground   |
| 59      | DGND2     | D                       | -                       | Digital ground for MCLK   |
| 60      | MCLK      | D                       | I                       | Master clock  |
| 61      | DVDDIO2   | D                       | -                       | Digital I/O power supply for MCLK (3.3 V)                       |
| 62      | N.C.      | -                       | -                       | No connection <sup>(Note 4)</sup>                               |
| 63      | DVDD2     | D                       | -                       | Digital power supply for MCLK (1.5 V)                           |
| 64      | DVDD1     | D                       | -                       | Digital core power supply (1.5 V)                               |
| -       | EXP_PAD   | -                       | -                       | Connect the EXP-PAD to AGND.                                    |

(Note 1) D/A は、D: デジタル端子、A: アナログ端子です。

(Note 2) I/O は、I: 入力、O: 出力です。

(Note 3) 2-wire I/F における出力時、この端子はオープンドレイン出力となります。

(Note 4) N.C.端子並びに TEST (TEST1 ~ TEST7) 端子はオープンでご使用ください。

ブロック図

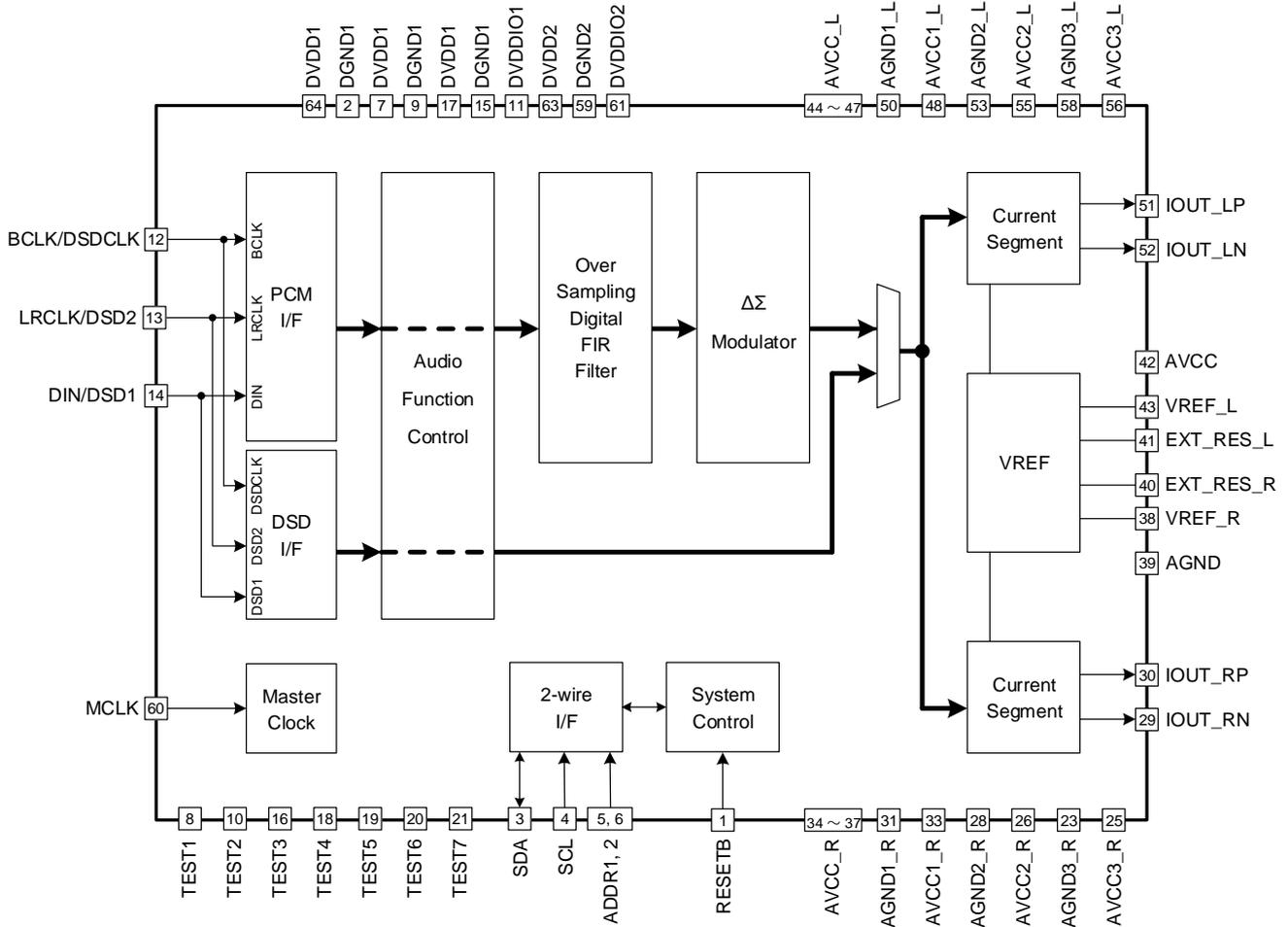


Figure 3. ブロック図

Table 1. 各ブロックの機能説明

| ブロック                             | 機能説明   |
|----------------------------------|--|
| PCM I/F                          | PCM デジタルオーディオインタフェース 2ch ステレオ<br>入力サンプリング周波数 32 kHz ~ 768 kHz 対応<br>入力データビット長 16-bit ~ 32-bit 対応<br>BCLK = 64 fs |
| DSD I/F                          | DSD オーディオインタフェース 2ch ステレオ<br>2.8 MHz, 5.6 MHz, 11.2 MHz, 22.4 MHz 対応   |
| Master Clock                     | クロック制御   |
| 2-wire I/F                       | レジスタ制御 2-wire インタフェース<br>通信速度 400 kHz 対応<br>4 つのデバイスアドレス選択 (38h/3Ah/3Ch/3Eh)                                     |
| System Control                   | レジスタ設定によるシステム制御  |
| Audio Function Control           | デジタルオーディオフォーマット制御<br>PCM モード: LR スワップ → ステレオ/モノラル → 位相反転<br>DSD モード: ステレオ/モノラル → LR スワップ → 位相反転                  |
| Over Sampling Digital FIR Filter | オーバーサンプリングデジタル FIR フィルタ<br>シャープロールオフ/スローロールオフ・フィルタ選択可能   |
| ΔΣ Modulator                     | ΔΣ 変調器   |
| Current Segment                  | 電流セグメント  |
| VREF                             | 内部基準電圧   |

## 絶対最大定格 (Ta = 25 °C)

| 項目      | 記号     | 定格                  | 単位 |
|---------|--------|---------------------|----|
| 電源電圧    | AVCC   | 7.0                 | V  |
|         | DVDDIO | 7.0                 |    |
|         | DVDD   | 2.1                 |    |
| 入力電圧    | Vin    | -0.3 ~ DVDDIO + 0.3 | V  |
| 保存温度範囲  | Tstg   | -55 ~ +150          | °C |
| 最高接合部温度 | Tjmax  | 150                 | °C |

**注意 1** : 印加電圧及び動作温度範囲などの絶対最大定格を超えた場合は、劣化または破壊に至る可能性があります。また、ショートモードもしくはオープンモードなど、破壊状態を想定できません。絶対最大定格を超えるような特殊モードが想定される場合、ヒューズなど物理的な安全対策を施していただけのご検討をお願いします。

**注意 2** : 最高接合部温度を超えるようなご使用をされますと、チップ温度上昇により、IC 本来の性質を悪化させることにつながります。最高接合部温度を超える場合は基板サイズを大きくする、放熱用銅箔面積を大きくする、放熱板を使用するなど、最高接合部温度を越えないよう熱抵抗にご配慮ください。

## 熱抵抗 (Note 1)

| 項目                                  | 記号            | 熱抵抗(Typ)      |               | 単位   |
|-------------------------------------|---------------|---------------|---------------|------|
|                                     |               | 1層基板 (Note 3) | 4層基板 (Note 4) |      |
| HTQFP64BV                           |               |               |               |      |
| ジャンクション—周囲温度間熱抵抗                    | $\theta_{JA}$ | 64.5          | 16.1          | °C/W |
| ジャンクション—パッケージ上面中心間熱特性パラメータ (Note 2) | $\Psi_{JT}$   | 3             | 2             | °C/W |

(Note 1) JESD51-2A(Still-Air)に準拠。

(Note 2) ジャンクションからパッケージ（モールド部分）上面中心までの熱特性パラメータ。

(Note 3) JESD51-3に準拠した基板を使用。

(Note 4) JESD51-7に準拠した基板を使用。

| 測定基板 | 基板材  | 基板寸法                          |
|------|------|-------------------------------|
| 1層   | FR-4 | 114.3 mm x 76.2 mm x 1.57 mmt |

| 1層目（表面）銅箔              |            |
|------------------------|------------|
| 銅箔パターン                 | 銅箔厚        |
| 実装ランドパターン<br>+電極引出し用配線 | 70 $\mu$ m |

| 測定基板 | 基板材  | 基板寸法                         | サーマルビア (Note 5) |                |
|------|------|------------------------------|-----------------|----------------|
|      |      |                              | ピッチ             | 直径             |
| 4層   | FR-4 | 114.3 mm x 76.2 mm x 1.6 mmt | 1.20 mm         | $\Phi$ 0.30 mm |

| 1層目（表面）銅箔              |            | 2層目、3層目（内層）銅箔           |            | 4層目（裏面）銅箔               |            |
|------------------------|------------|-------------------------|------------|-------------------------|------------|
| 銅箔パターン                 | 銅箔厚        | 銅箔パターン                  | 銅箔厚        | 銅箔パターン                  | 銅箔厚        |
| 実装ランドパターン<br>+電極引出し用配線 | 70 $\mu$ m | 74.2 mm $\square$ （正方形） | 35 $\mu$ m | 74.2 mm $\square$ （正方形） | 70 $\mu$ m |

(Note 5) 貫通ビア。全層の銅箔と接続する。配置はランドパターンに従う。

## 推奨動作条件

| 項目     | 記号     | 最小  | 標準  | 最大  | 単位 |
|--------|--------|-----|-----|-----|----|
| 動作電源電圧 | AVCC   | 4.5 | 5.0 | 5.5 | V  |
|        | DVDDIO | 3.0 | 3.3 | 3.6 |    |
|        | DVDD   | 1.4 | 1.5 | 1.6 |    |
| 動作温度   | Topr   | -25 | +25 | +85 | °C |

**注意** : 動作電源電圧及び動作温度は、基本動作を行う範囲です。

(基本動作とは、予期しない異音の発生や信号の停止をすることなく、動作することです。)

特性及び定格出力をすべての動作電源電圧もしくは動作温度において保証するものではありません。

## 電気的特性

特に指定のない限り Ta = 25 °C, AVCC = 5.0 V, DVDDIO = 3.3 V, DVDD = 1.5 V, 入力信号周波数 = 1 kHz, 20-kHz AES17 LPF, 差動出力 (XLR) 測定, PCM モード, 24-bit I<sup>2</sup>S 入力, fs = 44.1 kHz, MCLK = 11.2896 MHz, Clock 2 (06h) = 01h, FIR Filter 1 (30h) = 01h, FIR Filter 2 (31h) = 80h, Delta Sigma (40h) = 00h

| 項目                     | 記号                  | 規格値  |      |       | 単位   | 条件   |
|------------------------|---------------------|------|------|-------|------|--|
|                        |                     | 最小   | 標準   | 最大    |      |  |
| Power Supply Current   |                     |      |      |       |      |  |
| AVCC Current           | I <sub>AVCC</sub>   | -    | 30.5 | 45.0  | mA   | AVCC_L + AVCC_R + AVCC<br>-∞ dBFS (PCM, No signal)   |
| DVDDIO Current         | I <sub>DVDDIO</sub> | -    | 10   | 100   | μA   | -∞ dBFS (PCM, No signal)   |
| DVDD Current 1         | I <sub>DVDD1</sub>  | -    | 10   | 20    | mA   | -∞ dBFS (PCM, No signal)   |
| DVDD Current 2         | I <sub>DVDD2</sub>  | -    | 11   | 22    | mA   | 0 dBFS, fs = 44.1 kHz  |
| DVDD Current 3         | I <sub>DVDD3</sub>  | -    | 18   | 36    | mA   | 0 dBFS, fs = 96 kHz, (30h) =<br>02h, (31h) = 01h, (40h) =<br>11h, MCLK = 24.5760 MHz                                 |
| DVDD Current 4         | I <sub>DVDD4</sub>  | -    | 17   | 34    | mA   | 0 dBFS, fs = 192 kHz, (30h) =<br>04h, (31h) = 02h, (40h) =<br>11h, MCLK = 24.5760 MHz                                |
| DVDD Current 5         | I <sub>DVDD5</sub>  | -    | 10   | 20    | mA   | 0 dBFS, fs = 384 kHz, (30h) =<br>08h, (31h) = 00h, (40h) =<br>11h, MCLK = 24.5760 MHz                                |
| DVDD Current 6         | I <sub>DVDD6</sub>  | -    | 21   | 42    | mA   | 0 dBFS, fs = 44.1 kHz, (30h) =<br>01h, (31h) = 00h, (40h) =<br>11h, MCLK = 22.5792 MHz<br>(Max DVDD current setting) |
| PCM AC Characteristics |                     |      |      |       |      |  |
| SNR                    | SNR <sub>P</sub>    | 126  | 130  | -     | dB   | 20-kHz AES17 LPF<br>+ A-weight   |
| THD+N                  | THD <sub>P</sub>    | -    | -115 | -100  | dB   | 20-kHz AES17 LPF,<br>-3 dBFS   |
| Dynamic Range          | DR <sub>P</sub>     | 126  | 130  | -     | dB   | 20-kHz AES17 LPF<br>+ A-weight, -60 dBFS   |
| Channel Gain Mismatch  | GM <sub>P</sub>     | -0.5 | 0    | +0.5  | dB   | 0 dBFS,<br>20-kHz AES17 LPF  |
| Output Center Current  | I <sub>CN_P</sub>   | 4.6  | 5.3  | 6.0   | mA   | -∞ dBFS (No signal),<br>Bias current single output   |
| Peak Output Current    | I <sub>PP_P</sub>   | 8.5  | 9.8  | 11.1  | mApp | 0 dBFS,<br>Current amplitude   |
| Sampling Frequency     | fs                  | 32.0 | 44.1 | 768.0 | kHz  |  |
| Bit Length             | Bit                 | 16   | -    | 32    | Bit  |  |

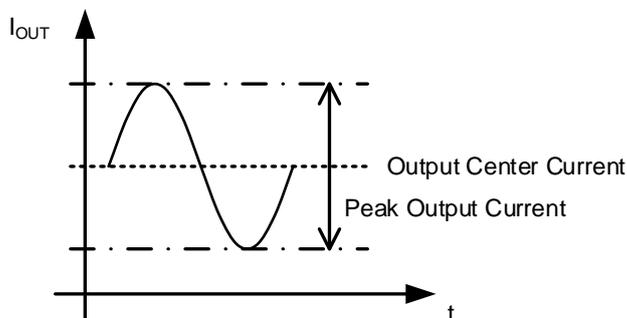


Figure 4. Peak Output Current

## 電気的特性 — 続き

特に指定のない限り Ta = 25 °C, AVCC = 5.0 V, DVDDIO = 3.3 V, DVDD = 1.5 V, 入力信号周波数 = 1 kHz,  
20-kHz AES17 LPF, 差動出力 (XLR) 測定, DSD モード,  $f_{DSD} = 5.6448$  MHz, MCLK = 45.1584 MHz,  
Clock 2 (06h) = 01h, DSD Filter (16h) = 01h

| 項目                     | 記号                | 規格値    |      |         | 単位   | 条件   |
|------------------------|-------------------|--------|------|---------|------|--|
|                        |                   | 最小     | 標準   | 最大      |      |  |
| DSD AC Characteristics |                   |        |      |         |      |  |
| SNR                    | SNR_D             | 115    | 125  | -       | dB   | 20-kHz AES17 LPF<br>+ A-weight <sup>(Note 1)</sup> |
| THD+N                  | THD_D             | -      | -113 | -103    | dB   | 20-kHz AES17LPF,<br>0 dBFS                         |
| Dynamic Range          | DR_D              | 107    | 120  | -       | dB   | 20-kHz AES17LPF<br>+ A-weight, -60 dBFS            |
| Output Center Current  | I <sub>CN_D</sub> | 4.6    | 5.3  | 6.0     | mA   | -∞ dBFS (No signal),<br>Bias current single output |
| Peak Output Current    | I <sub>PP_D</sub> | 4.6    | 5.3  | 6.0     | mApp | 0 dBFS,<br>Current amplitude                       |
| DSD Clock              | $f_{DSD}$         | 2.8224 | -    | 22.5792 | MHz  |  |

(Note 1) DSD データの無音入力パターンはデータ 5Ah を繰り返すものとする。

測定回路図

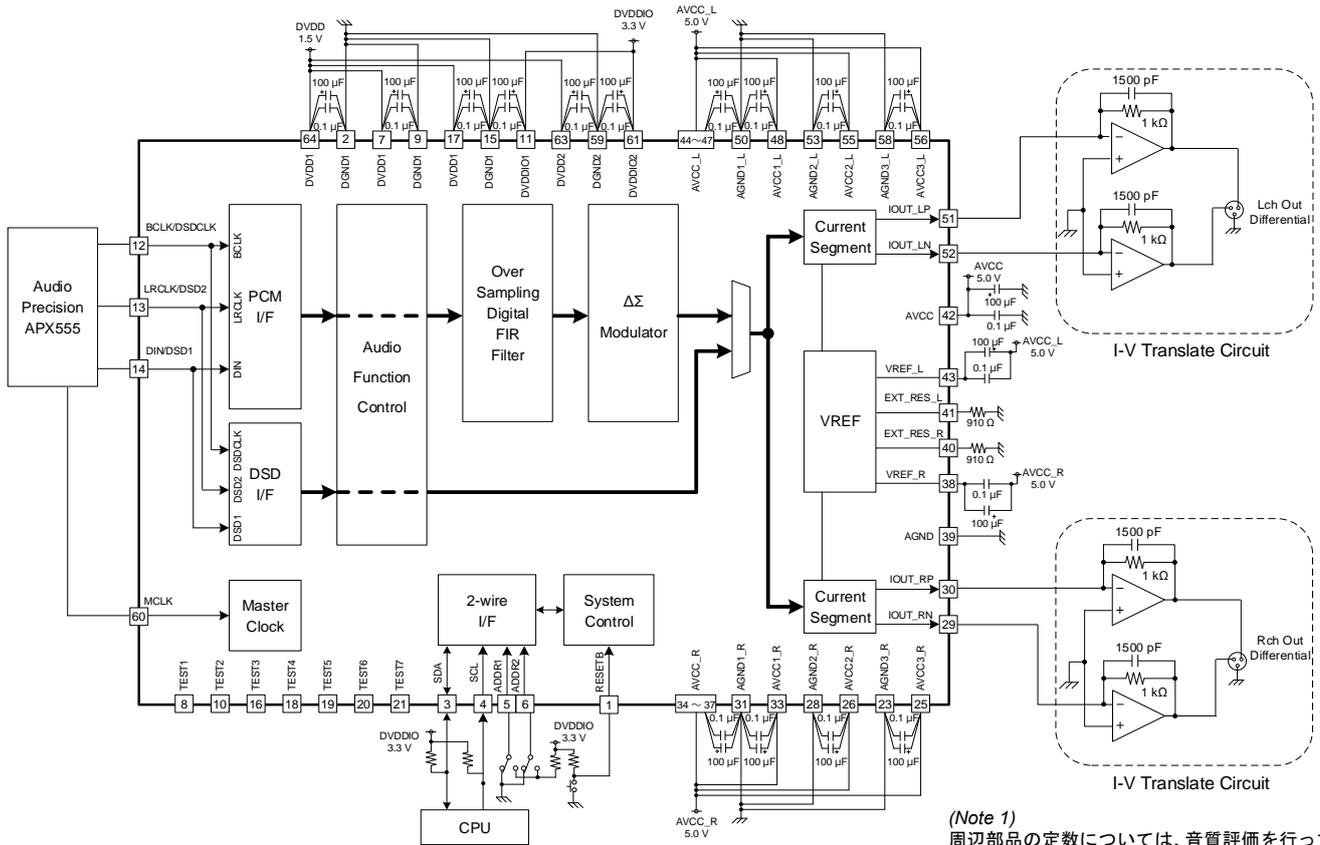


Figure 5. 測定回路図

(Note 1)  
 周辺部品の定数については、音質評価を行っている値を記載しております。定数を変更される場合には、音質への影響が懸念されるため、セットでの音質をご確認のうえ、ご検討をお願いします。

## DC 特性

特に指定のない限り Ta = 25 °C, AVCC = 5.0 V, DVDDIO = 3.3 V, DVDD = 1.5 V

| 項目                       | 記号               | 規格値          |    |              | 単位 | 条件  |
|--------------------------|------------------|--------------|----|--------------|----|---|
|                          |                  | 最小           | 標準 | 最大           |    |   |
| High Level Input Voltage | V <sub>IH</sub>  | 0.8 × DVDDIO | -  | -            | V  | MCLK, DIN/DSD1, LRCLK/DSD2, BCLK/DSDCLK, RESETB, SCL, SDA, ADDR1, ADDR2 pin |
| Low Level Input Voltage  | V <sub>IL</sub>  | -            | -  | 0.2 × DVDDIO | V  |   |
| Input Leakage Current    | I <sub>IN1</sub> | -10          | -  | +10          | μA | MCLK, DIN/DSD1, LRCLK/DSD2, BCLK/DSDCLK, RESETB, SCL, SDA pin               |
|                          | I <sub>IN2</sub> | -500         | -  | +500         | μA | ADDR1, ADDR2 pin  |
| Low Level Output Voltage | V <sub>OL</sub>  | -            | -  | 0.4          | V  | SDA pin, I <sub>o</sub> : 3 mA  |

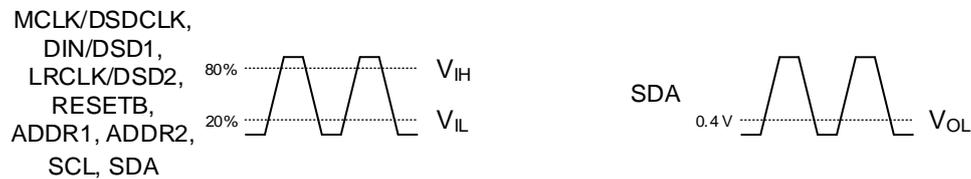


Figure 6. High/Low レベル規定

## AC 特性 (MCLK, RESETB)

特に指定のない限り Ta = 25 °C, AVCC = 5.0 V, DVDDIO = 3.3 V, DVDD = 1.5 V

| 項目                 | 記号                | 規格値    |    |         | 単位  | 条件  |
|--------------------|-------------------|--------|----|---------|-----|---|
|                    |                   | 最小     | 標準 | 最大      |     |   |
| MCLK Frequency     | f <sub>MCLK</sub> | 2.8224 | -  | 49.1520 | MHz |   |
| MCLK "H" Length    | t <sub>MCH</sub>  | 8.1    | -  | -       | ns  |   |
| MCLK "L" Length    | t <sub>MCL</sub>  | 8.1    | -  | -       | ns  |   |
| MCLK Duty          | DUTY <sub>M</sub> | 40     | 50 | 60      | %   | t <sub>MCH</sub> / (t <sub>MCH</sub> + t <sub>MCL</sub> ) |
| RESETB Pulse Width | t <sub>RST</sub>  | 1      | -  | -       | μs  |   |

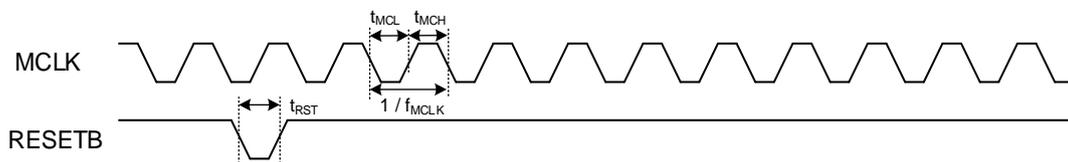


Figure 7. MCLK のタイミング規定

AC 特性 (PCM モード)

特に指定のない限り Ta = 25 °C, AVCC = 5.0 V, DVDDIO = 3.3 V, DVDD = 1.5 V

| 項目               | 記号                | 規格値   |    |        | 単位  | 条件                              |
|------------------|-------------------|-------|----|--------|-----|---------------------------------|
|                  |                   | 最小    | 標準 | 最大     |     |                                 |
| LRCLK Frequency  | $f_{LRC}$         | 32    | -  | 768    | KHz | $f_{LRC} = fs$                  |
| LRCLK Hold Time  | $t_{LRH}$         | 8.1   | -  | -      | ns  |                                 |
| LRCLK Setup Time | $t_{LRSU}$        | 8.1   | -  | -      | ns  |                                 |
| LRCLK Duty       | DUTY <sub>L</sub> | 40    | 50 | 60     | %   |                                 |
| BCLK Frequency   | $f_{BC}$          | 2.048 | -  | 49.152 | MHz | $f_{BC} = 64 f_{LRC}$           |
| BCLK "H" Length  | $t_{BCH}$         | 8.1   | -  | -      | ns  |                                 |
| BCLK "L" Length  | $t_{BCL}$         | 8.1   | -  | -      | ns  |                                 |
| BCLK Duty        | DUTY <sub>B</sub> | 40    | 50 | 60     | %   | $t_{BCH} / (t_{BCH} + t_{BCL})$ |
| DIN Setup Time   | $t_{DINS}$        | 8.1   | -  | -      | ns  |                                 |
| DIN Hold Time    | $t_{DINH}$        | 8.1   | -  | -      | ns  |                                 |

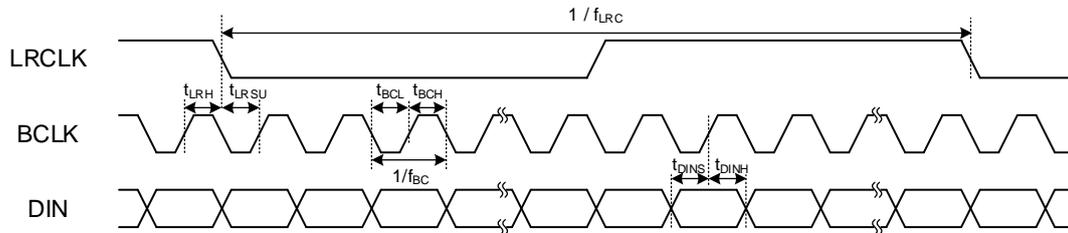


Figure 8. I<sup>2</sup>S のタイミング規定

AC 特性 (DSD モード)

特に指定のない限り Ta = 25 °C, AVCC = 5.0 V, DVDDIO = 3.3 V, DVDD = 1.5 V

| 項目                  | 記号                | 規格値    |    |         | 単位  | 条件                              |
|---------------------|-------------------|--------|----|---------|-----|---------------------------------|
|                     |                   | 最小     | 標準 | 最大      |     |                                 |
| DSDCLK Frequency    | $f_{DSD}$         | 2.8224 | -  | 22.5792 | MHz |                                 |
| DSDCLK Duty         | DUTY <sub>D</sub> | 40     | 50 | 60      | %   | $t_{DCH} / (t_{DCH} + t_{DCL})$ |
| DSDCLK "H" Length   | $t_{DCH}$         | 17.7   | -  | -       | ns  |                                 |
| DSDCLK "L" Length   | $t_{DCL}$         | 17.7   | -  | -       | ns  |                                 |
| DSD Data Setup Time | $t_{DSDS}$        | 17.7   | -  | -       | ns  |                                 |
| DSD Data Hold Time  | $t_{DSDH}$        | 17.7   | -  | -       | ns  |                                 |

DSD1 データは Lch から、DSD2 データは Rch からそれぞれ出力されます。

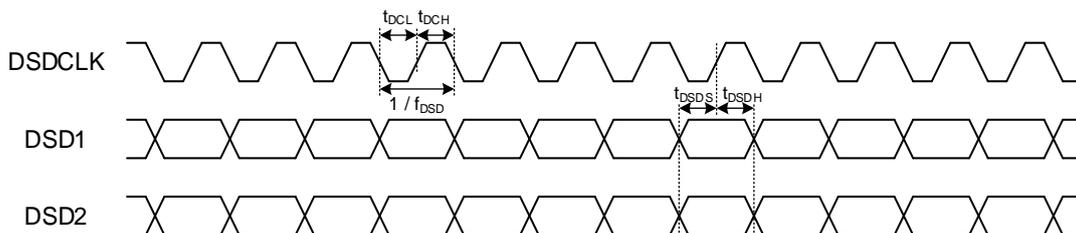


Figure 9. DSD のタイミング規定

## AC 特性 (2-wire I/F)

特に指定のない限り Ta = 25 °C, AVCC = 5.0 V, DVDDIO = 3.3 V, DVDD = 1.5 V

| 項目                          | 記号            | 規格値 |     | 単位      |
|-----------------------------|---------------|-----|-----|---------|
|                             |               | 最小  | 最大  |         |
| SCL クロック周波数                 | $f_{SCL}$     | —   | 400 | kHz     |
| ストップ及びスタートコンディション間のバスのフリー時間 | $t_{BUF}$     | 0.8 | —   | $\mu$ s |
| ホールド時間 (リピート) スタートコンディション   | $t_{HD\_STA}$ | 0.4 | —   | $\mu$ s |
| SCL クロックの LOW 期間            | $t_{LOW}$     | 0.8 | —   | $\mu$ s |
| SCL クロックの HIGH 期間           | $t_{HIGH}$    | 0.4 | —   | $\mu$ s |
| リピータースタートコンディションのセットアップ時間   | $t_{SU\_STA}$ | 0.4 | —   | $\mu$ s |
| データホールド時間                   | $t_{HD\_DAT}$ | 0   | —   | $\mu$ s |
| データセットアップ時間                 | $t_{SU\_DAT}$ | 100 | —   | ns      |
| ストップコンディションのセットアップ時間        | $t_{SU\_STO}$ | 0.4 | —   | $\mu$ s |

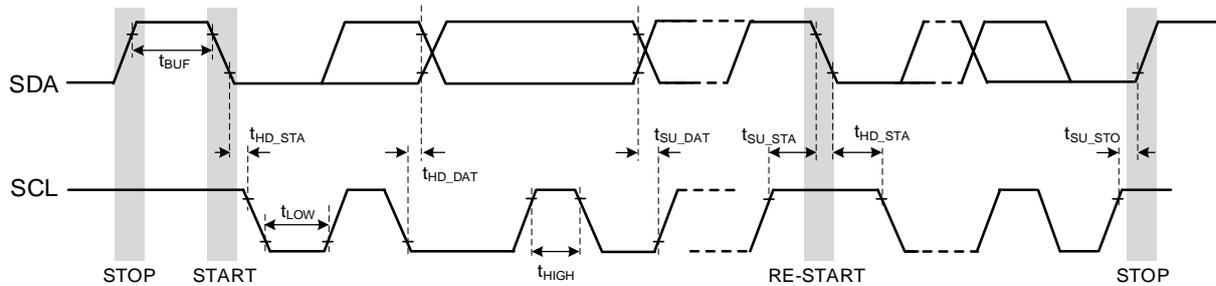


Figure 10. 2-wire I/F のタイミング規定

### 特性データ (参考データ)

特に指定のない限り  $T_a = 25\text{ }^\circ\text{C}$ ,  $AVCC = 5.0\text{ V}$ ,  $DVDDIO = 3.3\text{ V}$ ,  $DVDD = 1.5\text{ V}$ , 入力信号周波数 = 1 kHz,  
20-kHz AES17 LPF, 差動出力 (XLR) 測定, PCM モード, 24-bit I<sup>2</sup>S 入力,  $f_s = 44.1\text{ kHz}$ ,  $MCLK = 11.2896\text{ MHz}$ ,  
Clock 2 (06h) = 01h, FIR Filter 1 (30h) = 01h, FIR Filter 2 (31h) = 80h, Delta Sigma (40h) = 00h

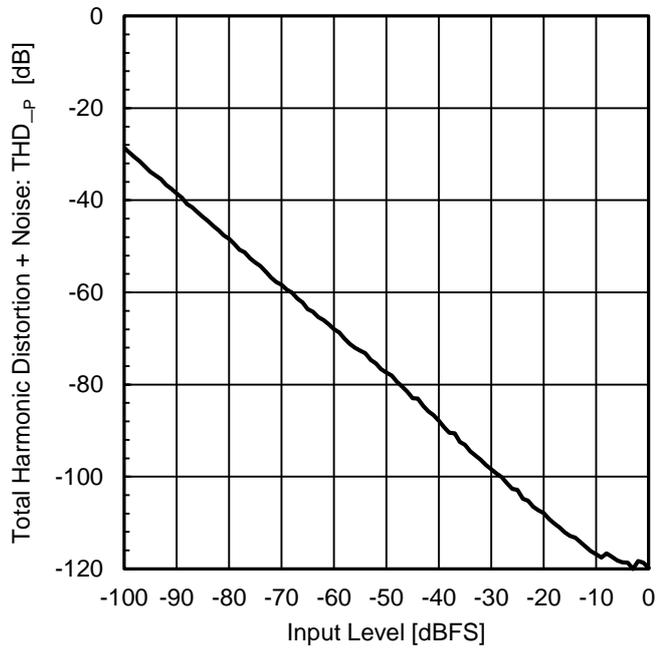


Figure 11. THD+N vs Input Level

(External LPF: AUX-0025 (Audio Precision))

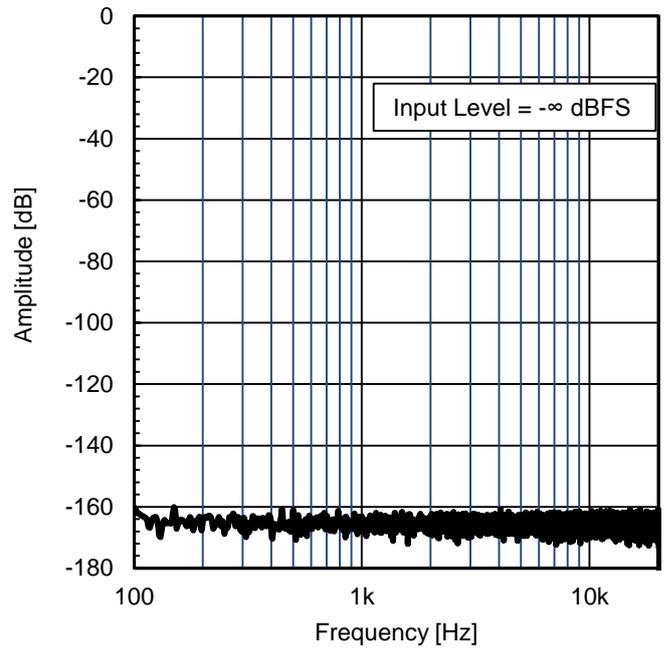


Figure 12. Amplitude vs Frequency

2-wire I/F

フォーマット

デバイスアドレスの他に1バイトのレジスタアドレスを指定して書き込みや読み出しを行います。  
2-wire I/F スレーブモードのフォーマットを以下に示します。

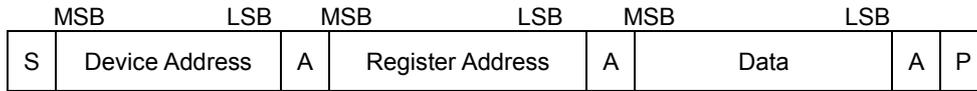


Figure 13. 2-wire I/F 送信フォーマット

- S : スタートコンディション
- Device Address : 8-bitのデバイスアドレス (MSB ファースト)
- A : アクノリッジ 送受信されているデータにはバイト毎にアクノリッジビットが付加され、データの送受信が正しく行われている時は、“L”が送受信されます。“H”が送信された場合は、アクノリッジが無かったこととなります。
- Register Address : 8-bitのレジスタアドレス (MSB ファースト)
- Data : 8-bitの書き込みもしくは読み出しデータ (MSB ファースト)
- P : ストップコンディション

スタート・ストップコンディション

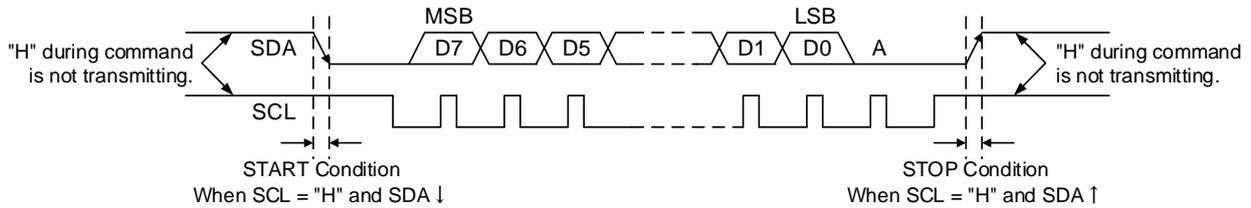


Figure 14. スタートストップ規定

デバイスアドレス

デバイスアドレスのデータフォーマットを以下に示します。  
デバイスアドレスは、ADDR1と ADDR2 ピンの設定により、4つのアドレスを選択することが可能です。  
R/W ビットは、書き込み (R/W = 0) または読み出し (R/W = 1) モードを設定します。

|     |    |    |    |    |       |       |     |
|-----|----|----|----|----|-------|-------|-----|
| MSB |    |    |    |    |       | LSB   |     |
| D7  | D6 | D5 | D4 | D3 | D2    | D1    | D0  |
| 0   | 0  | 1  | 1  | 1  | ADDR2 | ADDR1 | R/W |

Figure 15. デバイスアドレスのフォーマット

デバイスアドレスのピン設定方法を以下に示します。

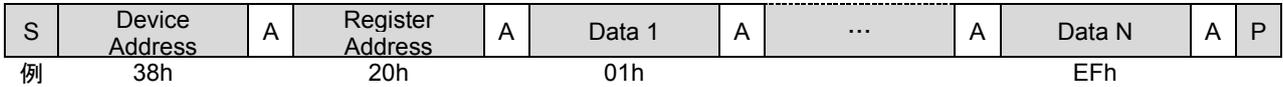
Table 2. デバイスアドレス設定

| Pin Configuration |       | Device Address     |                    |
|-------------------|-------|--------------------|--------------------|
| ADDR2             | ADDR1 | Write-in (R/W = 0) | Read-out (R/W = 1) |
| L                 | L     | 38h                | 39h                |
| L                 | H     | 3Ah                | 3Bh                |
| H                 | L     | 3Ch                | 3Dh                |
| H                 | H     | 3Eh                | 3Fh                |

2-wire I/F — 続き

データ書き込み

書き込み時は、デバイスアドレスとレジスタアドレスを送信後に、書き込みデータを送信します。また、オートインクリメント機能により、連続データ転送が可能です。連続データ転送する場合は、下記の書き込み手順の Step6 ~ Step7 を繰り返すことにより、自動的にアドレスが +1 されます。アドレス FFh に到達した場合、アドレスは増加せず FFh を繰り返します。例では、レジスタアドレス 20h から連続 N 個のレジスタにデータを書き込んでいます。



■ : マスタからスレーブ □ : スレーブからマスタ

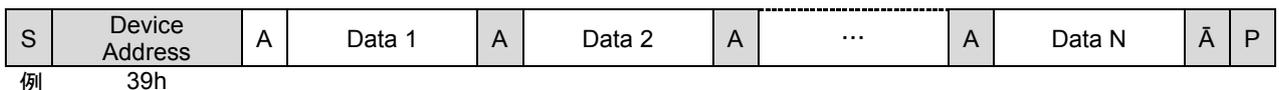
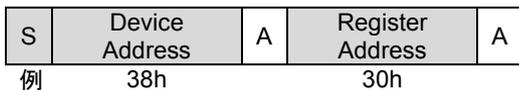
Figure 16. データ書き込みフォーマット

Table 3. 書き込み手順

| Step | Bit | Master           | Slave       | Note                 |
|------|-----|------------------|-------------|----------------------|
| 1    |     | START Condition  |             |                      |
| 2    | 8   | Device Address   |             | 38h, 3Ah, 3Ch or 3Eh |
| 3    | 1   |                  | Acknowledge |                      |
| 4    | 8   | Register Address |             | レジスタアドレス 8-bit       |
| 5    | 1   |                  | Acknowledge |                      |
| 6    | 8   | Write-in Data    |             | 書き込みデータ 8-bit        |
| 7    | 1   |                  | Acknowledge |                      |
| 8    |     | STOP Condition   |             |                      |

データ読み出し

読み出し時は、最初にデバイスアドレスとレジスタアドレスを送信します。その次に再度デバイスアドレスを送信した後、データが読み出されます。受信を終了する時は、アクトリッジを返さないでください。また、オートインクリメント機能により、連続データ転送が可能です。連続データ転送する場合は、下記の書き込み手順の Step9 ~ Step10 を繰り返すことにより、自動的にアドレスが +1 されます。アドレス FFh に到達した場合、アドレスは増加せず FFh を繰り返します。例では、レジスタアドレス 30h から連続 N 個のレジスタにデータを読み出しています。



■ : マスタからスレーブ □ : スレーブからマスタ A : アクトリッジあり Ā : アクトリッジなし

Figure 17. データ読み出しフォーマット

Table 4. 読み出し手順

| Step | Bit | Master           | Slave         | Note                 |
|------|-----|------------------|---------------|----------------------|
| 1    |     | START Condition  |               |                      |
| 2    | 7   | Device Address   |               | 38h, 3Ah, 3Ch or 3Eh |
| 3    | 1   |                  | Acknowledge   |                      |
| 4    | 8   | Register Address |               |                      |
| 5    | 1   |                  | Acknowledge   |                      |
| 6    | 1   | START Condition  |               |                      |
| 7    | 8   | Device Address   |               | 39h, 3Bh, 3Dh or 3Fh |
| 8    | 1   |                  | Acknowledge   |                      |
| 9    | 8   |                  | Read-out Data |                      |
| 10   | 1   | Acknowledge      |               |                      |
| 11   |     | STOP Condition   |               |                      |

## レジスタマップ

0 と 1 を記載している bit は原則、設定変更禁止です。これらを変更した場合、動作保証できません。

| Add<br>ress | Register Name          | R/W | Initial | D7            | D6 | D5 | D4              | D3                | D2            | D1             | D0        |
|-------------|------------------------|-----|---------|---------------|----|----|-----------------|-------------------|---------------|----------------|-----------|
| 00h         | Software Reset         | R/W | 00h     | 0             | 0  | 0  | 0               | 0                 | 0             | 0              | SoftRst_X |
| 01h         | Chip Version           | R   | 01h     | 01h           |    |    |                 |                   |               |                |           |
| 02h         | Digital Power          | R/W | 00h     | 0             | 0  | 0  | 0               | 0                 | 0             | 0              | DigPon    |
| 03h         | Analog Power           | R/W | 00h     | 0             | 0  | 0  | 0               | 0                 | 0             | 0              | AnaPon    |
| 04h         | Clock 1                | R/W | 00h     | 0             | 0  | 0  | 0               | 0                 | 0             | MclkDiv[1:0]   |           |
| 05h         | (Reserved)             | R/W | 00h     | 0             | 0  | 0  | 0               | 0                 | 0             | 0              | 0         |
| 06h         | Clock 2                | R/W | 00h     | 0             | 0  | 0  | 0               | 0                 | 0             | 0              | PhaseAdj  |
| 07h         | (Reserved)             | R/W | 04h     | 0             | 0  | 0  | 0               | 0                 | 1             | 0              | 0         |
| 08h         | (Reserved)             | R/W | 00h     | 0             | 0  | 0  | 0               | 0                 | 0             | 0              | 0         |
| ↓           | (Reserved)             | R/W | 00h     | 0             | 0  | 0  | 0               | 0                 | 0             | 0              | 0         |
| 0Fh         | (Reserved)             | R/W | 00h     | 0             | 0  | 0  | 0               | 0                 | 0             | 0              | 0         |
| 10h         | Audio I/F 1            | R/W | 0Bh     | DsdOn         | 0  | 0  | DsdMute<br>Mode | Fmt[1:0]          |               | WLen[1:0]      |           |
| 11h         | (Reserved)             | R/W | 00h     | 0             | 0  | 0  | 0               | 0                 | 0             | 0              | 0         |
| 12h         | Audio I/F 2            | R/W | 00h     | 0             | 0  | 0  | 0               | 0                 | 0             | MonoSel[1:0]   |           |
| 13h         | Audio I/F 3            | R/W | 00h     | 0             | 0  | 0  | 0               | 0                 | 0             | 0              | LrSwap    |
| 14h         | Audio Output Polarity  | R/W | 00h     | 0             | 0  | 0  | 0               | 0                 | 0             | OutPol2        | OutPol1   |
| 15h         | (Reserved)             | R/W | 00h     | 0             | 0  | 0  | 0               | 0                 | 0             | 0              | 0         |
| 16h         | DSD Filter             | R/W | 02h     | 0             | 0  | 0  | 0               | 0                 | 0             | DsdFilter[1:0] |           |
| 17h         | Audio Input Polarity   | R/W | 00h     | 0             | 0  | 0  | 0               | 0                 | 0             | InPol2         | InPol1    |
| 18h         | (Reserved)             | R/W | 00h     | 0             | 0  | 0  | 0               | 0                 | 0             | 0              | 0         |
| 19h         | (Reserved)             | R/W | 11h     | 0             | 0  | 0  | 1               | 0                 | 0             | 0              | 1         |
| 1Ah         | (Reserved)             | R/W | 00h     | 0             | 0  | 0  | 0               | 0                 | 0             | 0              | 0         |
| ↓           | (Reserved)             | R/W | 00h     | 0             | 0  | 0  | 0               | 0                 | 0             | 0              | 0         |
| 1Fh         | (Reserved)             | R/W | 00h     | 0             | 0  | 0  | 0               | 0                 | 0             | 0              | 0         |
| 20h         | Volume Transition Time | R/W | 48h     | 0             | 1  | 0  | 0               | VolTranTime[3:0]  |               |                |           |
| 21h         | Volume 1               | R/W | 00h     | Vol1[7:0]     |    |    |                 |                   |               |                |           |
| 22h         | Volume 2               | R/W | 00h     | Vol2[7:0]     |    |    |                 |                   |               |                |           |
| 23h         | (Reserved)             | R/W | 00h     | 0             | 0  | 0  | 0               | 0                 | 0             | 0              | 0         |
| ↓           | (Reserved)             | R/W | 00h     | 0             | 0  | 0  | 0               | 0                 | 0             | 0              | 0         |
| 28h         | (Reserved)             | R/W | 00h     | 0             | 0  | 0  | 0               | 0                 | 0             | 0              | 0         |
| 29h         | Mute Transition Time   | R/W | 08h     | 0             | 0  | 0  | 0               | MuteTranTime[3:0] |               |                |           |
| 2Ah         | Mute                   | R/W | 00h     | 0             | 0  | 0  | 0               | 0                 | 0             | Mute2_X        | Mute1_X   |
| 2Bh         | (Reserved)             | R/W | 00h     | 0             | 0  | 0  | 0               | 0                 | 0             | 0              | 0         |
| ↓           | (Reserved)             | R/W | 00h     | 0             | 0  | 0  | 0               | 0                 | 0             | 0              | 0         |
| 2Eh         | (Reserved)             | R/W | 00h     | 0             | 0  | 0  | 0               | 0                 | 0             | 0              | 0         |
| 2Fh         | RAM Clear              | R/W | 00h     | RamClr        | 0  | 0  | 0               | 0                 | 0             | 0              | 0         |
| 30h         | FIR Filter 1           | R/W | 00h     | 0             | 0  | 0  | 0               | FirAlgo[3:0]      |               |                |           |
| 31h         | FIR Filter 2           | R/W | 00h     | HpcMode       | 0  | 0  | 0               | 0                 | FirCoeff[2:0] |                |           |
| 32h         | (Reserved)             | R/W | 00h     | 0             | 0  | 0  | 0               | 0                 | 0             | 0              | 0         |
| 33h         | De-Emphasis 1          | R/W | 00h     | 0             | 0  | 0  | 0               | 0                 | DempFs[1:0]   |                |           |
| 34h         | De-Emphasis 2          | R/W | 00h     | 0             | 0  | 0  | 0               | 0                 | 0             | Demp2          | Demp1     |
| 35h         | (Reserved)             | R/W | 00h     | 0             | 0  | 0  | 0               | 0                 | 0             | 0              | 0         |
| ↓           | (Reserved)             | R/W | 00h     | 0             | 0  | 0  | 0               | 0                 | 0             | 0              | 0         |
| 3Fh         | (Reserved)             | R/W | 00h     | 0             | 0  | 0  | 0               | 0                 | 0             | 0              | 0         |
| 40h         | Delta Sigma            | R/W | 00h     | 0             | 0  | 0  | DsSetting       | 0                 | 0             | DsOsr[1:0]     |           |
| 41h         | Setting 1              | R/W | 00h     | Setting1[7:0] |    |    |                 |                   |               |                |           |
| 42h         | Setting 2              | R/W | 00h     | Setting2[7:0] |    |    |                 |                   |               |                |           |
| 43h         | Setting 3              | R/W | 00h     | Setting3[7:0] |    |    |                 |                   |               |                |           |
| 44h         | (Reserved)             | R/W | 00h     | 0             | 0  | 0  | 0               | 0                 | 0             | 0              | 0         |
| ↓           | (Reserved)             | R/W | 00h     | 0             | 0  | 0  | 0               | 0                 | 0             | 0              | 0         |
| 47h         | (Reserved)             | R/W | 00h     | 0             | 0  | 0  | 0               | 0                 | 0             | 0              | 0         |
| 48h         | Setting 4              | R/W | 00h     | Setting4[7:0] |    |    |                 |                   |               |                |           |
| 49h         | (Reserved)             | R/W | 00h     | 0             | 0  | 0  | 0               | 0                 | 0             | 0              | 0         |
| ↓           | (Reserved)             | R/W | 00h     | 0             | 0  | 0  | 0               | 0                 | 0             | 0              | 0         |
| 5Fh         | (Reserved)             | R/W | 00h     | 0             | 0  | 0  | 0               | 0                 | 0             | 0              | 0         |

## レジスタマップ — 続き

0 と 1 を記載している bit は原則、設定変更禁止です。これらを変更した場合、動作保証できません。

| Address | Register Name | R/W | Initial | D7            | D6 | D5 | D4 | D3 | D2 | D1 | D0 |
|---------|---------------|-----|---------|---------------|----|----|----|----|----|----|----|
| 60h     | Setting 5     | R/W | 00h     | Setting5[7:0] |    |    |    |    |    |    |    |
| 61h     | Setting 6     | R/W | 00h     | Setting6[7:0] |    |    |    |    |    |    |    |
| 62h     | (Reserved)    | R/W | 00h     | 0             | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| ↓       | (Reserved)    | R/W | 00h     | 0             | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 67h     | (Reserved)    | R/W | 00h     | 0             | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 68h     | (Reserved)    | R/W | 12h     | 0             | 0  | 0  | 1  | 0  | 0  | 1  | 0  |
| 69h     | (Reserved)    | R/W | 00h     | 0             | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| ↓       | (Reserved)    | R/W | 00h     | 0             | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| A2h     | (Reserved)    | R/W | 00h     | 0             | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| A3h     | (Reserved)    | R/W | 03h     | 0             | 0  | 0  | 0  | 0  | 0  | 1  | 1  |
| A4h     | (Reserved)    | R/W | 00h     | 0             | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| A5h     | (Reserved)    | R/W | FFh     | 1             | 1  | 1  | 1  | 1  | 1  | 1  | 1  |
| A6h     | (Reserved)    | R/W | FFh     | 1             | 1  | 1  | 1  | 1  | 1  | 1  | 1  |
| A7h     | (Reserved)    | R/W | FFh     | 1             | 1  | 1  | 1  | 1  | 1  | 1  | 1  |
| A8h     | (Reserved)    | R/W | 00h     | 0             | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| ↓       | (Reserved)    | R/W | 00h     | 0             | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| AFh     | (Reserved)    | R/W | 00h     | 0             | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| B0h     | (Reserved)    | R/W | 02h     | 0             | 0  | 0  | 0  | 0  | 0  | 1  | 0  |
| ↓       | (Reserved)    | R/W | 02h     | 0             | 0  | 0  | 0  | 0  | 0  | 1  | 0  |
| B7h     | (Reserved)    | R/W | 02h     | 0             | 0  | 0  | 0  | 0  | 0  | 1  | 0  |
| B8h     | (Reserved)    | R/W | 00h     | 0             | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| ↓       | (Reserved)    | R/W | 00h     | 0             | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| FFh     | (Reserved)    | R/W | 00h     | 0             | 0  | 0  | 0  | 0  | 0  | 0  | 0  |

## レジスタ詳細説明

## 1. Address 00h (Software Reset)

| Address | Register Name  | R/W | Initial | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0        |
|---------|----------------|-----|---------|----|----|----|----|----|----|----|-----------|
| 00h     | Software Reset | R/W | 00h     | 0  | 0  | 0  | 0  | 0  | 0  | 0  | SoftRst_X |

SoftRst\_X: Software Reset Control

- 0 リセット (レジスタは初期化されません) (初期値)
- 1 通常動作

## 2. Address 01h (Chip Version)

| Address | Register Name | R/W | Initial | D7            | D6 | D5 | D4 | D3 | D2 | D1 | D0 |
|---------|---------------|-----|---------|---------------|----|----|----|----|----|----|----|
| 01h     | Chip Version  | R   | 01h     | ChipVer = 01h |    |    |    |    |    |    |    |

ChipVer: Chip Version Register (Read only)

## 3. Address 02h (Digital Power)

| Address | Register Name | R/W | Initial | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0     |
|---------|---------------|-----|---------|----|----|----|----|----|----|----|--------|
| 02h     | Digital Power | R/W | 00h     | 0  | 0  | 0  | 0  | 0  | 0  | 0  | DigPon |

DigPon: Digital Power Control

- 0 パワーオフ、クロック停止 (初期値)
- 1 パワーオン、クロック供給

## 4. Address 03h (Analog Power)

| Address | Register Name | R/W | Initial | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0     |
|---------|---------------|-----|---------|----|----|----|----|----|----|----|--------|
| 03h     | Analog Power  | R/W | 00h     | 0  | 0  | 0  | 0  | 0  | 0  | 0  | AnaPon |

AnaPon: Analog Power Control

- 0 パワーオフ (電流出力オフ) (初期値)
- 1 パワーオン (電流出力オン)

## 5. Address 04h (Clock 1)

| Address | Register Name | R/W | Initial | D7 | D6 | D5 | D4 | D3 | D2 | D1           | D0 |
|---------|---------------|-----|---------|----|----|----|----|----|----|--------------|----|
| 04h     | Clock 1       | R/W | 00h     | 0  | 0  | 0  | 0  | 0  | 0  | MclkDiv[1:0] |    |

MclkDiv[1:0]: MCLK Division Ratio Selection for Internal Clock

- 00 1倍 (初期値)
- 01 2/3倍
- 10 1/2倍
- 11 1/3倍

このレジスタの設定により、使用できない機能があります。使用可能なレジスタの組み合わせについて、詳細は「システムクロック」の項を参照してください。

レジスタ詳細説明 — 続き

6. Address 06h (Clock 2)

| Address | Register Name | R/W | Initial | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0       |
|---------|---------------|-----|---------|----|----|----|----|----|----|----|----------|
| 06h     | Clock 2       | R/W | 00h     | 0  | 0  | 0  | 0  | 0  | 0  | 0  | PhaseAdj |

PhaseAdj: Phase Adjustment Control for Internal Clock

- 0 位相調整なし (初期値) 音質が向上する場合があります。
- 1 位相調整あり オーディオ特性が向上する場合があります。

(DSD モード)

位相調整ありに設定する場合、MCLK の周波数は DSDCLK の 2 倍にする必要があります。  
MCLK の周波数設定については、「システムクロック」の項を参照してください。

7. Address 10h (Audio I/F 1)

| Address | Register Name | R/W | Initial | D7    | D6 | D5 | D4           | D3       | D2 | D1        | D0 |
|---------|---------------|-----|---------|-------|----|----|--------------|----------|----|-----------|----|
| 10h     | Audio I/F 1   | R/W | 0Bh     | DsdOn | 0  | 0  | DsdMute Mode | Fmt[1:0] |    | WLen[1:0] |    |

DsdOn: DSD Mode Selection

- 0 PCM モード (初期値)
- 1 DSD モード

DsdMuteMode: DSD Mute Enable (For DSD mod)

- 0 DSD ミュート機能有効 (初期値) ミュート (Mute (2Ah[1:0])) のオン/オフ設定に従います。
- 1 DSD ミュート機能無効 ミュート (Mute (2Ah[1:0])) をオンにしてもミュートされません。

Fmt[1:0]: Audio Data Input Format (For PCM mode)

- 00 Right Justified
- 01 Left Justified
- 10 I<sup>2</sup>S (初期値)
- 11 設定禁止

WLen[1:0]: Audio Data Input Bit Length (For PCM mode)

- 00 16-bit
- 01 20-bit
- 10 24-bit
- 11 32-bit (初期値)

Right Justified

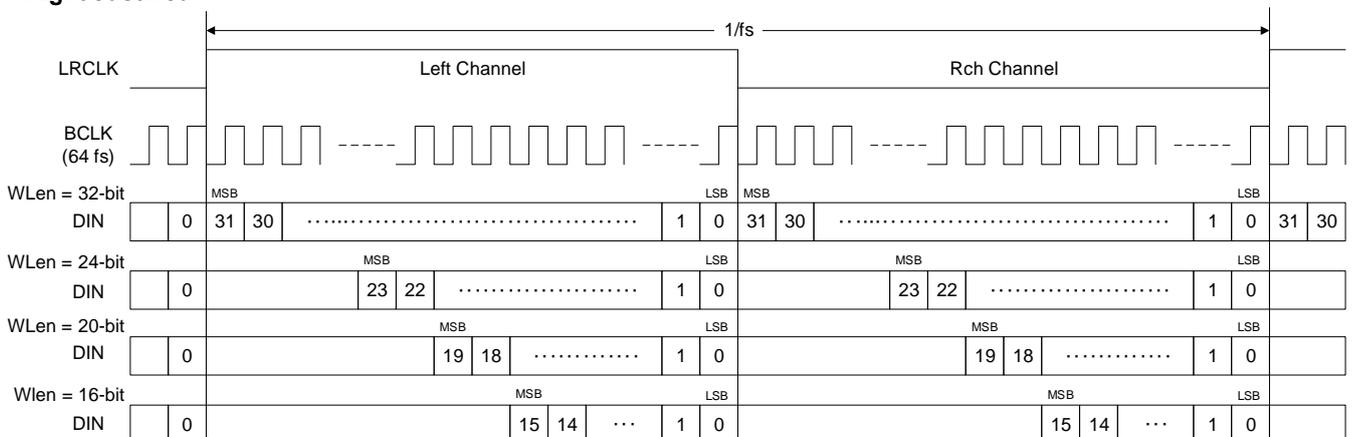


Figure 18. Audio Data Input Format: Right Justified

Address 10h (Audio I/F 1) — 続き

Left Justified

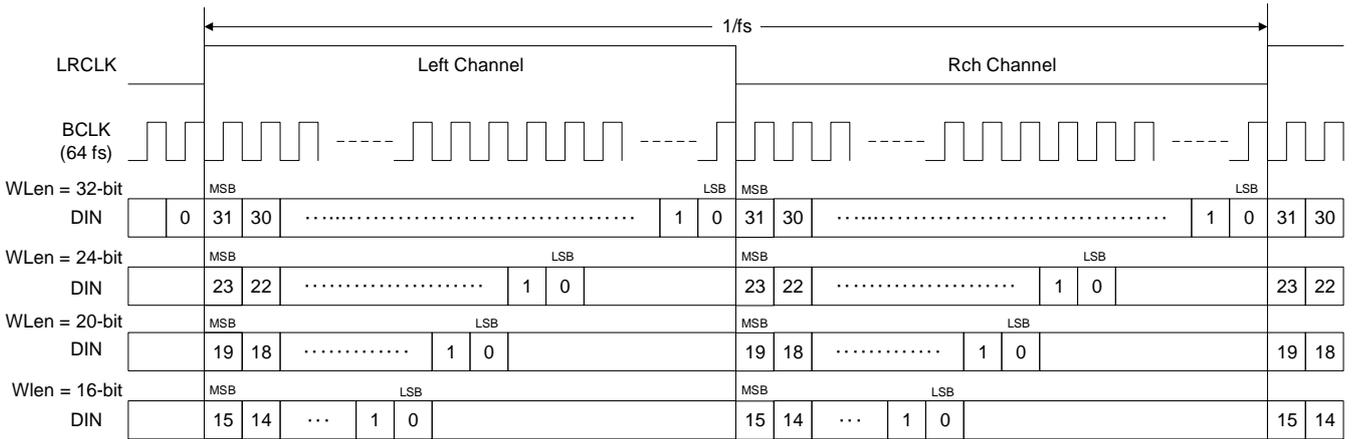


Figure 19. Audio Data Input Format: Left Justified

I<sup>2</sup>S

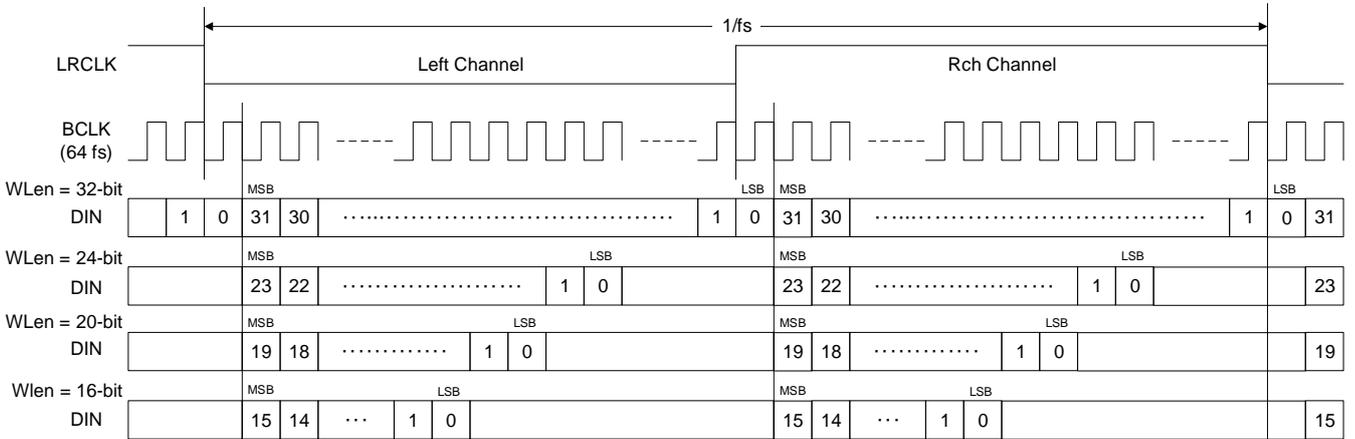


Figure 20. Audio Data Input Format: I<sup>2</sup>S

8. Address 12h (Audio I/F 2)

| Address | Register Name | R/W | Initial | D7 | D6 | D5 | D4 | D3 | D2 | D1           | D0 |
|---------|---------------|-----|---------|----|----|----|----|----|----|--------------|----|
| 12h     | Audio I/F 2   | R/W | 00h     | 0  | 0  | 0  | 0  | 0  | 0  | MonoSel[1:0] |    |

MonoSel[1:0]: Monaural Mode Selection *(Note 1)*

Table 5. PCM モード時のステレオ/モノラルモード設定

| MonoSel[1:0] | モード       | Lch 出力              | Rch 出力 |
|--------------|-----------|---------------------|--------|
| 00           | ステレオモード   | Lch 入力              | Rch 入力 |
| 01           | ミキシングモード  | (Lch 入力 + Rch 入力)/2 |        |
| 10           | モノモード Lch | Lch 入力              |        |
| 11           | モノモード Rch | Rch 入力              |        |

(初期値)

Table 6. DSD モード時のステレオ/モノラルモード設定

| MonoSel[1:0] | モード       | Lch 出力 | Rch 出力 |
|--------------|-----------|--------|--------|
| 00           | ステレオモード   | Lch 入力 | Rch 入力 |
| 01           | ステレオモード   | Lch 入力 | Rch 入力 |
| 10           | モノモード Lch | Lch 入力 |        |
| 11           | モノモード Rch | Rch 入力 |        |

(初期値)

(Note 1) この機能はブロック図中の Audio Function Control に搭載されています。

## レジスタ詳細説明 — 続き

## 9. Address 13h (Audio I/F 3)

| Address | Register Name | R/W | Initial | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0     |
|---------|---------------|-----|---------|----|----|----|----|----|----|----|--------|
| 13h     | Audio I/F 3   | R/W | 00h     | 0  | 0  | 0  | 0  | 0  | 0  | 0  | LrSwap |

LrSwap: Audio Data Swap Control<sup>(Note 1)</sup>

Table 7. LR スワップ設定

| LrSwap | Lch 出力 | Rch 出力 |
|--------|--------|--------|
| 0      | Lch 入力 | Rch 入力 |
| 1      | Rch 入力 | Lch 入力 |

(初期値)

## 10. Address 14h (Audio Output Polarity)

| Address | Register Name         | R/W | Initial | D7 | D6 | D5 | D4 | D3 | D2 | D1      | D0      |
|---------|-----------------------|-----|---------|----|----|----|----|----|----|---------|---------|
| 14h     | Audio Output Polarity | R/W | 00h     | 0  | 0  | 0  | 0  | 0  | 0  | OutPol2 | OutPol1 |

OutPol1: Polarity Inversion Control for Lch<sup>(Note 2)</sup>

- 0 位相反転なし (初期値)
- 1 位相反転あり

OutPol2 Polarity Inversion Control for Rch<sup>(Note 2)</sup>

- 0 位相反転なし (初期値)
- 1 位相反転あり

## 11. Address 16h (DSD Filter)

| Address | Register Name | R/W | Initial | D7 | D6 | D5 | D4 | D3 | D2 | D1             | D0 |
|---------|---------------|-----|---------|----|----|----|----|----|----|----------------|----|
| 16h     | DSD Filter    | R/W | 00h     | 0  | 0  | 0  | 0  | 0  | 0  | DsdFilter[1:0] |    |

DsdFilter[1:0]: DSD Filter Selection. (For DSD mode)

Table 8. DSD フィルタのカットオフ周波数

| DsdFilter [1:0] | Cut Off Frequency |             |              |              |
|-----------------|-------------------|-------------|--------------|--------------|
|                 | DSD 2.8 MHz       | DSD 5.6 MHz | DSD 11.2 MHz | DSD 22.4 MHz |
| 00              | 13 kHz            | 26 kHz      | 52 kHz       | 104 kHz      |
| 01              | 26 kHz            | 52 kHz      | 104 kHz      | 208 kHz      |
| 10              | 52 kHz            | 104 kHz     | 208 kHz      | 416 kHz      |
| 11              | Prohibition       |             |              |              |

(初期値)

<sup>(Note 1)</sup> この機能はブロック図中の Audio Function Control に搭載されています。<sup>(Note 2)</sup> この機能はブロック図中の  $\Delta\Sigma$  Modulator に搭載されています。

## レジスタ詳細説明 — 続き

## 12. Address 17h (Audio Input Polarity)

| Address | Register Name        | R/W | Initial | D7 | D6 | D5 | D4 | D3 | D2 | D1     | D0     |
|---------|----------------------|-----|---------|----|----|----|----|----|----|--------|--------|
| 17h     | Audio Input Polarity | R/W | 00h     | 0  | 0  | 0  | 0  | 0  | 0  | InPol2 | InPol1 |

InPol1: Polarity Inversion Control for Lch<sup>(Note 1)</sup>

- 0 位相反転なし (初期値)
- 1 位相反転あり

InPol2: Polarity Inversion Control for Rch<sup>(Note 1)</sup>

- 0 位相反転なし (初期値)
- 1 位相反転あり

## 13. Address 20h (Volume Transition Time)

| Address | Register Name          | R/W | Initial | D7 | D6 | D5 | D4 | D3               | D2 | D1 | D0 |
|---------|------------------------|-----|---------|----|----|----|----|------------------|----|----|----|
| 20h     | Volume Transition Time | R/W | 48h     | 0  | 1  | 0  | 0  | VolTranTime[3:0] |    |    |    |

VolTranTime[3:0]: Volume Transition Time Selection (For PCM mode)

下記の表に 0 dB から  $-\infty$  dB に切り替えたときのボリュームの遷移時間を示します。  
 ボリュームの遷移時間は切り替えるゲインの差によって異なります。

例えば 0 dB から -6 dB に切り替えたときのボリュームの遷移時間は下記の表の半分の時間になります。

Table 9. ボリューム遷移時間

| VolTran Time[3:0] | Transition Time | Transition Time (ms) |          |        |        |         |         |         | (初期値) |
|-------------------|-----------------|----------------------|----------|--------|--------|---------|---------|---------|-------|
|                   |                 | 32 kHz               | 44.1 kHz | 48 kHz | 96 kHz | 192 kHz | 384 kHz | 768 kHz |       |
| 0h                | 0               | 0                    |          |        |        |         |         |         |       |
| 1h - 7h           | Prohibition     | Prohibition          |          |        |        |         |         |         |       |
| 8h                | 1024/fs         | 32.0                 | 23.2     | 21.3   | 10.7   | 5.33    | 2.67    | 1.33    |       |
| 9h                | 2048/fs         | 64.0                 | 46.4     | 42.7   | 21.3   | 10.7    | 5.33    | 2.67    |       |
| Ah                | 4096/fs         | 128                  | 92.9     | 85.3   | 42.7   | 21.3    | 10.7    | 5.33    |       |
| Bh                | 8192/fs         | 256                  | 186      | 171    | 85.3   | 42.7    | 21.3    | 10.7    |       |
| Ch                | 16384/fs        | 512                  | 372      | 341    | 171    | 85.3    | 42.7    | 21.3    |       |
| Dh                | 32768/fs        | 1024                 | 743      | 683    | 341    | 171     | 85.3    | 42.7    |       |
| Eh                | 65536/fs        | 2048                 | 1486     | 1365   | 683    | 341     | 171     | 85.3    |       |

(Note 1) この機能はブロック図中の Audio Function Control に搭載されています。

レジスタ詳細説明 — 続き

14. Address 21h, 22h (Volume 1, Volume 2)

| Address | Register Name | R/W | Initial | D7        | D6 | D5 | D4 | D3 | D2 | D1 | D0 |
|---------|---------------|-----|---------|-----------|----|----|----|----|----|----|----|
| 21h     | Volume 1      | R/W | 00h     | Vol1[7:0] |    |    |    |    |    |    |    |
| 22h     | Volume 2      | R/W | 00h     | Vol2[7:0] |    |    |    |    |    |    |    |

Vol1[7:0]: Digital Volume (Attenuation Level) Setting for Lch. (For PCM mode)  
 0 dB (初期値 00h) ~ -110.0 dB (DCh), -∞ dB (FFh)  
 0.5 dB ステップ  
 モノモード時は、Lch / Rch とともに Vol1[7:0] のボリューム設定を使用します。

Vol2[7:0]: Digital Volume (Attenuation Level) Setting for Rch. (For PCM mode)  
 0 dB (初期値 00h) ~ -110.0 dB (DCh), -∞ dB (FFh)  
 0.5 dB ステップ  
 モノモード時は、Vol2[7:0] のボリューム設定は使用しません。

Table 10. デジタルボリューム (減衰レベル) 設定

| Setting | Gain[dB]    |
|---------|----------|---------|----------|---------|----------|---------|----------|---------|----------|---------|-------------|
| 00h     | 0.0      | 20h     | -16.0    | 40h     | -32.0    | 60h     | -48.0    | 80h     | -64.0    | A0h     | -80.0       |
| 01h     | -0.5     | 21h     | -16.5    | 41h     | -32.5    | 61h     | -48.5    | 81h     | -64.5    | A1h     | -80.5       |
| 02h     | -1.0     | 22h     | -17.0    | 42h     | -33.0    | 62h     | -49.0    | 82h     | -65.0    | A2h     | -81.0       |
| 03h     | -1.5     | 23h     | -17.5    | 43h     | -33.5    | 63h     | -49.5    | 83h     | -65.5    | A3h     | -81.5       |
| 04h     | -2.0     | 24h     | -18.0    | 44h     | -34.0    | 64h     | -50.0    | 84h     | -66.0    | A4h     | -82.0       |
| 05h     | -2.5     | 25h     | -18.5    | 45h     | -34.5    | 65h     | -50.5    | 85h     | -66.5    | A5h     | -82.5       |
| 06h     | -3.0     | 26h     | -19.0    | 46h     | -35.0    | 66h     | -51.0    | 86h     | -67.0    | A6h     | -83.0       |
| 07h     | -3.5     | 27h     | -19.5    | 47h     | -35.5    | 67h     | -51.5    | 87h     | -67.5    | A7h     | -83.5       |
| 08h     | -4.0     | 28h     | -20.0    | 48h     | -36.0    | 68h     | -52.0    | 88h     | -68.0    | A8h     | -84.0       |
| 09h     | -4.5     | 29h     | -20.5    | 49h     | -36.5    | 69h     | -52.5    | 89h     | -68.5    | A9h     | -84.5       |
| 0Ah     | -5.0     | 2Ah     | -21.0    | 4Ah     | -37.0    | 6Ah     | -53.0    | 8Ah     | -69.0    | AAh     | -85.0       |
| 0Bh     | -5.5     | 2Bh     | -21.5    | 4Bh     | -37.5    | 6Bh     | -53.5    | 8Bh     | -69.5    | ABh     | -85.5       |
| 0Ch     | -6.0     | 2Ch     | -22.0    | 4Ch     | -38.0    | 6Ch     | -54.0    | 8Ch     | -70.0    | ACH     | -86.0       |
| 0Dh     | -6.5     | 2Dh     | -22.5    | 4Dh     | -38.5    | 6Dh     | -54.5    | 8Dh     | -70.5    | ADh     | -86.5       |
| 0Eh     | -7.0     | 2Eh     | -23.0    | 4Eh     | -39.0    | 6Eh     | -55.0    | 8Eh     | -71.0    | A Eh    | -87.0       |
| 0Fh     | -7.5     | 2Fh     | -23.5    | 4Fh     | -39.5    | 6Fh     | -55.5    | 8Fh     | -71.5    | AFh     | -87.5       |
| 10h     | -8.0     | 30h     | -24.0    | 50h     | -40.0    | 70h     | -56.0    | 90h     | -72.0    | B0h     | -88.0       |
| 11h     | -8.5     | 31h     | -24.5    | 51h     | -40.5    | 71h     | -56.5    | 91h     | -72.5    | B1h     | -88.5       |
| 12h     | -9.0     | 32h     | -25.0    | 52h     | -41.0    | 72h     | -57.0    | 92h     | -73.0    | B2h     | -89.0       |
| 13h     | -9.5     | 33h     | -25.5    | 53h     | -41.5    | 73h     | -57.5    | 93h     | -73.5    | B3h     | -89.5       |
| 14h     | -10.0    | 34h     | -26.0    | 54h     | -42.0    | 74h     | -58.0    | 94h     | -74.0    | B4h     | -90.0       |
| 15h     | -10.5    | 35h     | -26.5    | 55h     | -42.5    | 75h     | -58.5    | 95h     | -74.5    | B5h     | -90.5       |
| 16h     | -11.0    | 36h     | -27.0    | 56h     | -43.0    | 76h     | -59.0    | 96h     | -75.0    | B6h     | -91.0       |
| 17h     | -11.5    | 37h     | -27.5    | 57h     | -43.5    | 77h     | -59.5    | 97h     | -75.5    | B7h     | -91.5       |
| 18h     | -12.0    | 38h     | -28.0    | 58h     | -44.0    | 78h     | -60.0    | 98h     | -76.0    | B8h     | -92.0       |
| 19h     | -12.5    | 39h     | -28.5    | 59h     | -44.5    | 79h     | -60.5    | 99h     | -76.5    | B9h     | -92.5       |
| 1Ah     | -13.0    | 3Ah     | -29.0    | 5Ah     | -45.0    | 7Ah     | -61.0    | 9Ah     | -77.0    | BAh     | -93.0       |
| 1Bh     | -13.5    | 3Bh     | -29.5    | 5Bh     | -45.5    | 7Bh     | -61.5    | 9Bh     | -77.5    | BBh     | -93.5       |
| 1Ch     | -14.0    | 3Ch     | -30.0    | 5Ch     | -46.0    | 7Ch     | -62.0    | 9Ch     | -78.0    | BCh     | -94.0       |
| 1Dh     | -14.5    | 3Dh     | -30.5    | 5Dh     | -46.5    | 7Dh     | -62.5    | 9Dh     | -78.5    | BDh     | -94.5       |
| 1Eh     | -15.0    | 3Eh     | -31.0    | 5Eh     | -47.0    | 7Eh     | -63.0    | 9Eh     | -79.0    | BEh     | -95.0       |
| 1Fh     | -15.5    | 3Fh     | -31.5    | 5Fh     | -47.5    | 7Fh     | -63.5    | 9Fh     | -79.5    | BFh     | -95.5       |
|         |          |         |          |         |          |         |          |         |          | DDh     | prohibition |
|         |          |         |          |         |          |         |          |         |          | ↓       | prohibition |
|         |          |         |          |         |          |         |          |         |          | FEh     | prohibition |
|         |          |         |          |         |          |         |          |         |          | FFh     | -∞          |

ボリューム切り替え例 (fs = 44.1 kHz)

VolTranTime (20h[3:0]) = 8h (1024/fs), Vol1 (21h[7:0]) = -∞ dB (FFh), 0 dB (00h) の場合

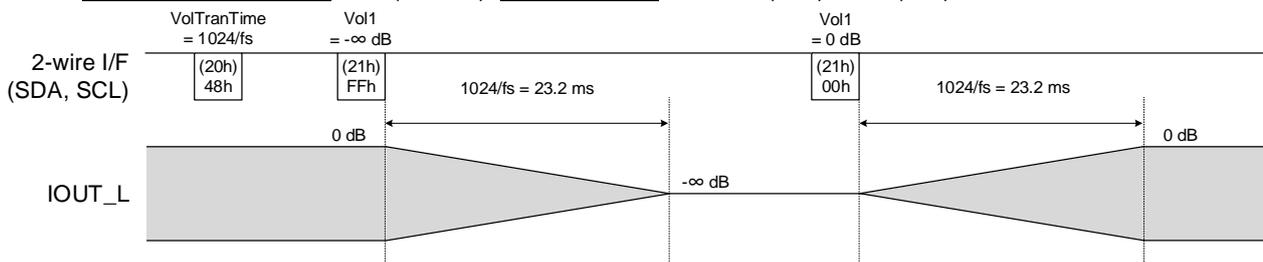


Figure 21. ボリューム切り替え例

## レジスタ詳細説明 — 続き

## 15. Address 29h (Mute Transition Time)

| Address | Register Name        | R/W | Initial | D7 | D6 | D5 | D4 | D3                | D2 | D1 | D0 |
|---------|----------------------|-----|---------|----|----|----|----|-------------------|----|----|----|
| 29h     | Mute Transition Time | R/W | 48h     | 0  | 0  | 0  | 0  | MuteTranTime[3:0] |    |    |    |

MuteTranTime[3:0]: Mute Transition Time Selection (For PCM mode)

下記の表に 0 dB から  $-\infty$  dB までミュートするときの遷移時間を示します。  
設定時間が短いとポップ音が発生する場合がありますので、十分にご評価したうえで設定値を決めてください。

Table 11. PCM モード時のミュート遷移時間

| MuteTran Time[3:0] | Transition Time | Transition Time (ms) |          |        |        |         |         |         |
|--------------------|-----------------|----------------------|----------|--------|--------|---------|---------|---------|
|                    |                 | 32 kHz               | 44.1 kHz | 48 kHz | 96 kHz | 192 kHz | 384 kHz | 768 kHz |
| 0h                 | 0               | 0                    |          |        |        |         |         |         |
| 1h - 7h            | Prohibition     | Prohibition          |          |        |        |         |         |         |
| 8h                 | 1024/fs         | 32                   | 23.2     | 21.3   | 10.7   | 5.33    | 2.67    | 1.33    |
| 9h                 | 2048/fs         | 64                   | 46.4     | 42.7   | 21.3   | 10.7    | 5.33    | 2.67    |
| Ah                 | 4096/fs         | 128                  | 92.9     | 85.3   | 42.7   | 21.3    | 10.7    | 5.33    |
| Bh                 | 8192/fs         | 256                  | 186      | 171    | 85.3   | 42.7    | 21.3    | 10.7    |
| Ch                 | 16384/fs        | 512                  | 372      | 341    | 171    | 85.3    | 42.7    | 21.3    |
| Dh                 | 32768/fs        | 1024                 | 743      | 683    | 341    | 171     | 85.3    | 42.7    |
| Eh                 | 65536/fs        | 2048                 | 1486     | 1365   | 683    | 341     | 171     | 85.3    |

(初期値)

Table 12. DSD モード時のミュート遷移時間

| MuteTran Time[3:0] | Transition Time (ms) |            |             |             |
|--------------------|----------------------|------------|-------------|-------------|
|                    | 2.8224 MHz           | 5.6448 MHz | 11.2896 MHz | 22.5792 MHz |
| 0h                 | 0                    |            |             |             |
| 1h - 7h            | Prohibition          |            |             |             |
| 8h                 | 17.41                | 8.71       | 4.35        | 2.18        |
| 9h                 | 34.83                | 17.41      | 8.71        | 4.35        |
| Ah                 | 69.66                | 34.83      | 17.41       | 8.71        |
| Bh                 | 139.32               | 69.66      | 34.83       | 17.41       |
| Ch                 | 278.64               | 139.32     | 69.66       | 34.83       |
| Dh                 | 557.28               | 278.64     | 139.32      | 69.66       |
| Eh                 | 1114.56              | 557.28     | 278.64      | 139.32      |
| Fh                 | 2229.12              | 1114.56    | 557.28      | 278.64      |

(初期値)

## レジスタ詳細説明 — 続き

## 16. Address 2Ah (Mute)

| Address | Register Name | R/W | Initial | D7 | D6 | D5 | D4 | D3 | D2 | D1      | D0      |
|---------|---------------|-----|---------|----|----|----|----|----|----|---------|---------|
| 2Ah     | Mute          | R/W | 00h     | 0  | 0  | 0  | 0  | 0  | 0  | Mute2_X | Mute1_X |

Mute1\_X: Digital Mute Control for Lch

- 0 ミュートオン (初期値)
- 1 ミュートオフ

Mute2\_X: Digital Mute Control for Rch

- 0 ミュートオン (初期値)
- 1 ミュートオフ

ミュート切り替え例 (fs = 44.1 kHz)

MuteTranTime (29h[3:0]) = 8h (1024/fs), Mute (2Ah[1:0]) = On (3h), Off (0h) の場合

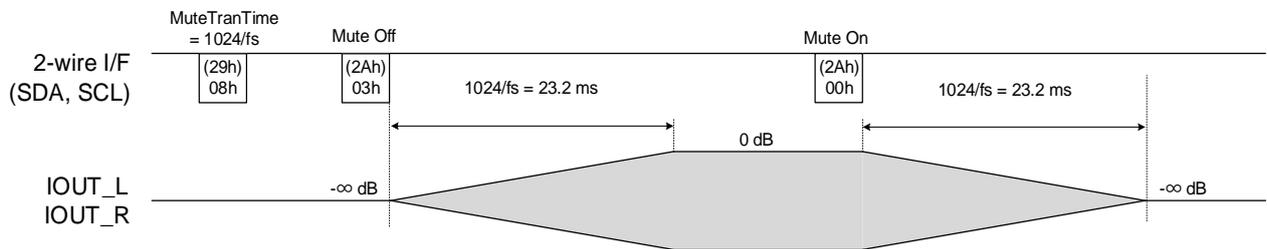


Figure 22. ミュートのオン/オフ例

## 17. Address 2Fh (RAM Clear)

| Address | Register Name | R/W | Initial | D7     | D6 | D5 | D4 | D3 | D2 | D1 | D0 |
|---------|---------------|-----|---------|--------|----|----|----|----|----|----|----|
| 2Fh     | RAM Clear     | R/W | 00h     | RamClr | 0  | 0  | 0  | 0  | 0  | 0  | 0  |

RamClr: RAM Clear and Initialization Control (For PCM mode)

- 0 RAM クリアオフ (初期値)
- 1 RAM クリアオン

クロックやフィルタの設定を変更する場合、必ず RAM クリアのオンとオフを行ってください。  
詳細は、「モード切り替えシーケンス」の項を参照してください。

## レジスタ詳細説明 — 続き

## 18. Address 30h, 31h (FIR Filter 1, FIR Filter 2)

| Address | Register Name | R/W | Initial | D7      | D6 | D5 | D4 | D3           | D2           | D1 | D0 |
|---------|---------------|-----|---------|---------|----|----|----|--------------|--------------|----|----|
| 30h     | FIR Filter 1  | R/W | 00h     | 0       | 0  | 0  | 0  | FirAlgo[3:0] |              |    |    |
| 31h     | FIR Filter 2  | R/W | 00h     | HpcMode | 0  | 0  | 0  | 0            | FirCoef[2:0] |    |    |

FirAlgo[3:0]: FIR Calculation Algorithm Selection (For PCM mode)

FirCoef[2:0]: FIR Coefficient Selection (For PCM mode)

下記の表に従い、FIR フィルタの設定をしてください。  
各フィルタの周波数特性は「[FIR フィルタの周波数特性](#)」の項を参照してください。

フィルタの設定を変更する場合は、必ずモード切り替えシーケンスを実行してください。  
モード切り替えシーケンスの RAM クリア時に、フィルタの設定が反映されます。  
詳細は、「[モード切り替えシーケンス](#)」の項を参照してください。

Table 13. FIR フィルタの設定方法

| FirAlgo[3:0] | FirCoef[2:0] | fs                             | フィルタ設定            | (初期値) |
|--------------|--------------|--------------------------------|-------------------|-------|
| 0h           | 0h           | -                              | FIR 停止 (-∞ dB 出力) |       |
| 1h           | 0h           | 32 kHz,<br>44.1 kHz,<br>48 kHz | シャープロールオフ         |       |
|              | 3h           |                                | スローロールオフ          |       |
| 2h           | 1h           | 88.2 kHz,<br>96 kHz            | シャープロールオフ         |       |
|              | 4h           |                                | スローロールオフ          |       |
| 4h           | 2h           | 176.4 kHz,<br>192 kHz          | シャープロールオフ         |       |
|              | 5h           |                                | スローロールオフ          |       |
| 8h           | 0h           | 362.8 kHz,<br>384 kHz          | FIR バイパス          |       |
|              |              | 705.6 kHz,<br>768 kHz          |                   |       |
| Others       |              | Prohibition                    |                   |       |

HpcMode: High Precision Calculation Mode Control (For PCM mode)

- 0 高精度演算オン (初期値)
- 1 高精度演算オフ

この設定により、音質やオーディオ特性の調整を行うことができます。  
高精度演算をオンした場合、演算量の増加に伴い、DVDD 動作電流も増加することに注意してください。  
また、fs = 705.6 kHz / 768 kHz の場合、または MCLK の分周比設定が  $MclkDiv(04h[1:0]) = 10$  or  $11$  の場合には、この機能は使用できないためオフに設定してください。設定可能なレジスタ設定について、詳細は「[システムクロック](#)」の項を参照してください。

Address 30h, 31h (FIR Filter 1, FIR Filter 2) — 続き

FIR フィルタの周波数特性

シャープロールオフ・フィルタ

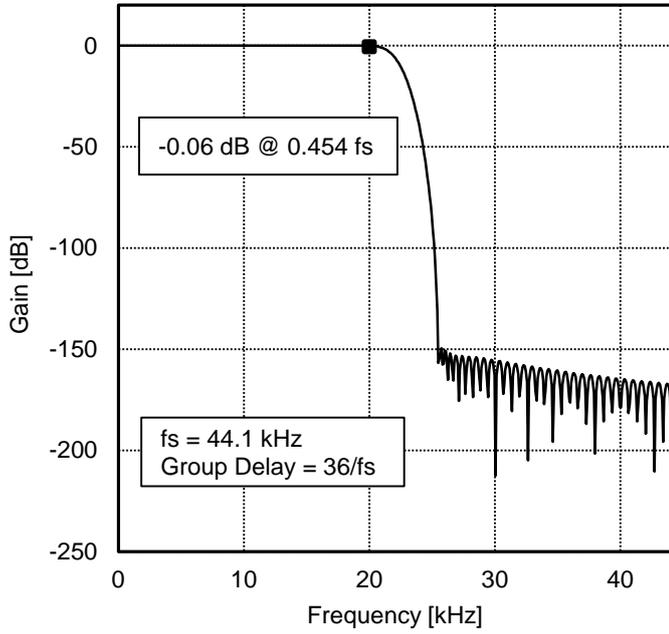


Figure 23. Gain vs Frequency

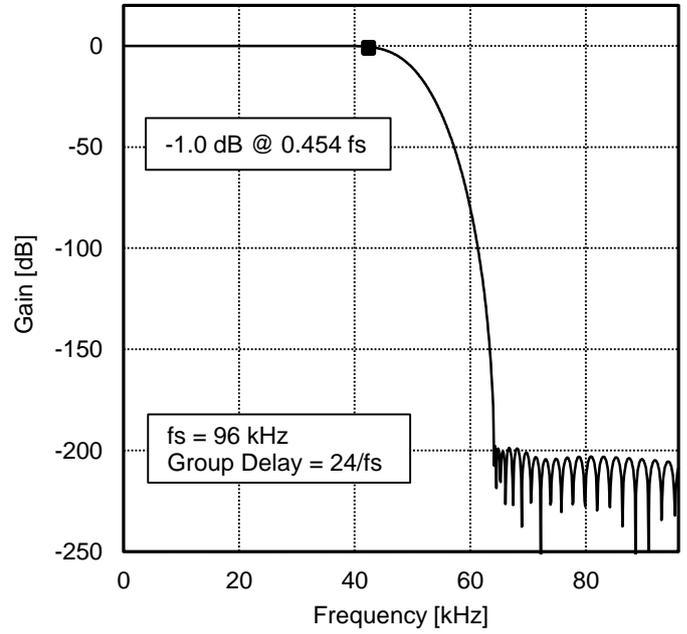


Figure 24. Gain vs Frequency

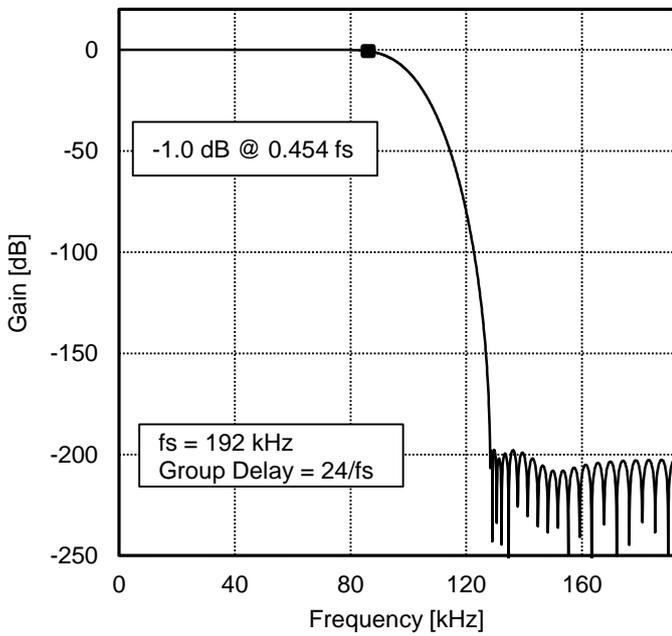


Figure 25. Gain vs Frequency

Address 30h, 31h (FIR Filter 1, FIR Filter 2) — 続き

FIR フィルタの周波数特性

スローロールオフ・フィルタ

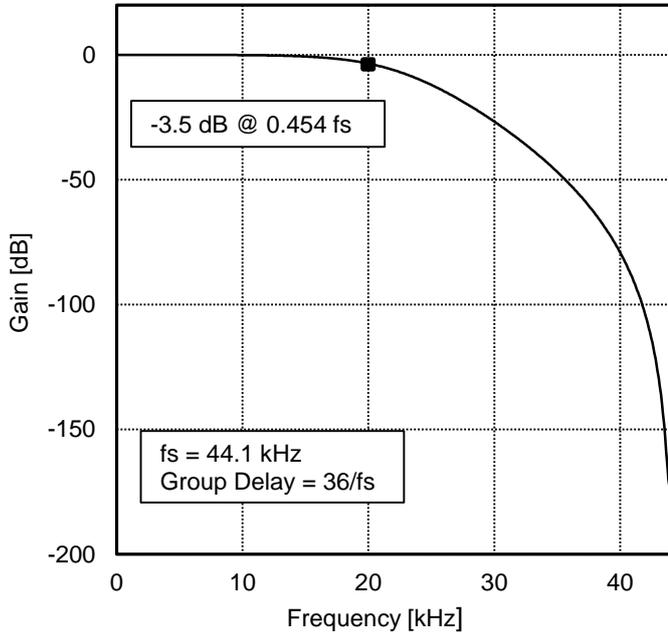


Figure 26. Gain vs Frequency

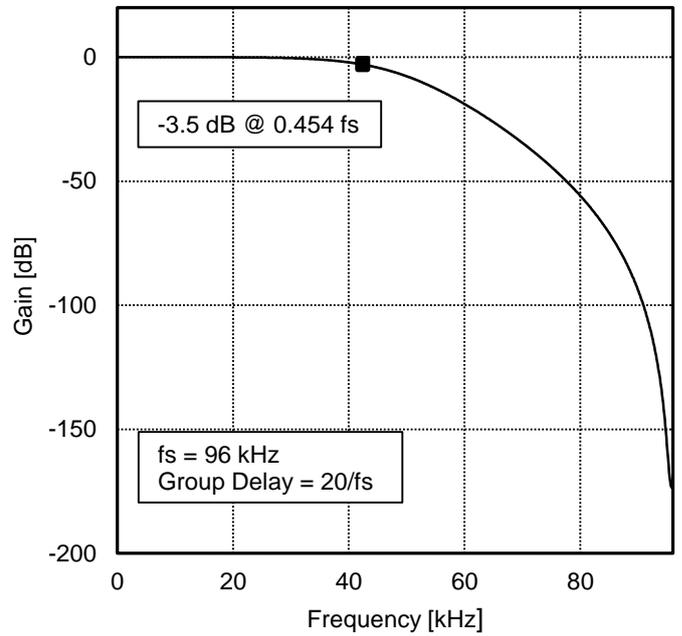


Figure 27. Gain vs Frequency

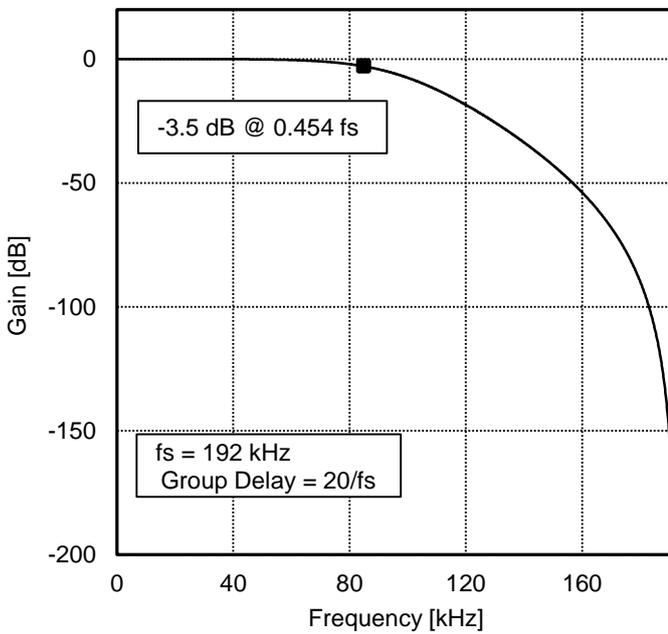


Figure 28. Gain vs Frequency

## レジスタ詳細説明 — 続き

## 19. Address 33h, 34h (De-Emphasis 1, De-Emphasis 2)

| Address | Register Name | R/W | Initial | D7 | D6 | D5 | D4 | D3 | D2 | D1          | D0    |
|---------|---------------|-----|---------|----|----|----|----|----|----|-------------|-------|
| 33h     | De-Emphasis 1 | R/W | 00h     | 0  | 0  | 0  | 0  | 0  | 0  | DempFs[1:0] |       |
| 34h     | De-Emphasis 2 | R/W | 00h     | 0  | 0  | 0  | 0  | 0  | 0  | Demp2       | Demp1 |

DempFs[1:0]: Sampling Frequency Selection for De-Emphasis (For PCM mode)

Demp1 / Demp2 レジスタが De-Emphasis 機能オンの時に有効になります。

00 スルー設定 (De-Emphasis 機能は無効) (初期値)

01 fs = 32 kHz

10 fs = 44.1 kHz

11 fs = 48 kHz

フィルタの周波数特性は、「De-Emphasis フィルタの周波数特性」の項を参照してください。

Demp1: De-Emphasis Control for Lch (For PCM mode)

0 De-Emphasis 機能オフ (初期値)

1 De-Emphasis 機能オン

Demp2: De-Emphasis Control for Rch (For PCM mode)

0 De-Emphasis 機能オフ (初期値)

1 De-Emphasis 機能オン

Address 33h, 34h (De-Emphasis 1, De-Emphasis 2) — 続き

De-Emphasis フィルタの周波数特性

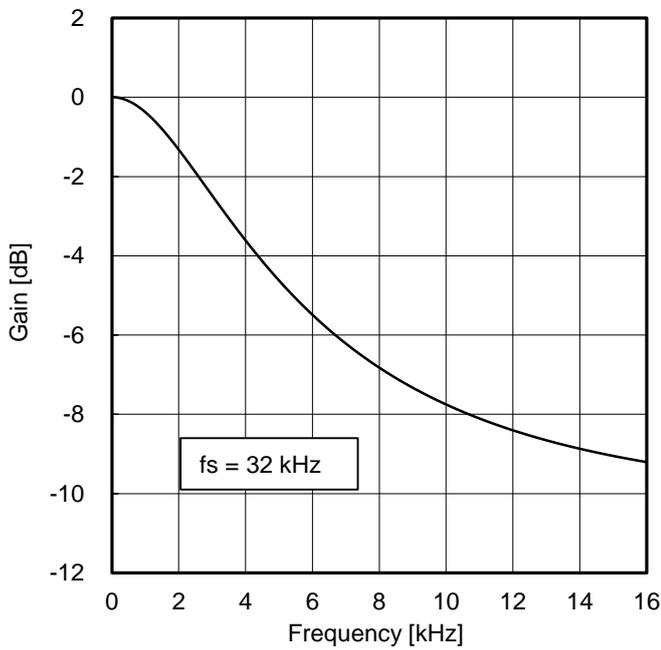


Figure 29. Gain vs Frequency

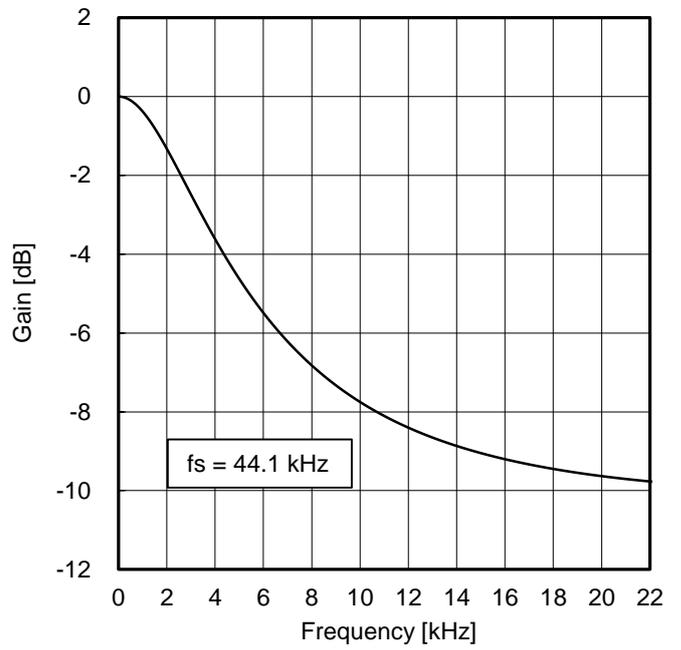


Figure 30. Gain vs Frequency

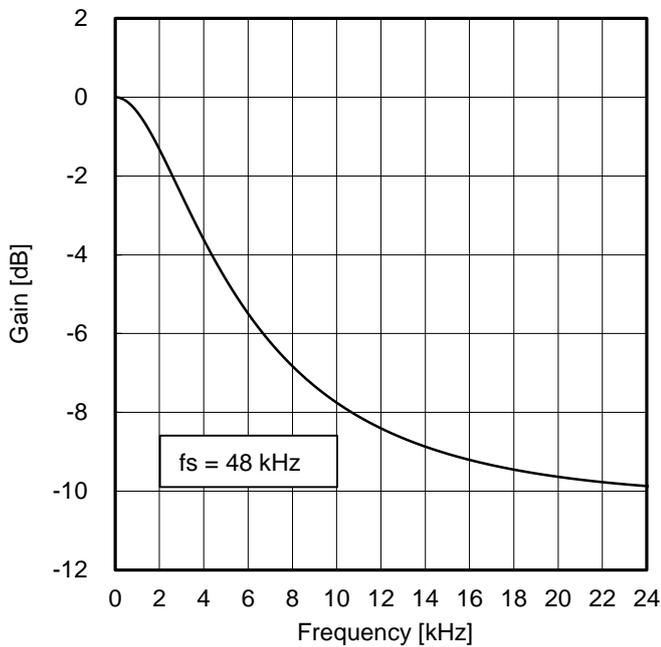


Figure 31. Gain vs Frequency

## レジスタ詳細説明 — 続き

## 20. Address 40h (Delta Sigma)

| Address | Register Name | R/W | Initial | D7 | D6 | D5 | D4        | D3 | D2 | D1         | D0 |
|---------|---------------|-----|---------|----|----|----|-----------|----|----|------------|----|
| 40h     | Delta Sigma   | R/W | 00h     | 0  | 0  | 0  | DsSetting | 0  | 0  | DsOsr[1:0] |    |

DsSetting:  $\Delta\Sigma$  Modulator Setting

DsOsr[1:0]: Over Sampling Rate Selection for  $\Delta\Sigma$  Modulator

(PCM モード)

$\Delta\Sigma$  変調のオーバーサンプリングレートを変更することができます。この設定により音質やオーディオ特性を調整することができます。

このレジスタは MCLK の分周比設定 に合わせて設定を変更する必要があります。レジスタ設定の組み合わせについての詳細は「システムクロック」の項を参照してください。

Table 14.  $\Delta\Sigma$  変調オーバーサンプリング設定

| DsSetting | DsOsr[1:0] | オーバーサンプリングレート | (初期値) |
|-----------|------------|---------------|-------|
| 0         | 00         | × 8           |       |
|           | 01         | × 16          |       |
|           | 10         | × 32          |       |
|           | 11         | Prohibition   |       |
| 1         | 00         | × 16          |       |
|           | 01         | × 32          |       |
|           | 10         | Prohibition   |       |
|           | 11         | Prohibition   |       |

(DSD モード)

$\Delta\Sigma$  変調のオーバーサンプリングレートは変更できません。

DsSetting = 0, DsOsr[1:0] = 10 に設定してください。

## 21. Address 41h, 42h, 43h, 48h (Setting 1, Setting 2, Setting 3, Setting 4)

| Address | Register Name | R/W | Initial | D7            | D6 | D5 | D4 | D3 | D2 | D1 | D0 |
|---------|---------------|-----|---------|---------------|----|----|----|----|----|----|----|
| 41h     | Setting 1     | R/W | 00h     | Setting1[7:0] |    |    |    |    |    |    |    |
| 42h     | Setting 2     | R/W | 00h     | Setting2[7:0] |    |    |    |    |    |    |    |
| 43h     | Setting 3     | R/W | 00h     | Setting3[7:0] |    |    |    |    |    |    |    |
| 48h     | Setting 4     | R/W | 00h     | Setting4[7:0] |    |    |    |    |    |    |    |

Setting1[7:0] 00h を設定してください。

Setting2[7:0] 34h を設定してください。

Setting3[7:0] B8h を設定してください。

Setting4[7:0] 0Dh を設定してください。

これらのレジスタは、電源立ち上げシーケンスで設定してください。

詳細は、「電源立ち上げシーケンス」の項を参照してください。

## レジスタ詳細説明 — 続き

## 22. Address 60h, 61h (Setting 5, Setting 6)

| Address | Register Name | R/W | Initial | D7            | D6 | D5 | D4 | D3 | D2 | D1 | D0 |
|---------|---------------|-----|---------|---------------|----|----|----|----|----|----|----|
| 60h     | Setting 5     | R/W | 00h     | Setting5[7:0] |    |    |    |    |    |    |    |
| 61h     | Setting 6     | R/W | 00h     | Setting6[7:0] |    |    |    |    |    |    |    |

Setting5[7:0] PCMモード時は16hを設定してください。  
DSDモード時は9Ehを設定してください。

Setting6[7:0] PCMモード時は16hを設定してください。  
DSDモード時は1Ehを設定してください。

23. Address D0h, D3h (Boot 1, Boot2)<sup>(Note 3)</sup>

| Address | Register Name | R/W | Initial | D7         | D6 | D5 | D4 | D3 | D2 | D1 | D0 |
|---------|---------------|-----|---------|------------|----|----|----|----|----|----|----|
| D0h     | Boot 1        | R/W | 00h     | Boot1[7:0] |    |    |    |    |    |    |    |
| D3h     | Boot 2        | R/W | 00h     | Boot2[7:0] |    |    |    |    |    |    |    |

(Note 3) 本レジスタは電源立ち上げ時のみ使うアドレスのため、レジスタマップには記載していません。

Boot1[7:0] 電源立ち上げシーケンスにおいて、ポップ音防止のために使用します。

Boot2[7:0] 電源立ち上げシーケンスにおいて、ポップ音防止のために使用します。

電源立ち上げシーケンスにおいて、必ず以下の順に従って設定してください。

1. Boot1[7:0] (D0h) = 6Ah
2. Boot2[7:0] (D3h) = 10h
3. Boot2[7:0] (D3h) = 00h
4. Boot1[7:0] (D0h) = 00h

詳細は、「電源立ち上げシーケンス」の項を参照してください。

## システムクロック

PCMモード、DSDモードでのシステムクロックの設定について説明します。

システムクロックを切り替える場合は、必ずモード切り替えシーケンスを実行してください。詳細は、「モード切り替えシーケンス」の項を参照してください。また、各fsにおけるレジスタの推奨設定については、「推奨設定」の項を参照してください。

(PCMモード)

PCMモードに必要なシステムクロックは、MCLK, BCLK, LRCLKです。システムクロックは同期させる必要がありますが、位相を合わせる必要はありません。MCLKには22.5792 MHz または 24.5760 MHz のクロックを入力してください。fs = 32 kHz / 44.1 kHz / 48 kHz の時には、MCLKの分周比レジスタを  $MclkDiv(04h[1:0]) = 10$  (1/2倍) or 11 (1/3倍) に設定して、内部クロックの周波数を下げることによって、DVDD動作電流を抑えることができます。この場合、演算処理量が減少するため高精度演算機能 ( $HpcMode(31h[7])$ ) は使用できません。また、MCLK分周比に応じて $\Delta\Sigma$ 変調のオーバーサンプリングレート設定 ( $DsSetting(40h[4])$ ,  $DsOsr(40h[1:0])$ ) を変更する必要があります。下記の表にシステムクロックの周波数設定と設定可能なレジスタの組み合わせを示します。

Table 15. PCMモード時のシステムクロック周波数設定

| LRCLK<br>(kHz) | BCLK<br>(MHz)      | MCLK<br>(MHz) |                    | MclkDiv<br>(04h[1:0]) |      | HpcMode<br>(31h[7]) |       | DsSetting<br>(40h[4]) | DsOsr<br>(40h[1:0]) |     |
|----------------|--------------------|---------------|--------------------|-----------------------|------|---------------------|-------|-----------------------|---------------------|-----|
|                |                    |               |                    | 01                    | 2/3倍 | 0/1                 | オン/オフ |                       | 00                  | ×16 |
| 32             | 2.0480             | 768 fs        | 24.5760            | 01                    | 2/3倍 | 0/1                 | オン/オフ | 1                     | 00                  | ×16 |
|                |                    |               |                    | 01                    | ×32  |                     |       |                       |                     |     |
|                |                    |               |                    | 11                    | 1/3倍 | 1                   | オフ    | 0                     | 00                  | ×8  |
|                |                    |               |                    | 01                    | ×16  |                     |       |                       |                     |     |
| 10             | ×32                |               |                    |                       |      |                     |       |                       |                     |     |
| 44.1<br>48     | 2.8224<br>3.0720   | 512 fs        | 22.5792<br>24.5760 | 00                    | 1倍   | 0/1                 | オン/オフ | 1                     | 00                  | ×16 |
|                |                    |               |                    | 01                    | ×32  |                     |       |                       |                     |     |
|                |                    |               |                    | 10                    | 1/2倍 | 1                   | オフ    | 0                     | 00                  | ×8  |
|                |                    |               |                    | 01                    | ×16  |                     |       |                       |                     |     |
| 10             | ×32                |               |                    |                       |      |                     |       |                       |                     |     |
| 88.2<br>96     | 5.6448<br>6.1440   | 256 fs        | 22.5792<br>24.5760 | 00                    | 1倍   | 0/1                 | オン/オフ | 1                     | 00                  | ×16 |
|                |                    |               |                    | 01                    | ×32  |                     |       |                       |                     |     |
| 176.4<br>192   | 11.2896<br>12.2880 | 128 fs        | 22.5792<br>24.5760 | 00                    | 1倍   | 0/1                 | オン/オフ | 1                     | 00                  | ×16 |
|                |                    |               |                    | 01                    | ×32  |                     |       |                       |                     |     |
| 352.8<br>384   | 22.5792<br>24.5760 | 64 fs         | 22.5792<br>24.5760 | 00                    | 1倍   | 1                   | オフ    | 1                     | 00                  | ×16 |
|                |                    |               |                    | 01                    | ×32  |                     |       |                       |                     |     |
| 705.6<br>768   | 45.1584<br>49.1520 | 32 fs         | 22.5792<br>24.5760 | 00                    | 1倍   | 1                   | オフ    | 0                     | 00                  | ×8  |
|                |                    |               |                    | 01                    | ×16  |                     |       |                       |                     |     |

(DSDモード)

DSDモードに必要なシステムクロックは、MCLK, DSDCLKです。システムクロックは同期させる必要がありますが、位相を合わせる必要はありません。MCLKにはDSDCLKと同じ、もしくは2倍のクロックを入力してください。内部クロックの位相調整機能を使用する ( $PhaseAdj(06h[0]) = 1$ ) 場合には、2倍のクロックを入力する必要があります。下記の表にシステムクロックの周波数設定を示します。

Table 16. DSDモード時のシステムクロック周波数設定

| DSDCLK<br>(MHz) | MCLK<br>(MHz)    |         |
|-----------------|------------------|---------|
|                 | PhaseAdj(06h[0]) |         |
|                 | 0                | 1       |
| 2.8224          | 2.8224           | 5.6448  |
| 5.6448          | 5.6448           | 11.2896 |
| 11.2896         | 11.2896          | 22.5792 |
| 22.5792         | 22.5792          | 45.1584 |

## 電源立ち上げシーケンス

電源立ち上げシーケンスでは、DVDDIO, DVDD, AVCC の順に電源を立ち上げます。電源が立ち上がった後、MCLK を入力、リセット (RESETB) を解除し、2-wire I/F でレジスタ設定を行います。電源立ち上げ時は、すべてのレジスタについて初期設定を行う必要があります。下記のレジスタ設定及びタイミングチャートに従い、電源立ち上げシーケンスを実行してください。シーケンスに従わない場合、動作保証できません。

Table 17. 電源立ち上げシーケンス時のレジスタ設定

| Step | Operations          | Register Address | Register Settings      |
|------|---------------------|------------------|------------------------|
| 1    | Initial Setting     | 04h              | Clock 1                |
|      |                     | 06h              | Clock 2                |
|      |                     | 10h              | Audio I/F 1            |
|      |                     | 12h              | Audio I/F 2            |
|      |                     | 13h              | Audio I/F 3            |
|      |                     | 14h              | Audio Output Polarity  |
|      |                     | 16h              | DSD Filter             |
|      |                     | 17h              | Audio Input Polarity   |
|      |                     | 20h              | Volume Transition Time |
|      |                     | 21h              | Volume 1               |
|      |                     | 22h              | Volume 2               |
|      |                     | 29h              | Mute Transition Time   |
|      |                     | 30h              | FIR Filter 1           |
|      |                     | 31h              | FIR Filter 2           |
|      |                     | 33h              | De-Emphasis 1          |
|      |                     | 34h              | De-Emphasis 2          |
|      |                     | 40h              | Delta Sigma            |
|      |                     | 41h              | = 00h                  |
|      |                     | 42h              | = 34h                  |
|      |                     | 43h              | = B8h                  |
| 48h  | = 0Dh               |                  |                        |
| 60h  | Setting 5           |                  |                        |
| 61h  | Setting 6           |                  |                        |
| 2    | Software Reset Off  | 00h              | = 01h                  |
| 3    | Digital Power On    | 02h              | = 01h                  |
| 4    | Pop Nose Prevention | D0h              | = 6Ah                  |
|      |                     | D3h              | = 10h                  |
|      |                     | D3h              | = 00h                  |
|      |                     | D0h              | = 00h                  |
| 5    | Analog Power On     | 03h              | = 01h                  |
| 6    | RAM Clear On        | 2Fh              | = 80h                  |
| 7    | RAM Clear Off       | 2Fh              | = 00h                  |
| 8    | Mute Off            | 2Ah              | = 03h                  |

電源立ち上げシーケンス — 続き

タイミングチャート

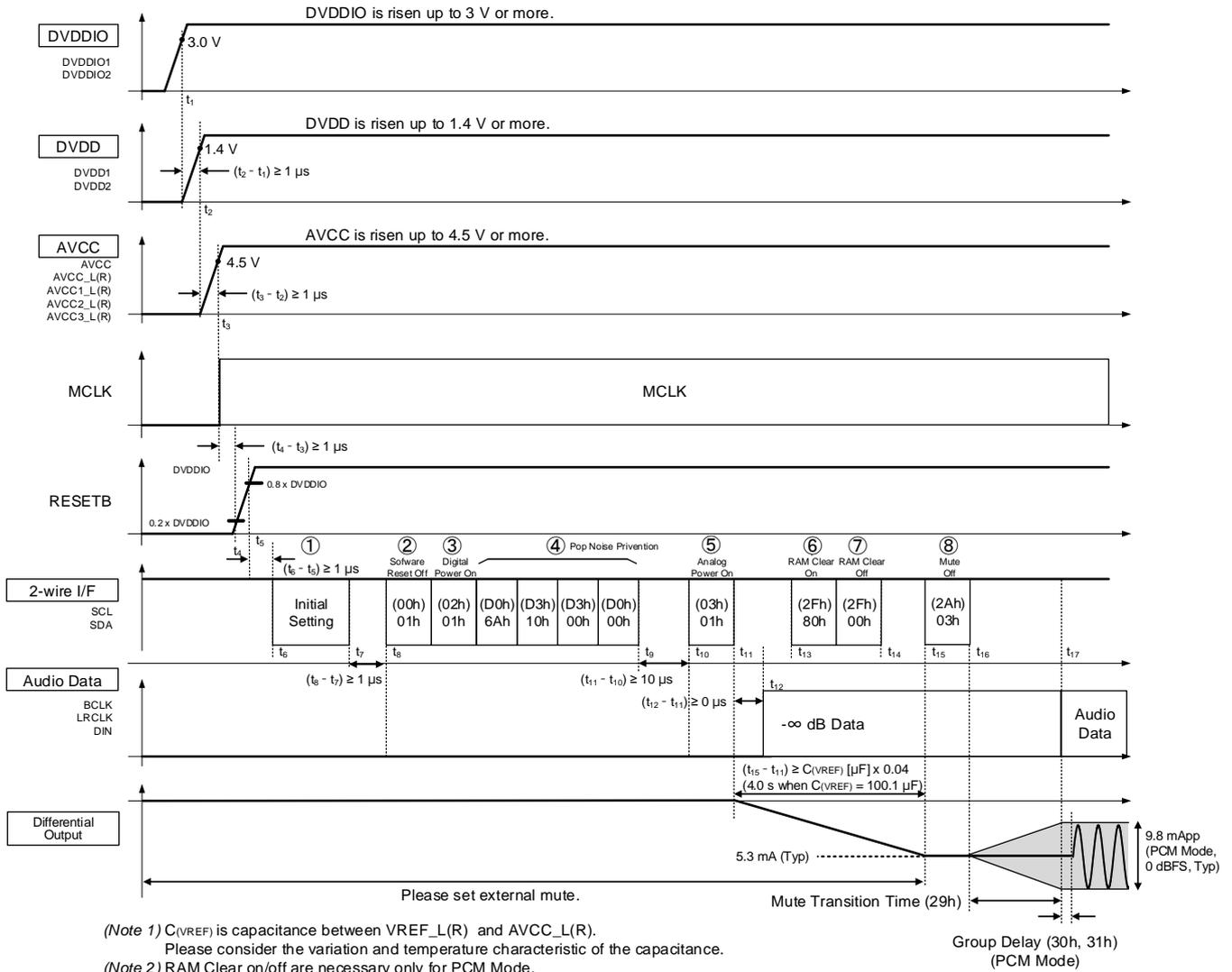


Figure 32. 電源立ち上げシーケンス

電源立ち下げシーケンス

電源立ち下げシーケンスでは、下記表のレジスタを設定後に電源を立ち下げます。電源は AVCC, DVDD, DVDDIO の順に立ち下げます。下記のレジスタ設定及びタイミングチャートに従い、電源立ち下げシーケンスを実行してください。シーケンスに従わない場合、動作保証できません。

Table 18. 電源立ち下げシーケンス時のレジスタ設定

| Step | Operations        | Register Address | Register Settings |
|------|-------------------|------------------|-------------------|
| 1    | Mute On           | 2Ah              | = 00h             |
| 2    | Analog Power Off  | 03h              | = 00h             |
| 3    | Digital Power Off | 02h              | = 00h             |

タイミングチャート

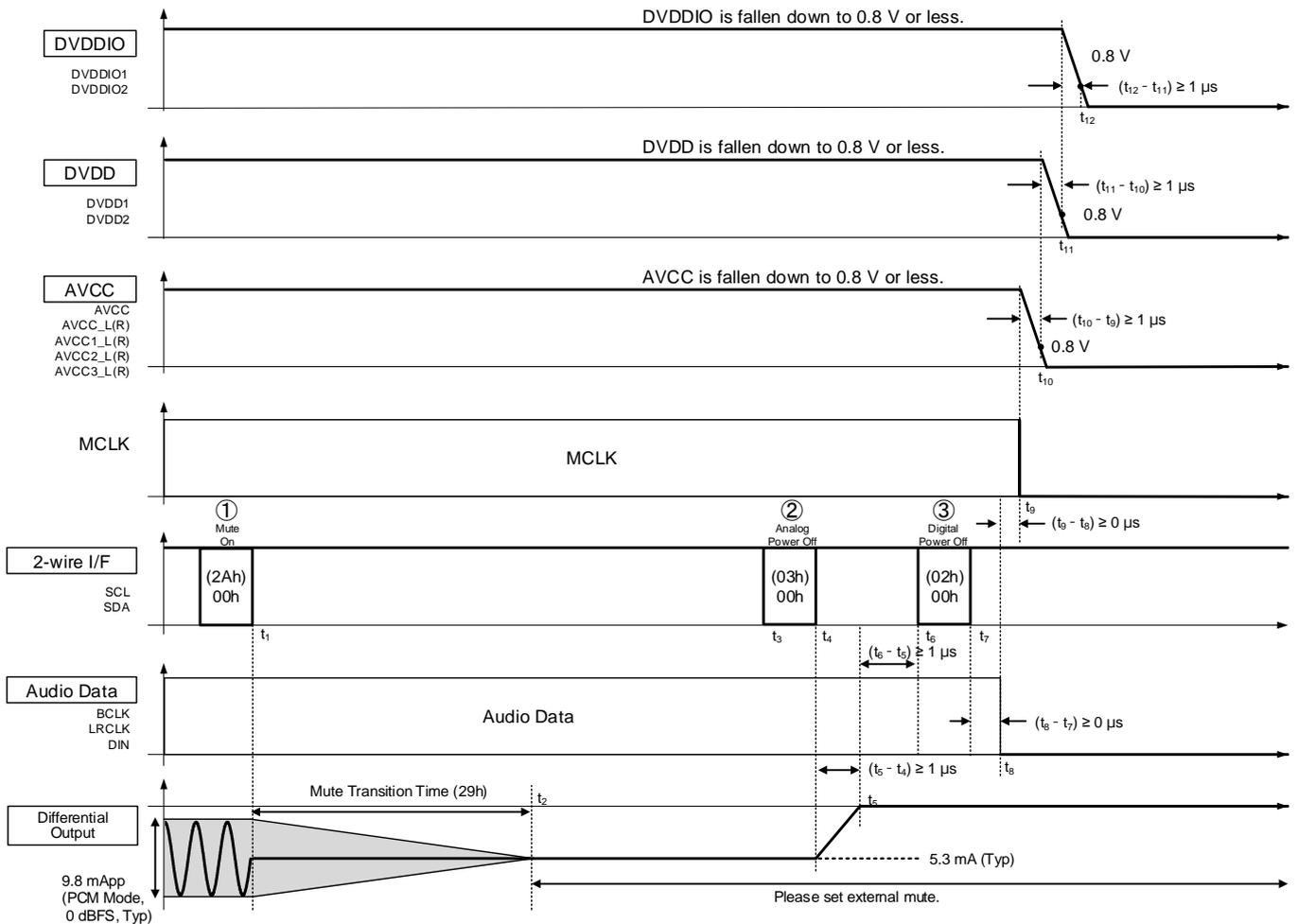


Figure 33. 電源立ち下げシーケンス

モード切り替えシーケンス

モード切り替えとは、PCM モードから DSD モードへの切り替え及び DSD モードから PCM モードへの切り替え、さらに各モードでのサンプリング周波数の変更がともなう入力信号 (MCLK, BCLK/DSDCLK, LRCLK/DSD2, DSIN/DSD1) の切り替えを指します。入力信号の切り替えは、必ずモード切り替えシーケンスのソフトウェアリセット期間 (SoftRst X (00h[0] = 0) ) に行う必要があります。

レジスタ設定例及びタイミングチャートに従い、モード切り替えシーケンスを実行してください。また、レジスタの推奨設定については、「推奨設定」の項を参照してください。

Table 19. モード切り替えシーケンス時のレジスタ設定

| Step | Operation                         | Register Address | Register Setting                  | PCM Mode | DSD Mode |
|------|-----------------------------------|------------------|-----------------------------------|----------|----------|
| 1    | Mute On                           | 2Ah              | = 00h                             | ○        | ○        |
| 2    | Digital Power Off                 | 02h              | = 00h                             | ○        | ○        |
| 3    | Software Reset On                 | 00h              | = 00h                             | ○        | ○        |
| 4    | Mode Switching                    | 04h              | Clock 1                           | ○        | ○        |
|      |                                   | 06h              | Clock 2                           | ○        | ○        |
|      |                                   | 10h              | Audio I/F 1                       | ○        | ○        |
|      |                                   | 16h              | DSD Filter                        | -        | ○        |
|      |                                   | 30h              | FIR Filter 1                      | ○        | -        |
|      |                                   | 31h              | FIR Filter 2                      | ○        | -        |
|      |                                   | 40h              | Delta Sigma                       | ○        | ○        |
|      |                                   | 60h              | Setting 5 = 16h (PCM) / 9Eh (DSD) | ○        | ○        |
| 61h  | Setting 6 = 16h (PCM) / 1Eh (DSD) | ○                | ○                                 |          |          |
| 5    | Software Reset Off                | 00h              | = 01h                             | ○        | ○        |
| 6    | Digital Power On                  | 02h              | = 01h                             | ○        | ○        |
| 7    | RAM Clear On                      | 2Fh              | = 80h                             | ○        | -        |
| 8    | RAM Clear Off                     | 2Fh              | = 00h                             | ○        | -        |
| 9    | Mute Off                          | 2Ah              | = 03h                             | ○        | ○        |

注意: モード切り替えシーケンスが下記タイミングチャートに従わずに実行された場合、ポップ音が発生する可能性があります。その場合、外部ミュートを併用してください。

タイミングチャート

PCM モードから DSD モードへの切り替え

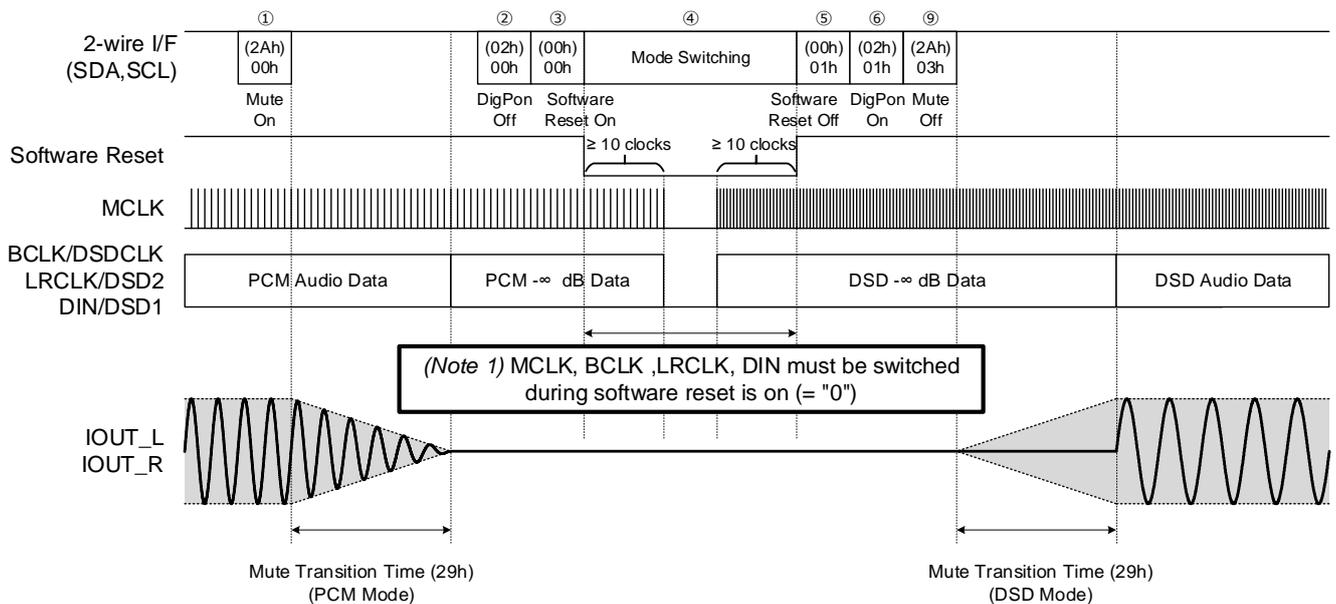


Figure 34. PCM から DSD へのモード切り替えシーケンス

モード切り替えシーケンス - 続き

DSD モードから PCM モードへの切り替え

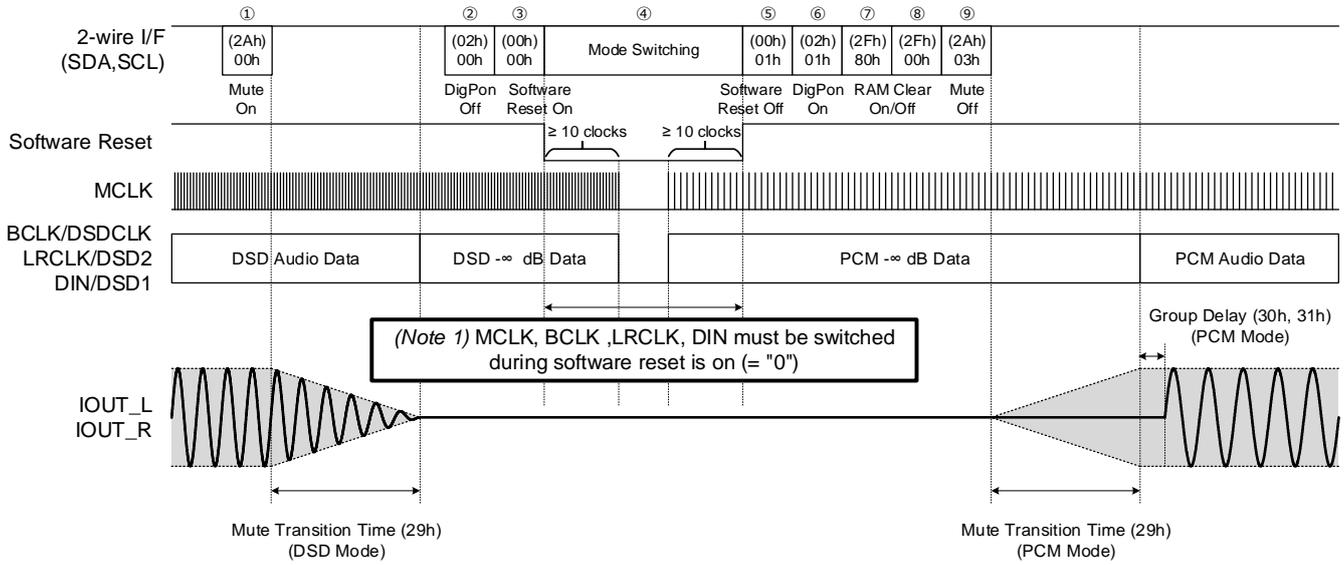


Figure 35. DSD から PCM へのモード切り替えシーケンス

PCM モード間でのモード切り替え

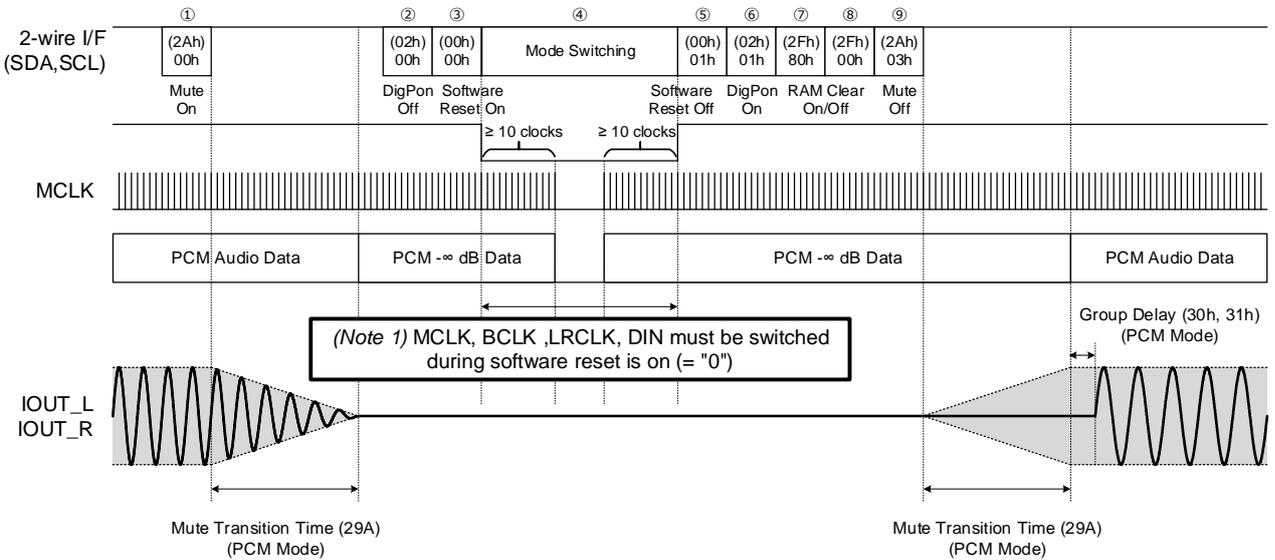


Figure 36. PCM モード間のモード切り替えシーケンス

## 推奨設定

PCM モード、DSD モードそれぞれにおいて音質と性能のバランスがとれた推奨設定を以下に記載します。

Table 20. PCM モード時の推奨設定

| fs (kHz)   |              | 32                  | 44.1<br>48         | 88.2<br>96         | 176.4<br>192       | 362.8<br>384       | 705.6<br>768       |
|------------|--------------|---------------------|--------------------|--------------------|--------------------|--------------------|--------------------|
| MCLK (MHz) |              | 24.5760             | 22.5792<br>24.5760 | 22.5792<br>24.5760 | 22.5792<br>24.5760 | 22.5792<br>24.5760 | 22.5792<br>24.5760 |
| Address    | Register     | Recommended Setting |                    |                    |                    |                    |                    |
| 04h        | Clock 1      | 03h                 | 02h                | 00h                |                    |                    |                    |
| 06h        | Clock 2      | 00h                 |                    |                    |                    |                    |                    |
| 10h        | Audio I/F 1  | 0Bh                 |                    |                    |                    |                    |                    |
| 30h        | FIR Filter 1 | 01h                 |                    | 02h                | 04h                | 08h                |                    |
| 31h        | FIR Filter 2 | Sharp Roll-Off      |                    | 80h                | 01h                | 02h                | 80h                |
|            |              | Slow Roll-Off       |                    | 83h                | 04h                | 05h                |                    |
| 40h        | Delta Sigma  | 02h                 |                    | 11h                |                    |                    | 01h                |
| 60h        | Setting 5    | 16h                 |                    |                    |                    |                    |                    |
| 61h        | Setting 6    | 16h                 |                    |                    |                    |                    |                    |

Table 21. DSD モード時の推奨設定

| DSDCLK (MHz) |             | 2.8224              | 5.6448 | 11.2896 | 22.5792 |
|--------------|-------------|---------------------|--------|---------|---------|
| MCLK (MHz)   |             | = DSDCLK            |        |         |         |
| Address      | Register    | Recommended Setting |        |         |         |
| 04h          | Clock 1     | 00h                 |        |         |         |
| 06h          | Clock 2     | 00h                 |        |         |         |
| 10h          | Audio I/F 1 | 8Bh                 |        |         |         |
| 16h          | DSD Filter  | 02h                 | 01h    | 00h     |         |
| 40h          | Delta Sigma | 02h                 |        |         |         |
| 60h          | Setting 5   | 9Eh                 |        |         |         |
| 61h          | Setting 6   | 1Eh                 |        |         |         |

## 音質調整

FIR フィルタ (シャープロールオフとスローロールオフ) や DSD フィルタの切り替えに加え、ローム独自の機能である High Precision Calculation Mode をはじめとする下記レジスタ設定を変更することで、より細かな音質調整を行うことができます。設定を変更することで THD+N などのオーディオ特性に影響する場合がありますので、十分にご評価したうえで設定値を決定してください。

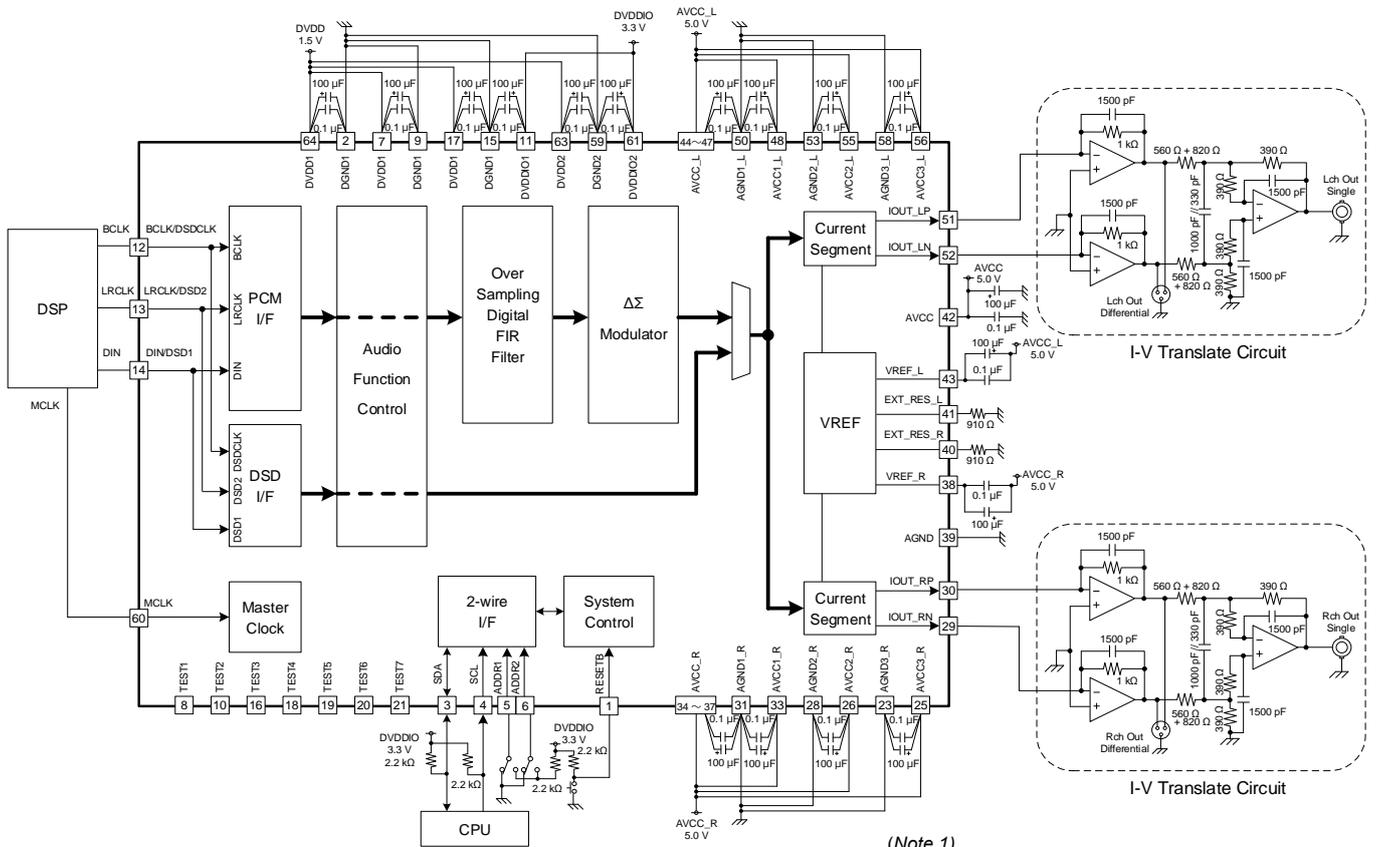
Table 22. 音質調整が可能なレジスタ

| レジスタ   | 機能                              |
|--|---------------------------------|
| <u>PhaseAdj (06h[0])</u>                           | 内部クロックの位相調整                     |
| <u>HpcMode (31h[7])</u>                            | 高精度フィルタ演算                       |
| <u>DsSetting (40h[4]), <u>DsOsr (40h[1:0])</u></u> | $\Delta\Sigma$ 変調のオーバーサンプリングレート |

各レジスタの詳細については、「レジスタ詳細説明」をご参照ください。

応用回路例

2ch ステレオ



(Note 1)

周辺部品の定数については、音質評価を行っている値を記載しております。定数を変更される場合には、音質への影響が懸念されるため、セットでの音質をご確認の上、ご検討をお願いします。

Figure 37. 応用回路図

I-V 変換回路図 (拡大)

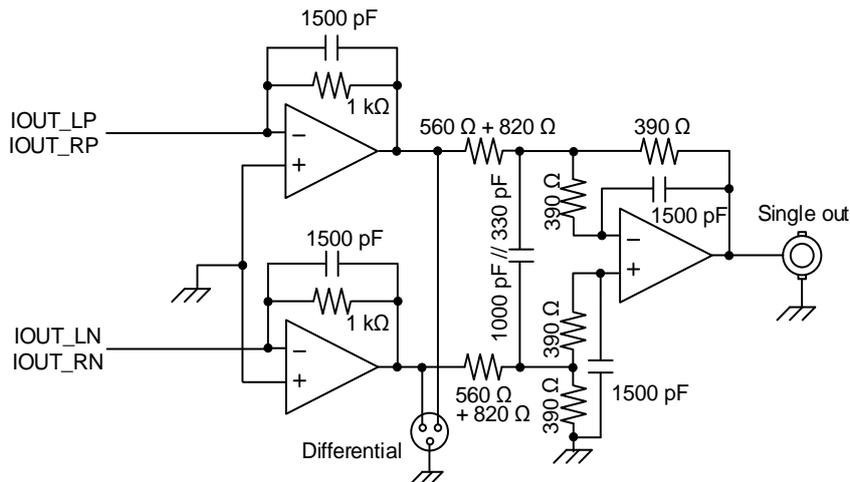
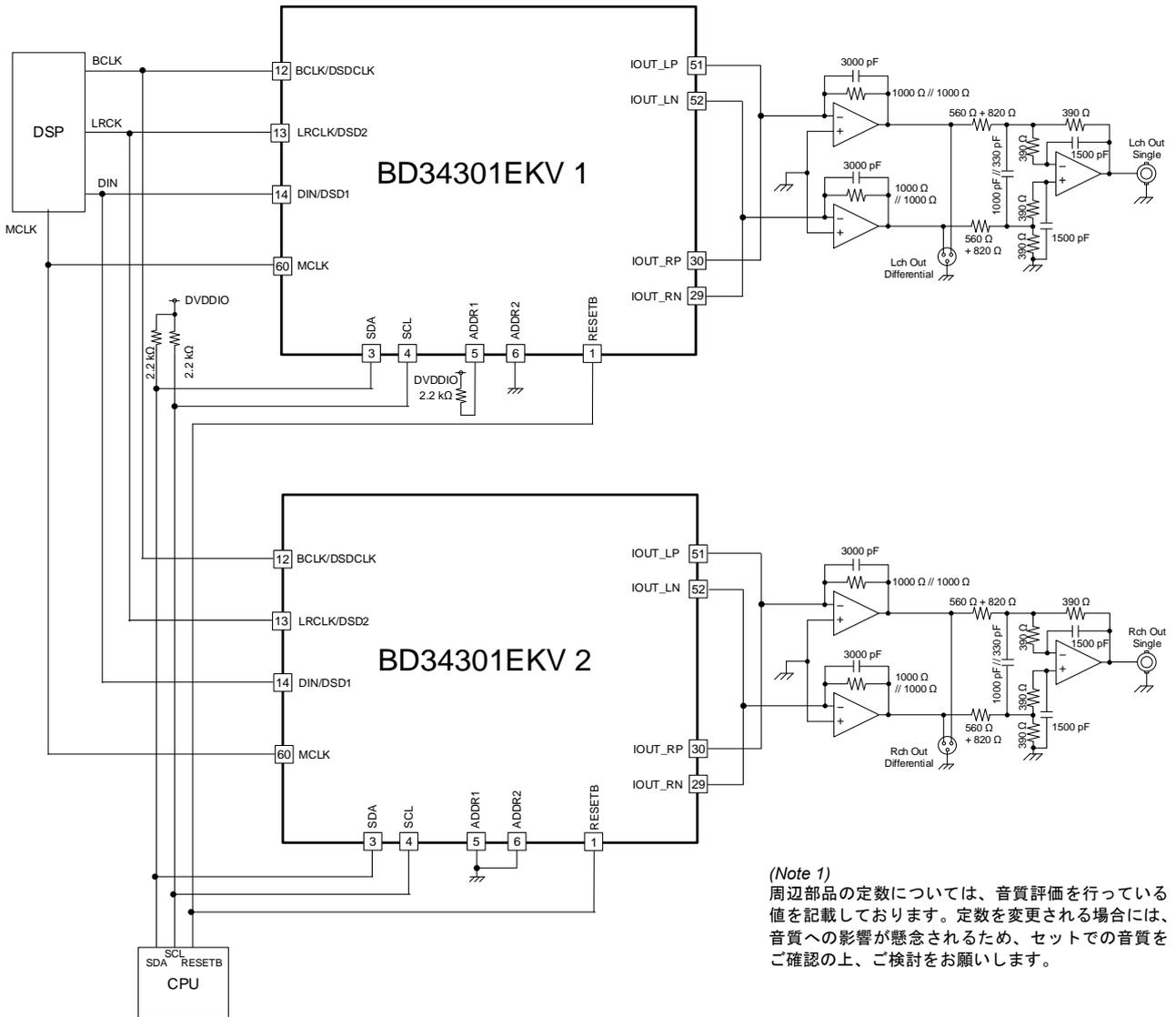


Figure 38. 応用回路図 (I/V 変換回路)

応用回路例 — 続き

モノモード x2 - A



(Note 1)  
 周辺部品の定数については、音質評価を行っている値を記載しております。定数を変更される場合には、音質への影響が懸念されるため、セットでの音質をご確認の上、ご検討をお願いします。

Figure 39. モノモード x2 - A 設定時の応用回路

応用回路例 - 続き

モノモード x2 - B

ステレオ 2ch モード使用時と同様の回路でモノモードの Lch / Rch 差動出力として動作させることも可能です。

Table 23. モノモードの Lch / Rch 差動出力設定

| Chip No. | MonoSel<br>(12h[1:0]) | OutPol2<br>(14h[1:0]) | Function |
|----------|-----------------------|-----------------------|----------|
| 1        | 02h                   | 02h<br>(IOUT_R 位相反転)  | Lch 出力   |
| 2        | 03h                   | 02h<br>(IOUT_R 位相反転)  | Rch 出力   |

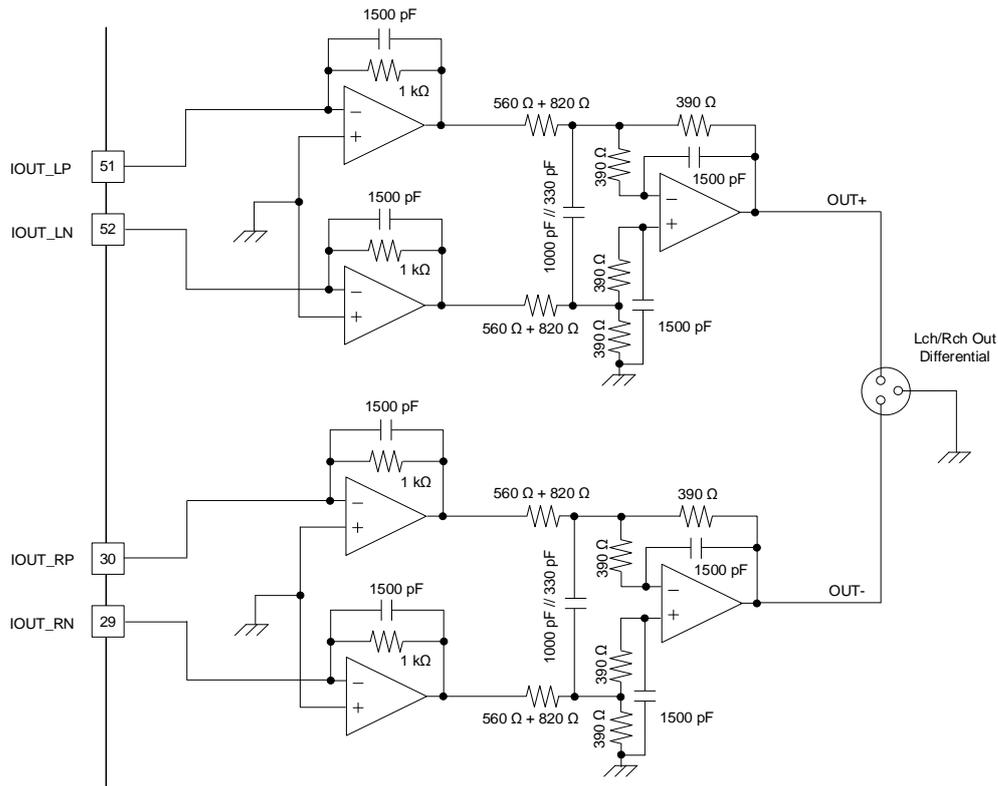


Figure 40. モノモード x2 - B 設定時の応用回路

応用回路例 ー 続き

2ch x 2 = 4ch

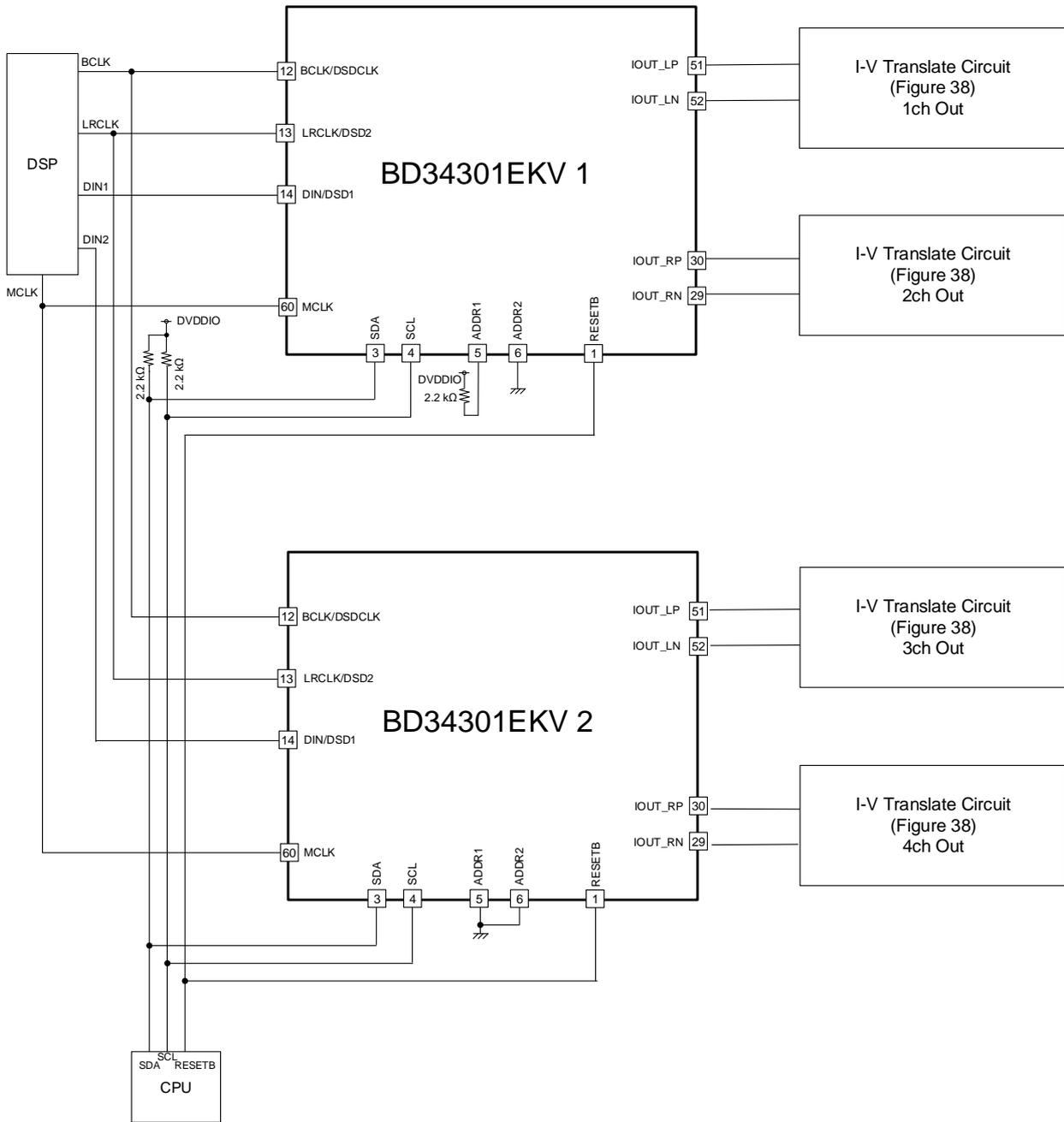


Figure 41. 4ch 出力時の応用回路

応用回路例 ー 続き

2ch x 4 = 8ch

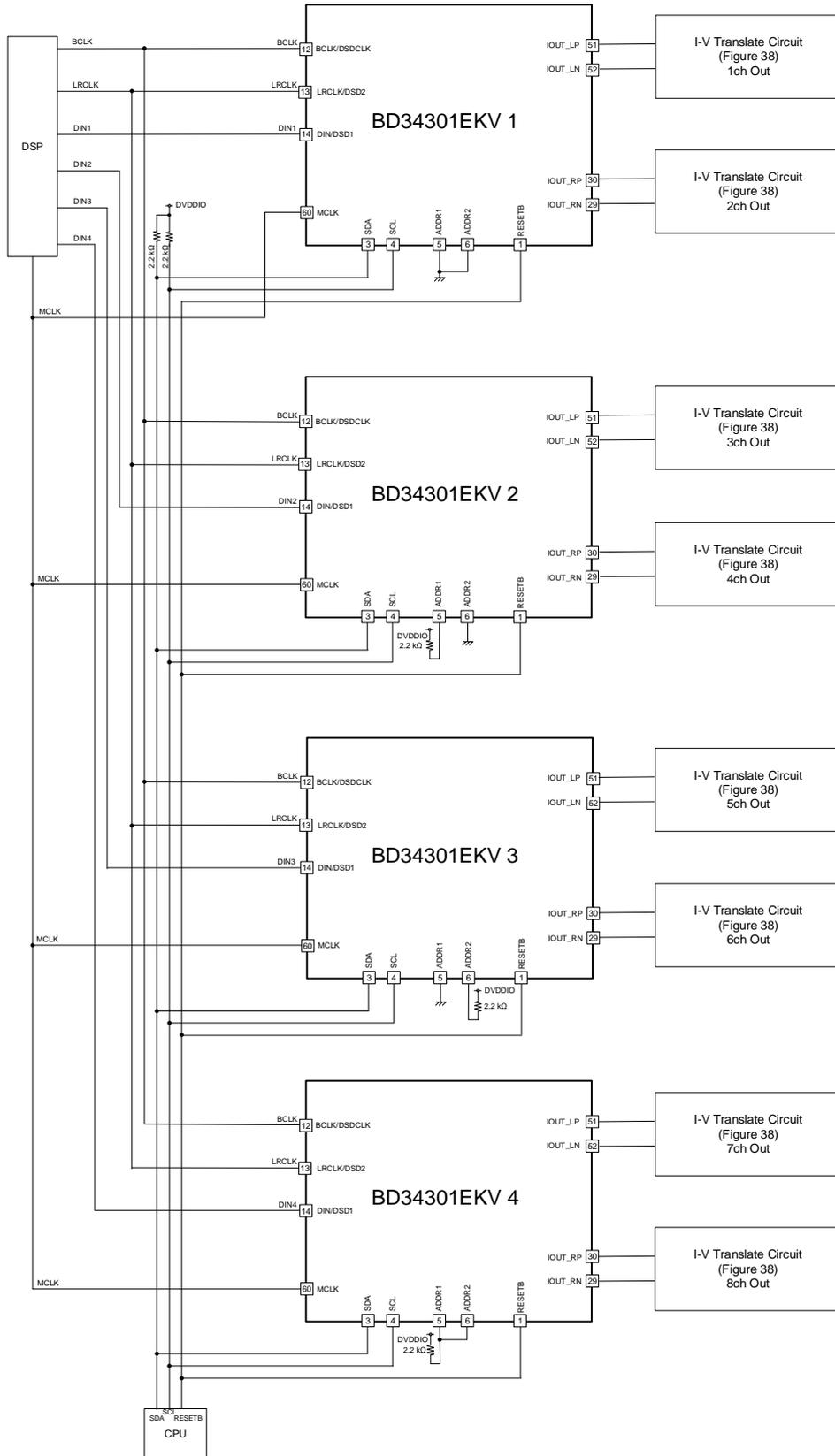


Figure 42. 8ch 出力時の応用回路

## 使用上の注意

**1. 電源の逆接続について**

電源コネクタの逆接続により LSI が破壊する恐れがあります。逆接続破壊保護用として外部に電源と LSI の電源端子間にダイオードを入れるなどの対策を施してください。

**2. 電源ラインについて**

基板パターン設計においては、電源ラインの配線は、低インピーダンスになるようにしてください。その際、デジタル系電源とアナログ系電源は、それらが同電位であっても、デジタル系電源パターンとアナログ系電源パターンは分離し、配線パターンの共通インピーダンスによるアナログ電源へのデジタル・ノイズの回り込みを抑制してください。グラウンドラインについても、同様のパターン設計を考慮してください。

また、LSI のすべての電源端子について電源-グラウンド端子間にコンデンサを挿入するとともに、電解コンデンサ使用の際は、低温で容量低下が起こることなど使用するコンデンサの諸特性に問題ないことを十分ご確認のうえ、定数を決定してください。

**3. グラウンド電位について**

グラウンド端子の電位はいかなる動作状態においても、最低電位になるようにしてください。また実際に過渡現象を含め、グラウンド端子以外のすべての端子がグラウンド以下の電圧にならないようにしてください。

**4. グラウンド配線パターンについて**

小信号グラウンドと大電流グラウンドがある場合、大電流グラウンドパターンと小信号グラウンドパターンは分離し、パターン配線の抵抗分と大電流による電圧変化が小信号グラウンドの電圧を変化させないように、セットの基準点で 1 点アースすることを推奨します。外付け部品のグラウンドの配線パターンも変動しないよう注意してください。グラウンドラインの配線は、低インピーダンスになるようにしてください。

**5. 推奨動作条件について**

推奨動作条件で規定される範囲で IC の機能・動作を保証します。また、特性値は電気的特性で規定される各項目の条件下においてのみ保証されます。

**6. ラッシュカレントについて**

IC 内部論理回路は、電源投入時に論理不定状態で、瞬間的にラッシュカレントが流れる場合がありますので、電源カップリング容量や電源、グラウンドパターン配線の幅、引き回しに注意してください。

**7. セット基板での検査について**

セット基板での検査時に、インピーダンスの低い端子にコンデンサを接続する場合は、IC にストレスがかかる恐れがあるので、1 工程ごとに必ず放電を行ってください。静電気対策として、組立工程にはアースを施し、運搬や保存の際には十分ご注意ください。また、検査工程での治具への接続をする際には必ず電源を OFF にしてから接続し、電源を OFF にしてから取り外してください。

**8. 端子間ショートと誤装着について**

プリント基板に取り付ける際、IC の向きや位置ずれに十分注意してください。誤って取り付けた場合、IC が破壊する恐れがあります。また、出力と電源及びグラウンド間、出力間に異物が入るなどしてショートした場合についても破壊の恐れがあります。

**9. 未使用の入力端子の処理について**

CMOS トランジスタの入力は非常にインピーダンスが高く、入力端子をオープンにすることで論理不定の状態になります。これにより内部の論理ゲートの p チャネル、n チャネルトランジスタが導通状態となり、不要な電源電流が流れます。また 論理不定により、想定外の動作をすることがあります。よって、未使用の端子は特に仕様書上でうたわれていない限り、適切な電源、もしくはグラウンドに接続するようにしてください。

## 使用上の注意 — 続き

## 10. 各入力端子について

本 IC はモノリシック IC であり、各素子間に素子分離のための P+アイソレーションと、P 基板を有しています。この P 層と各素子の N 層とで P-N 接合が形成され、各種の寄生素子が構成されます。

例えば、下図のように、抵抗とトランジスタが端子と接続されている場合、

○抵抗では、GND > (端子 A)の時、トランジスタ(NPN)では GND > (端子 B)の時、P-N 接合が寄生ダイオードとして動作します。

○また、トランジスタ(NPN)では、GND > (端子 B)の時、前述の寄生ダイオードと近接する他の素子の N 層によって寄生の NPN トランジスタが動作します。

IC の構造上、寄生素子は電位関係によって必然的にできます。寄生素子が動作することにより、回路動作の干渉を引き起こし、誤動作、ひいては破壊の原因ともなり得ます。したがって、入出力端子に GND(P 基板)より低い電圧を印加するなど、寄生素子が動作するような使い方をしないよう十分に注意してください。アプリケーションにおいて電源端子と各端子電圧が逆になった場合、内部回路または素子を損傷する可能性があります。例えば、外付けコンデンサに電荷がチャージされた状態で、電源端子が GND にショートされた場合などです。また、電源端子直列に逆流防止のダイオードもしくは各端子と電源端子間にバイパスのダイオードを挿入することを推奨します。

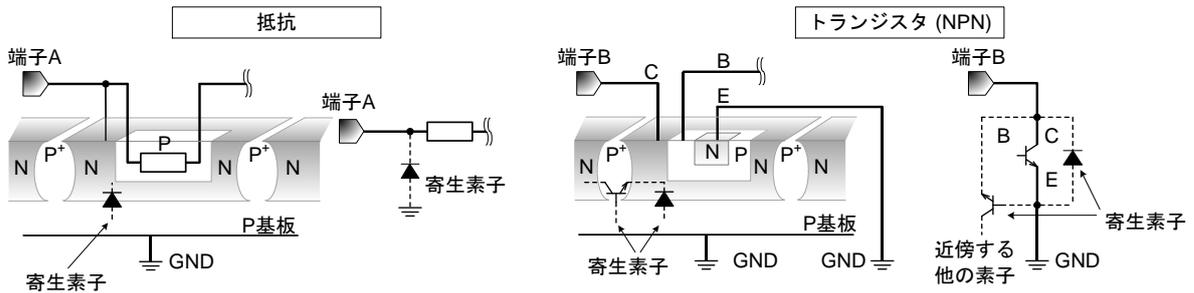


Figure 43. モノリシック IC 構造例

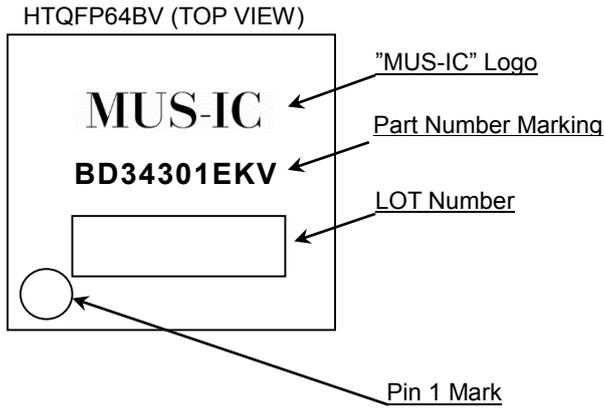
## 11. セラミック・コンデンサの特性変動について

外付けコンデンサに、セラミック・コンデンサを使用する場合、直流バイアスによる公称容量の低下、及び温度などによる容量の変化を考慮のうえ、定数を決定してください。

発注形名情報



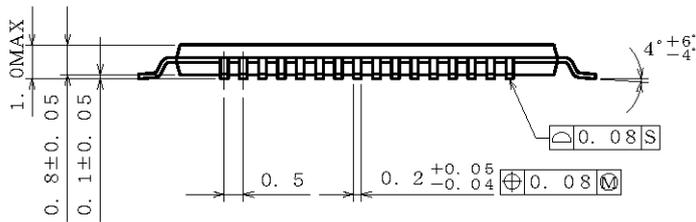
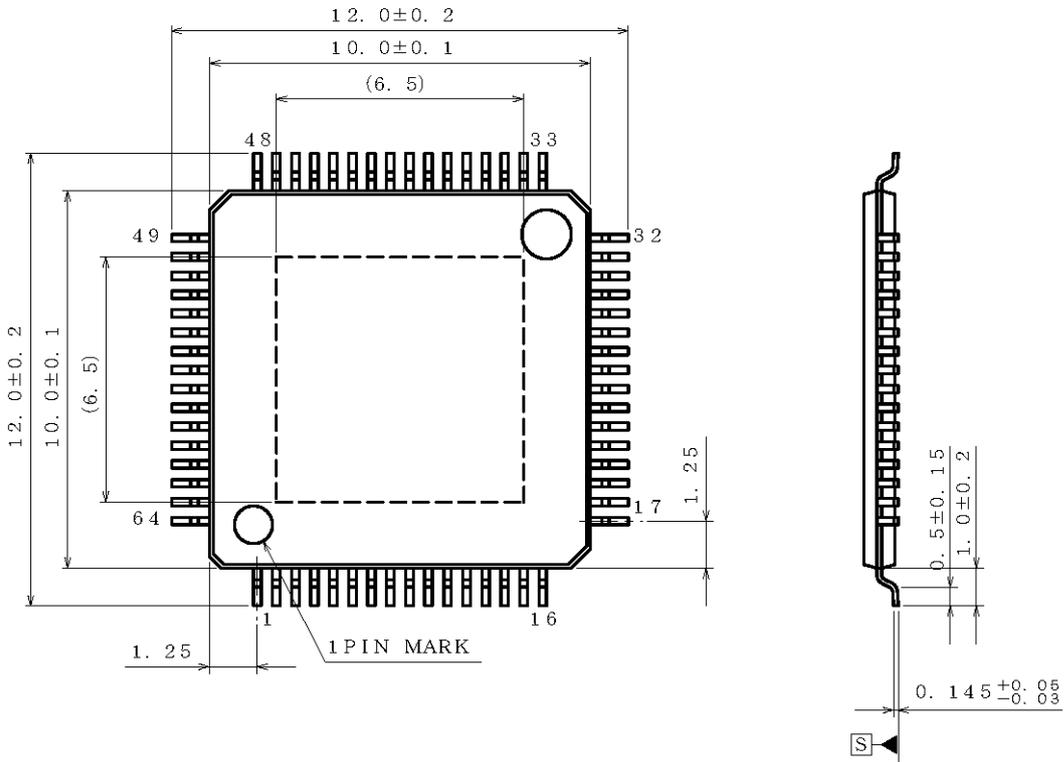
標印図



外形寸法図と包装・フォーミング仕様

Package Name

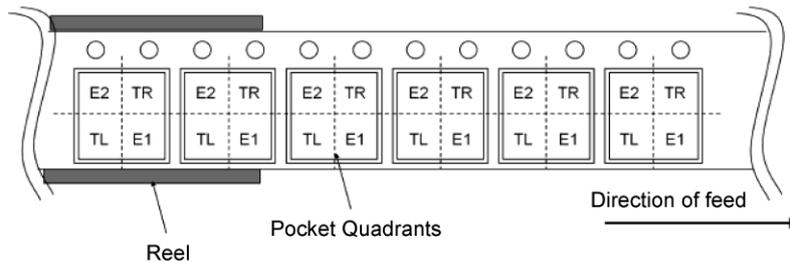
HTQFP64BV



(UNIT : mm)  
 PKG : HTQFP64BV  
 Drawing No. EX282-5001-1

<包装形態、包装数量、包装方向>

|      |  |
|------|--|
| 包装形態 | エンボステーピング  |
| 包装数量 | 1000pcs  |
| 包装方向 | E2<br>(リールを左手に持ち、右手でテープを引き出したときに、製品の1番ピンが左上にくる方向。) |



## 改訂履歴

| 日付         | 版   | 変更内容 |
|------------|-----|------|
| 2020.07.02 | 001 | 新規作成 |

# ご注意

## ローム製品取扱い上の注意事項

1. 本製品は一般的な電子機器（AV 機器、OA 機器、通信機器、家電製品、アミューズメント機器等）への使用を意図して設計・製造されております。したがって、極めて高度な信頼性が要求され、その故障や誤動作が人の生命、身体への危険もしくは損害、又はその他の重大な損害の発生に関わるような機器又は装置（医療機器<sup>(Note 1)</sup>、輸送機器、交通機器、航空宇宙機器、原子力制御装置、燃料制御、カーアクセサリを含む車載機器、各種安全装置等）（以下「特定用途」という）への本製品のご使用を検討される際は事前にローム営業窓口までご相談くださいますようお願い致します。ロームの文書による事前の承諾を得ることなく、特定用途に本製品を使用したことによりお客様又は第三者に生じた損害等に関し、ロームは一切その責任を負いません。

(Note 1) 特定用途となる医療機器分類

| 日本        | USA       | EU         | 中国 |
|-----------|-----------|------------|----|
| CLASS III | CLASS III | CLASS II b | Ⅲ類 |
| CLASS IV  |           | CLASS III  |    |

2. 半導体製品は一定の確率で誤動作や故障が生じる場合があります。万が一、かかる誤動作や故障が生じた場合であっても、本製品の不具合により、人の生命、身体、財産への危険又は損害が生じないように、お客様の責任において次の例に示すようなフェールセーフ設計など安全対策をお願い致します。
  - ①保護回路及び保護装置を設けてシステムとしての安全性を確保する。
  - ②冗長回路等を設けて単一故障では危険が生じないようにシステムとしての安全を確保する。
3. 本製品は、一般的な電子機器に標準的な用途で使用されることを意図して設計・製造されており、下記に例示するような特殊環境での使用を配慮した設計はなされておられません。したがって、下記のような特殊環境での本製品のご使用に関し、ロームは一切その責任を負いません。本製品を下記のような特殊環境でご使用される際は、お客様におかれまして十分に性能、信頼性等をご確認ください。
  - ①水・油・薬液・有機溶剤等の液体中でのご使用
  - ②直射日光・屋外暴露、塵埃中でのご使用
  - ③潮風、Cl<sub>2</sub>、H<sub>2</sub>S、NH<sub>3</sub>、SO<sub>2</sub>、NO<sub>2</sub>等の腐食性ガスの多い場所でのご使用
  - ④静電気や電磁波の強い環境でのご使用
  - ⑤発熱部品に近接した取付け及び当製品に近接してビニール配線等、可燃物を配置する場合。
  - ⑥本製品を樹脂等で封止、コーティングしてのご使用。
  - ⑦はんだ付けの後に洗浄を行わない場合(無洗浄タイプのフラックスを使用される場合は除く。ただし、残渣については十分に確認をお願いします。)又は、はんだ付け後のフラックス洗浄に水又は水溶性洗浄剤をご使用の場合
  - ⑧本製品が結露するような場所でのご使用。
4. 本製品は耐放射線設計はなされておられません。
5. 本製品単体品の評価では予測できない症状・事態を確認するためにも、本製品のご使用にあたってはお客様製品に実装された状態での評価及び確認をお願い致します。
6. パルス等の過渡的な負荷（短時間での大きな負荷）が加わる場合は、お客様製品に本製品を実装した状態で必ずその評価及び確認の実施をお願い致します。また、定常時での負荷条件において定格電力以上の負荷を印加されますと、本製品の性能又は信頼性が損なわれるおそれがあるため必ず定格電力以下でご使用ください。
7. 電力損失は周囲温度に合わせてディレーティングしてください。また、密閉された環境下でご使用の場合は、必ず温度測定を行い、最高接合部温度を超えていない範囲であることをご確認ください。
8. 使用温度は納入仕様書に記載の温度範囲内であることをご確認ください。
9. 本資料の記載内容を逸脱して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いません。

## 実装及び基板設計上の注意事項

1. ハロゲン系（塩素系、臭素系等）の活性度の高いフラックスを使用する場合、フラックスの残渣により本製品の性能又は信頼性への影響が考えられますので、事前にお客様にてご確認ください。
2. はんだ付けは、表面実装製品の場合リフロー方式、挿入実装製品の場合フロー方式を原則とさせていただきます。なお、表面実装製品をフロー方式での使用をご検討の際は別途ロームまでお問い合わせください。その他、詳細な実装条件及び手はんだによる実装、基板設計上の注意事項につきましては別途、ロームの実装仕様書をご確認ください。

## 応用回路、外付け回路等に関する注意事項

1. 本製品の外付け回路定数を変更してご使用になる際は静特性のみならず、過渡特性も含め外付け部品及び本製品のバラツキ等を考慮して十分なマージンをみて決定してください。
2. 本資料に記載された応用回路例やその定数などの情報は、本製品の標準的な動作や使い方を説明するためのもので、実際に使用する機器での動作を保証するものではありません。したがって、お客様の機器の設計において、回路やその定数及びこれらに関連する情報を使用する場合には、外部諸条件を考慮し、お客様の判断と責任において行ってください。これらの使用に起因しお客様又は第三者に生じた損害に関し、ロームは一切その責任を負いません。

## 静電気に対する注意事項

本製品は静電気に対して敏感な製品であり、静電放電等により破壊することがあります。取り扱い時や工程での実装時、保管時において静電気対策を実施のうえ、絶対最大定格以上の過電圧等が印加されないようにご使用ください。特に乾燥環境下では静電気が発生しやすくなるため、十分な静電対策を実施ください。(人体及び設備のアース、帯電物からの隔離、イオナイザの設置、摩擦防止、温湿度管理、はんだごてのこて先のアース等)

## 保管・運搬上の注意事項

1. 本製品を下記の環境又は条件で保管されますと性能劣化やはんだ付け性等の性能に影響を与えるおそれがありますのでこのような環境及び条件での保管は避けてください。
  - ①潮風、Cl<sub>2</sub>、H<sub>2</sub>S、NH<sub>3</sub>、SO<sub>2</sub>、NO<sub>2</sub>等の腐食性ガスの多い場所での保管
  - ②推奨温度、湿度以外での保管
  - ③直射日光や結露する場所での保管
  - ④強い静電気が発生している場所での保管
2. ロームの推奨保管条件下におきましても、推奨保管期限を経過した製品は、はんだ付け性に影響を与える可能性があります。推奨保管期限を経過した製品は、はんだ付け性を確認したうえでご使用頂くことを推奨します。
3. 本製品の運搬、保管の際は梱包箱を正しい向き(梱包箱に表示されている天面方向)で取り扱ってください。天面方向が遵守されずに梱包箱を落下させた場合、製品端子に過度なストレスが印加され、端子曲がり等の不具合が発生する危険があります。
4. 防湿梱包を開封した後は、規定時間内にご使用ください。規定時間を経過した場合はベーク処置を行ったうえでご使用ください。

## 製品ラベルに関する注意事項

本製品に貼付されている製品ラベルに2次元バーコードが印字されていますが、2次元バーコードはロームの社内管理のみを目的としたものです。

## 製品廃棄上の注意事項

本製品を廃棄する際は、専門の産業廃棄物処理業者にて、適切な処置をしてください。

## 外国為替及び外国貿易法に関する注意事項

本製品は外国為替及び外国貿易法に定める規制貨物等に該当するおそれがありますので輸出する場合には、ロームにお問い合わせください。

## 知的財産権に関する注意事項

1. 本資料に記載された本製品に関する応用回路例、情報及び諸データは、あくまでも一例を示すものであり、これらに関する第三者の知的財産権及びその他の権利について権利侵害がないことを保証するものではありません。
2. ロームは、本製品とその他の外部素子、外部回路あるいは外部装置等(ソフトウェア含む)との組み合わせに起因して生じた紛争に関して、何ら義務を負うものではありません。
3. ロームは、本製品又は本資料に記載された情報について、ロームもしくは第三者が所有又は管理している知的財産権その他の権利の実施又は利用を、明示的にも黙示的にも、お客様に許諾するものではありません。ただし、本製品を通常の用法にて使用される限りにおいて、ロームが所有又は管理する知的財産権を利用されることを妨げません。

## その他の注意事項

1. 本資料の全部又は一部をロームの文書による事前の承諾を得ることなく転載又は複製することを固くお断り致します。
2. 本製品をロームの文書による事前の承諾を得ることなく、分解、改造、改変、複製等しないでください。
3. 本製品又は本資料に記載された技術情報を、大量破壊兵器の開発等の目的、軍事利用、あるいはその他軍事用途目的で使用しないでください。
4. 本資料に記載されている社名及び製品名等の固有名詞は、ローム、ローム関係会社もしくは第三者の商標又は登録商標です。

**一般的な注意事項**

1. 本製品をご使用になる前に、本資料をよく読み、その内容を十分に理解されるようお願い致します。本資料に記載される注意事項に反して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いませんのでご注意願います。
2. 本資料に記載の内容は、本資料発行時点のものであり、予告なく変更することがあります。本製品のご購入及びご使用に際しては、事前にローム営業窓口で最新の情報をご確認ください。
3. ロームは本資料に記載されている情報は誤りがないことを保証するものではありません。万が一、本資料に記載された情報の誤りによりお客様又は第三者に損害が生じた場合においても、ロームは一切その責任を負いません。