

プログラム可能なオーディオクロックジェネレータ

概要

プログラム可能なマルチ出力クロックジェネレータのMAX9485は、DVDプレーヤ、マルチメディアPC用DVDドライブ、デジタルHDTVシステム、ホームエンタテインメントセンター、及びセットトップボックスなど、MPEG-2オーディオシステム用のコスト効率の高いソリューションを提供します。

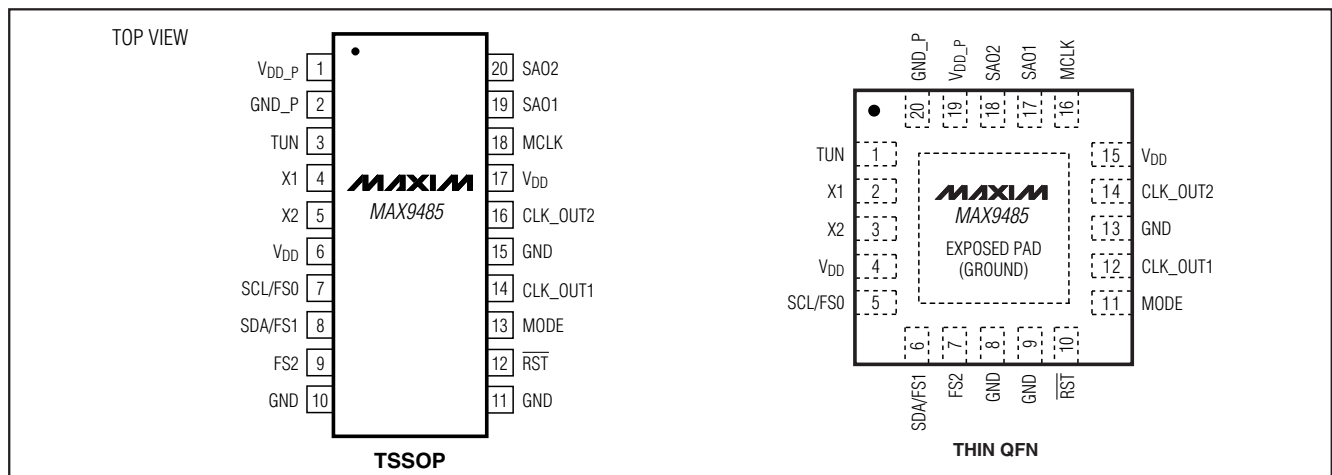
MAX9485は、水晶またはシステムリファレンスクロックから27MHzの入力リファレンス周波数を受け付けます。この製品は、I²C™ インタフェースまたはハードワイヤード入力を通じて選択されるサンプリング周波数(f_s)の256、384、または768倍の2つのバッファ付きクロック出力を備えています。サンプリング周波数として、12kHz、32kHz、44.1kHz、48kHz、64kHz、88.2kHz、及び96kHzが利用可能です。また、MAX9485は、バッファ付き27MHz出力を備え、MPEGプロセッサが生成するDC電圧によって調整される電圧制御発振器(VCXO)を内蔵しています。VCXOを使用すると、オーディオシステムクロックをシステムクロック全体にロックすることができます。

MAX9485は、このクラスではジッタが最小で、MPEG-2オーディオシステムにおけるオーディオADC及びDACの卓越したダイナミック性能を保証します。この製品は、3.3V電源で動作し、-40°C~+85°Cの拡張温度範囲で動作が保証されています。MAX9485は、6.5mm x 4.4mm、20ピンTSSOP、及び4mm x 4mm、20ピン薄型QFNパッケージで提供されます。

アプリケーション

デジタルTV
DVDプレーヤ
セットトップボックス
HDTV
ホームエンタテインメントセンター

ピン配置



特長

- ◆ 周波数リファレンスが±30ppmの27MHz水晶
- ◆ 2つのバッファ付き出力ポート、 f_s の256、384、または768倍の複数のオーディオクロック
- ◆ 標準及びダブルサンプリングレートをサポート (12kHz、32kHz、44.1kHz、48kHz、64kHz、88.2kHz、及び96kHz)
- ◆ I²Cインタフェースまたはハードワイヤードによる出力クロック選択
- ◆ 独立した出力クロックイネーブル
- ◆ 低ジッタ：21ps(typ)(73.728MHzにおけるRMS)
- ◆ PLL用の外付け部品不要
- ◆ 調整範囲が±200ppmのVCXO内蔵
- ◆ 小型実装面積、4mm x 4mm、薄型QFNパッケージ

型番

PART	TEMP RANGE	PIN-PACKAGE
MAX9485ETP	-40°C to +85°C	20 Thin QFN-EP*
MAX9485EUP	-40°C to +85°C	20 TSSOP

* EP = エクスポーズドパッド

Maxim Integrated Products, Inc.または二次ライセンスを受けている同社の関連会社からI²C部品を購入することにより、これらの部品をI²Cシステムで使用するためのPhilips社のI²C特許権に基づくライセンスが許諾されたこととなります。但し、システムがPhilips社により定義されたI²C標準規格に合致していることを必要とします。

プログラム可能なオーディオクロックジェネレータ

MAX9485

ABSOLUTE MAXIMUM RATINGS

V_{DD}, V_{DD_P} to GND-0.3V to +4.0V
 GND_P to GND±0.3V
 All Inputs and Outputs to GND.....-0.3V to (V_{DD} + 0.3V)
 Short-Circuit Duration of Outputs to GND.....Continuous
 Continuous Power Dissipation (T_A = +70°C)
 20-Pin TSSOP (derate 11mW/°C above +70°C) 879mW
 20-Lead Thin QFN (derate 16.9mW/°C
 above +70°C).....1349mW

Storage Temperature Range-65°C to +150°C
 Maximum Junction Temperature+150°C
 ESD Protection
 Human Body Model (R_D = 1.5kΩ, C_S = 100pF).....> ±2kV
 Lead Temperature (soldering, 10s)+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

DC ELECTRICAL CHARACTERISTICS

(V_{DD} = V_{DD_P} = 3.0V to 3.6V, T_A = -40°C to +85°C, unless otherwise noted. Typical values are at T_A = +25°C, V_{DD} = V_{DD_P} = 3.3V.)
 (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
LVC MOS/LVTTL INPUTS (MODE, RST, X1) (Note 2)						
High Level-Input Voltage	V _{IH1}		2.0		V _{DD}	V
Low Level-Input Voltage	V _{IL1}		0.0		0.8	V
Input Current	I _{IL1}	Input voltage = 0 or V _{DD}	-20		+20	μA
THREE-LEVEL INPUTS (FS0, FS1, FS2, SA01, SA02)						
High Level-Input Voltage	V _{IH2}		2.5		V _{DD}	V
Low Level-Input Voltage	V _{IL2}		0.0		0.8	V
Input Open Level	V _{IO2}	Input open	1.3		2.0	V
Input Current	I _{IN}	Input voltage = 0 or V _{DD}	-10		+10	μA
LVC MOS/LVTTL OUTPUTS (CLK_OUT1, CLK_OUT2, MCLK)						
Output High Level	V _{OH1}	I _{OH1} = -4mA	V _{DD} - 0.6			V
Output Low Level	V _{OL1}	I _{OL1} = 4mA			0.4	V
I²C INTERFACE INPUT AND OUTPUT (SCL, SDA)						
Input High Level	V _{IH3}		0.7 x V _{DD}		V _{DD}	V
Input Low Level	V _{IL3}		0		0.3 x V _{DD}	V
Input Current	I _{IN}	Input voltage = 0 or V _{DD}	-1		+1	μA
Low-Level Output	V _{OL3}	I _{OL3} = 4mA			0.4	V
Input Capacitance	C _{IN}		8.4			pF
POWER SUPPLY (V_{DD}, V_{DD_P})						
Power-Supply Ranges	V _{DD} , V _{DD_P}		3.0	3.3	3.6	V
Power-Supply Current	I _{DD} +I _{DD_P}	CLK_OUT1, CLK_OUT2 at 73.728MHz, no load, V _{TUN} = 3.0V	12			mA

プログラム可能なオーディオクロックジェネレータ

MAX9485

AC ELECTRICAL CHARACTERISTICS

($V_{DD} = V_{DD_P} = 3.0V$ to $3.6V$, $T_A = -40^{\circ}C$ to $+85^{\circ}C$, output frequency is $73.728MHz$, $C_L = 20pF$, unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$, $V_{DD} = V_{DD_P} = 3.3V$.) (Note 3)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
VCXO (MCLK)						
Crystal Frequency	f _{XTL}	Nominal frequency		27		MHz
Crystal Accuracy				±30		ppm
Tuning Voltage Range	V _{TUN}		0		3.0V	V
VCXO Tuning Range		V _{TUN} = 0 to 3.0V	-200		+200	ppm
TUN Input Impedance	R _{TUN}			94		kΩ
Output Clock Frequency	f _{MCLK}	V _{TUN} = 1.75V		27		MHz
Output Clock Accuracy		V _{TUN} = 1.75V (Note 4)		±50		ppm
Output Duty Cycle			45	55	65	%
Output Jitter	t _{MJ}	RMS		28		ps
Output Rise Time	t _{MR}	Figure 8		2		ns
Output Fall Time	t _{MF}	Figure 8		2		ns
Tuning Response Time	t _{TUN}	Figure 9		10		μs
Power-On Settling Time	T _{PO1}	Figure 9		5		ms
CLOCK OUTPUTS (CLK_OUT1, CLK_OUT2)						
Frequency Range (Note 5)	f _{out}	256 x f _S	8.192		24.576	MHz
		384 x f _S	12.288		36.864	
		768 x f _S	24.576		73.728	
Clock Rise Time	t _{R1}	Figure 8		2		ns
Clock Fall Time	t _{F1}	Figure 8		2		ns
Duty Cycle			45	50	55	%
Output Clock Period Jitter	t _{RJ}	RMS	CLK_OUT1, 2 at 73.728MHz (Note 6)		21	ps
			CLK_OUT1, 2 at 36.864MHz		37	
Frequency Settling Time	t _{FST}	Figure 1		10		ms
Power-On Time	T _{PO2}	Figure 9		15		ms

プログラム可能なオーディオクロックジェネレータ

MAX9485

I²C TIMING CHARACTERISTICS

(V_{DD} = V_{DD_P} = 3.0V to 3.6V, T_A = -40°C to +85°C, unless otherwise noted. Typical values are at T_A = +25°C, V_{DD} = V_{DD_P} = 3.3V; Figure 7.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Serial Clock	f _{SCL}				400	kHz
Bus Free Time Between a STOP and a START Condition	t _{BUF}		1.3			μs
Hold Time (Repeated) START Condition	t _{HD, STA}		0.6			μs
Repeated START Condition Setup Time	t _{SU, STA}		0.6			μs
STOP Condition Setup Time	t _{SU, STO}		0.6			μs
Data Hold Time	t _{HD, DAT}	(Note 7)	0.05		0.9	μs
Data Setup Time	t _{SU, DAT}		100			ns
SCL Clock Low Period	t _{LOW}		1.3			μs
SCL Clock High Period	t _{HIGH}		0.6			μs
Rise Time of SDA and SCL, Receiving	t _R	(Notes 3, 8)	20 + 0.1Cb		300	ns
Fall Time of SDA and SCL, Receiving	t _F	(Notes 3, 8)	20 + 0.1Cb		300	ns
Fall Time of SDA, Transmitting	t _F	(Notes 8, 9)	20 + 0.1Cb		250	ns
Pulse Width of Spike Suppressed	t _{SP}	(Notes 3, 10)	0		50	ns
Capacitive Load for Each Bus Line	C _b				400	pF

Note 1: All parameters tested at T_A = +25°C. Specifications over temperature are guaranteed by design and characterization.

Note 2: When X1 is used as an external reference.

Note 3: Guaranteed by design and characterization; limits are set at ±6 sigma.

Note 4: Includes crystal accuracy.

Note 5: F_{XTL} = 27MHz. Nominal frequency.

Note 6: See frequency selection paragraph in the *Applications Information* section.

Note 7: A master device must provide a hold time of at least 300ns for the SDA signal (referred to V_{IL} of the SCL signal) in order to bridge the undefined region of SCL's falling edge.

Note 8: C_b = total capacitance of one bus line in pF. t_R and t_F measured between 0.3 V_{DD} and 0.7 V_{DD}.

Note 9: Bus sink current is less than 6mA. C_b = total capacitance of one bus line in pF. t_R and t_F measured between 0.3 V_{DD} and 0.7 V_{DD}.

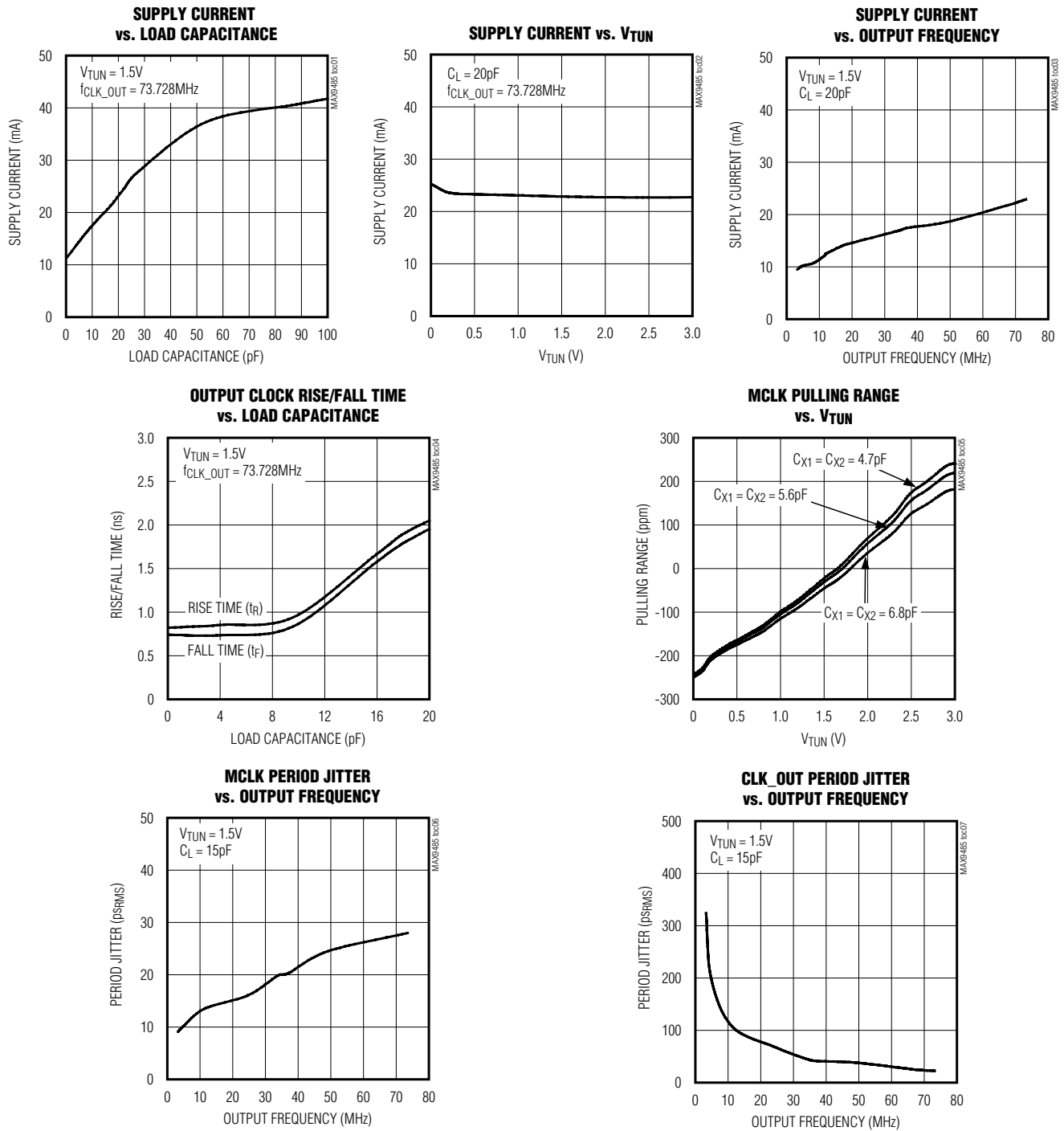
Note 10: Input filters on the SDA and SCL inputs suppress noise spikes less than 50ns.

プログラム可能なオーディオクロックジェネレータ

MAX9485

標準動作特性

($V_{DD} = V_{DD_P} = 3.3V$, $T_A = +25^\circ C$.)



プログラム可能なオーディオクロックジェネレータ

MAX9485

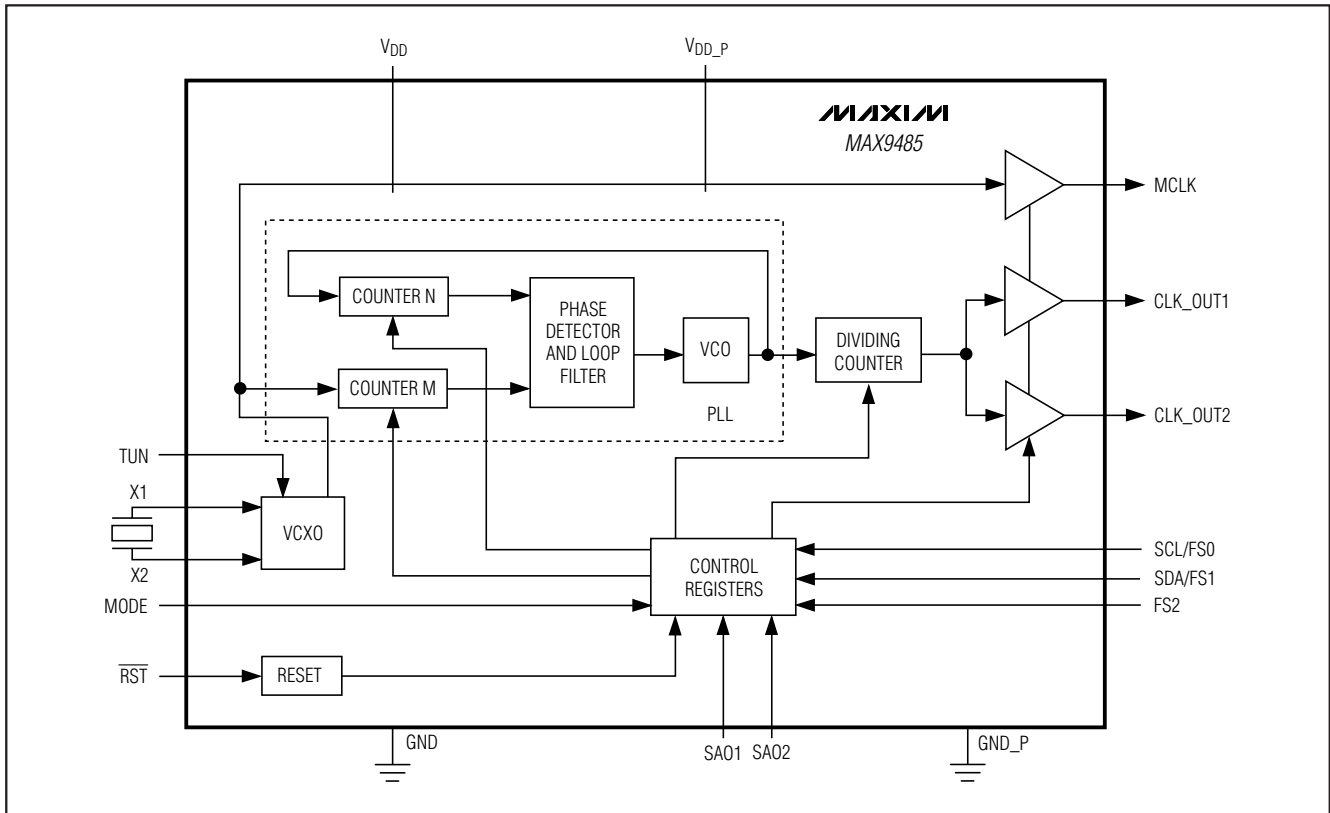
端子説明

端子		名称	機能
TSSOP	TQFN		
1	19	VDD_P	PLL電源。VDD_Pを0.1 μ F及び0.001 μ FのコンデンサでGND_Pにバイパスしてください。
2	20	GND_P	PLLグラウンド
3	1	TUN	VCXO調整電圧入力。TUNに0~3Vを加えてVCXO周波数を調整してください。X1を27MHzの入力リファレンスクロックでしかに駆動する場合は、TUNをVDDに接続してください。
4	2	X1	水晶接続端子1。基本モード水晶をX1とX2の間に接続してVCXOとして使用するか、またはX1を27MHzの入力リファレンスクロックでしかに駆動してください。
5	3	X2	水晶接続端子2。基本モード水晶をX1とX2の間に接続してVCXOとして使用するか、またはX1を27MHzのシステムリファレンスクロックで駆動する場合はX2を接続なしにしてください。
6, 17	4, 15	VDD	デジタル電源。VDDを0.1 μ F及び0.001 μ FのコンデンサでGNDにバイパスしてください。
7	5	SCL/FS0	シリアルクロック/機能選択入力0。MODE = ローのとき、SCL/FS0はI ² Cシリアルクロック入力として機能します。MODE = ハイのとき、SCL/FS0はサンプリング周波数を選択する3レベル入力として機能します。
8	6	SDA/FS1	シリアルデータI/O/機能選択入力1。MODE = ローのとき、SDA/FS1はI ² Cシリアルデータ入力/出力として機能します。MODE = ハイのとき、SDA/FS1は出力周波数倍率を選択する3レベル入力として機能します。
9	7	FS2	機能選択入力2。MODE = ハイのとき、FS2はサンプリングレートを選択する3レベル入力として機能します。MODE = ローのとき、FS2の電圧レベルはデバイスの動作に影響しません。
10, 11, 15	8, 9, 13	GND	グラウンド
12	10	RST	リセット入力。RSTをローに駆動すると、I ² Cレジスタがそのデフォルト状態にリセットされます。RSTは内部でVDDにプルアップされています。
13	11	MODE	モード制御入力。MODE = ローのとき、I ² Cインタフェースがアクティブです。MODE = ハイのとき、ハードワイヤードインタフェースがアクティブで、機能選択はSCL/FS0、SDA/FS1、及びFS2によってプログラムされます。モードは内部でGNDにプルダウンされています。
14	12	CLK_OUT1	出カクックポート1。CLK_OUT1は、機能選択に応じて256/384/768 f _S で動作します。CLK_OUT1は、ディセーブルされるとローに駆動されます。
16	14	CLK_OUT2	出カクックポート2。CLK_OUT2は、機能選択に応じて256/384/768 f _S で動作します。CLK_OUT2は、ディセーブルされるとローに駆動されます。
18	16	MCLK	マスタシステムクロックバッファ付き出力。MCLKは、内部のVCXOによって生成される27MHzクロックを出力します。MCLKはディセーブルされるとローに駆動されます。
19	17	SAO1	I ² Cデバイスアドレス選択入力1、またはMCLK出カイネーブル制御入力。MODE = ローのとき、SAO1は3レベルI ² Cデバイスのアドレスプログラミング入力です。MODE = ハイのとき、SAO1はMCLKのイネーブル/ディセーブルを制御します。
20	18	SAO2	I ² Cデバイスアドレス選択入力2、またはCLK_OUT出カイネーブル制御入力。MODE = ローのとき、SAO2は3レベルI ² Cデバイスのアドレスプログラミング入力です。MODE = ハイのとき、SAO2はCLK_OUT1とCLK_OUT2のイネーブル/ディセーブルを制御します。
—	Exposed Pad	EP	エクスポーズドパッド。EPをグラウンドに接続してください。

プログラム可能なオーディオクロックジェネレータ

MAX9485

ファンクションダイアグラム



詳細

MAX9485は、水晶またはシステムリファレンスクロックからの27MHzの入力リファレンス周波数を使用します。このデバイスは、I²Cインタフェースを通してまたはハードワイヤード入力から選択されたサンプリング周波数(f_S)の256、384、または768倍のクロックを2つのバッファ経由で出力します。サンプリング周波数として、12kHz、32kHz、44.1kHz、48kHz、64kHz、88.2kHz、及び96kHzが利用可能です。MAX9485は、バッファ付き27MHz出力を備え、MPEGシステムから生成されるDC電圧によって調整されるVCXOを内蔵しています。このデバイスは3.3V電源で動作します。

リファレンスと出力クロック

MAX9485は、27MHzの水晶またはオーディオシステムからのリファレンスクロック(マスタクロック)を使用し、オーディオシステムサンプリング周波数(f_S)の256、384、または768倍の出力を生成します。基本モード水晶をX1とX2の間に接続するか、またはX1を27MHzの

システムクロックに接続してください。サンプリング周波数の選択肢は、12kHz、32kHz、44.1kHz、48kHz、64kHz、88.2kHz、及び96kHzです。MAX9485は、2つの同等の出力、CLK_OUT1とCLK_OUT2を備えています。以後、両出力をCLK_OUTと記述します。表1は、 f_S と出力周波数の関係を示しています。I²Cレジスタをプログラムするか、または入力FS0、FS1、及びFS2をハードワイヤ接続することによって出力周波数を選択してください。CLK_OUTのセトリグタイムは、通常、パワーオンから、またはクロックをX1に印加してから15msです。サンプリング周波数の変更からCLK_OUTがセトリグするまでの遅延時間は、10ms(typ)です。図1は、I²Cでプログラムした場合のCLK_OUTのトランジェントタイミングを示します。I²Cレジスタは、マスタ書込みデータの転送によって設定されます。周波数セトリグタイム t_{FST} は、SDAに書き込まれたバイトの次にあるACKパルスの最後からCLK_OUTが整定するまでの時間として計測されます。

プログラム可能なオーディオクロックジェネレータ

MAX9485

表1. サンプリング周波数と出力クロック

SAMPLING FREQUENCY	CLK_OUT			SAMPLING RATE
	f_s (kHz)	$256 \times f_s$ (MHz)	$384 \times f_s$ (MHz)	
12	3.072	4.608	9.126	Standard
32	8.1920	12.2880	24.5760	Standard
44.1	11.2896	16.9344	33.8688	Standard
48	12.2880	18.4320	36.8640	Standard
64	16.3840	24.5760	49.1520	Double
88.2	22.5792	33.8688	67.7376	Double
96	24.5760	36.8640	73.7280	Double

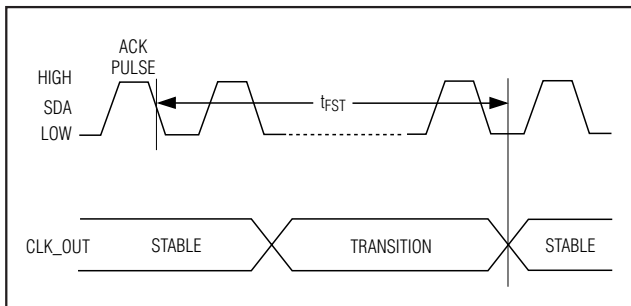


図1. CLK_OUTのトランジェントタイミング

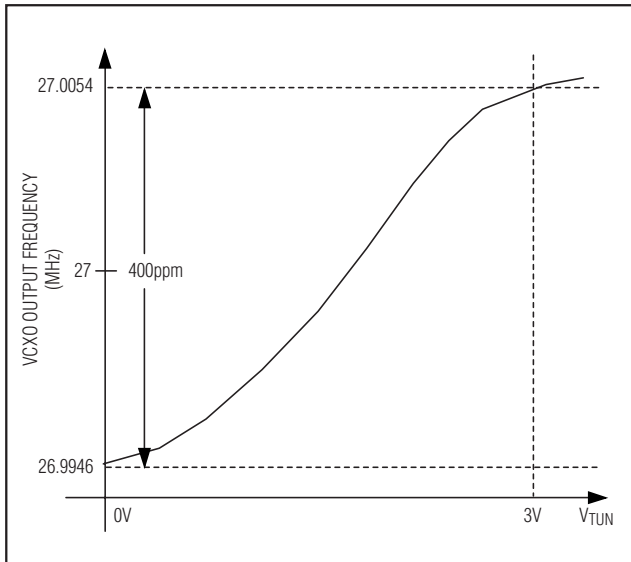


図2. VCXOの調整範囲

電圧制御水晶発振器(VCXO)

MAX9485内部のVCXOは、CLK_OUT1とCLK_OUT2の発生に使用されるPLL用の27MHzリファレンスクロックを生成します。この発振器は、27MHzの水晶を

ベース周波数リファレンスとして使用し、 $\pm 200\text{ppm}$ の範囲の微調整用に電圧制御調整入力（V_{TUN}）が備えられています。調整電圧V_{TUN}は、図2に示すように、0~3Vの範囲で変更することができます。 $\pm 30\text{ppm}$ の基本モードの27MHzで発振するATカット水晶を使用してください。基板の寄生容量を含む12pF未満の水晶シャントコンデンサを使用してください。 $\pm 200\text{ppm}$ の可変幅を実現するために、負荷容量は14pF未満の発振器を選んでください。VCXO自走発振器とバッファ付き出力MCLKは、パワーオンリセットと外部リセットの影響を受けません。VCXOのセトリングタイムは、パワーオン時が5msで、V_{TUN}電圧変更時が10 μs です。

MAX9485は、入力リファレンスクロックが27MHzのシンセサイザとして使用することができます。このモードのためには、27MHzの入力クロックをX1に接続してください。TUNをV_{DD}に接続し、X2を開放のままにしてください。この構成は、微調整が必要でなく27MHzのシステムマスタクロックが利用可能なアプリケーション用です。

チップのリセット機能

MAX9485はリセット機能を内蔵しています。このデバイスは、パワーアップ時にリセットしますが、RSTをローに駆動することによって外部でリセットすることもできます。リセット機能は、レジスタをデフォルト値に設定します。MODEは、パワーアップ時におけるデバイスのプログラミングモードを設定します。MODE = ローのとき、デバイスはソフトウェアプログラマブルモードに設定されます。ハードワイヤモードの場合は、MODE = ハイに設定してください。MODE = ローの場合、リセットはCLK_OUT1とCLK_OUT2のデフォルト値を $256 \times f_s$ ($f_s = 32\text{kHz}$) に設定します。MODE = ハイの場合、リセットはCLK_OUT1とCLK_OUT2をハードワイヤード入力の値に従って設定します。

プログラム可能なオーディオクロックジェネレータ

内部パワーオンリセットは、 V_{DD} が2.2V(許容範囲 $\pm 0.4V$)を超えてから1024リファレンスクロックサイクル後に完了します。内部パワーオンリセットを使用するときは、 \overline{RST} はハイでなければなりません。図3はパワーオンリセットのタイミングを示します。また、内部リセット機能は、 $\overline{RST} = \text{ロー}$ に駆動することによって外部の強制リセットを受け入れます。このリセットは、 $\overline{RST} = \text{ロー}$ のときトリガされて1024リファレンスクロックサイクル後に完了します。リセットが開始されると、1024リファレンスクロックサイクル中に \overline{RST} に加えられるパルスはすべて無視されます。 \overline{RST} がリセットサイクル終了時にローに保たれていると、 \overline{RST} でハイからローへの遷移が検出されるまではリセットが開始しません。図4は外部リセットのタイミングを示します。

ソフトウェア及びハードワイヤの制御モード

MAX9485のサンプリング周波数、サンプリングレート、及びクロック出力は、2線式の I^2C インタフェース(ソフト

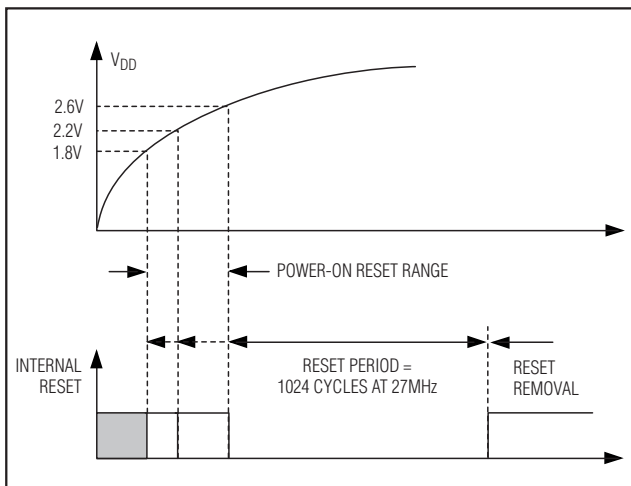


図3. パワーオンリセットのタイミング

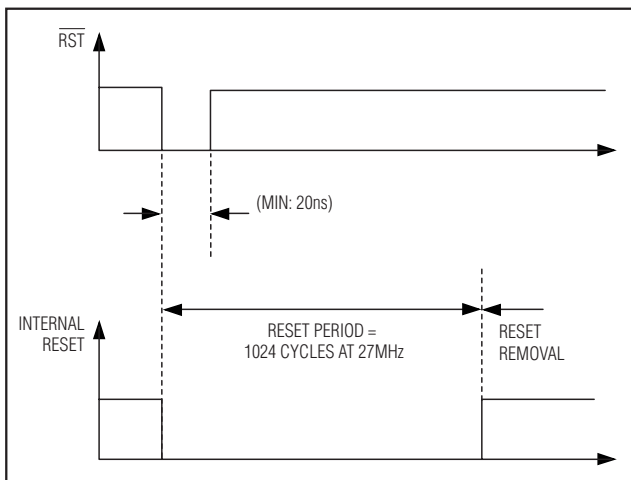


図4. 外部リセットのタイミング

ウェアモード、 $\text{MODE} = \text{ロー}$)によってプログラムすることができますが、3レベル入力(ハードワイヤモード、 $\text{MODE} = \text{ハイ}$)のハードワイヤ接続によって直接プログラムすることもできます。各モードに対して提供される機能を表2に示します。 CLK_OUT と MCLK は、ディセーブルされるときローに駆動されます。

ハードワイヤモードのプログラミング (MODE = ハイ)

ハードワイヤモードでは、 FS2 でサンプリングレートが選択されます(表3)。 $\text{FS2} = \text{ロー}$ の場合、サンプリングレートは標準です。 $\text{FS2} = \text{ハイ}$ の場合、サンプリングレートは2倍になります。 $\text{FS2} = \text{オープン}$ のとき、 FS0 の設定が無視されて、12kHzの標準レートが選択されます。 FS1 では、倍率256、384、及び768が選択されます(表4)。 FS0 では、サンプリング周波数32kHz、44.1kHz、及び48kHzが選択されます(表5)。

$\text{MODE} = \text{ハイ}$ のとき、入力 SAO1 と SAO2 はクロック出力をイネーブルまたはディセーブルします(表6と7)。 CLK_OUT と MCLK は、ディセーブルされるときローに駆動されます。

表2. 選択可能な機能

機能	ハードワイヤモード MODE = ハイ	ソフトウェアモード MODE = ロー
標準サンプリング 周波数: 12kHz、 32kHz、44.1kHz、 48kHz	✓	✓
ダブルサンプリング 周波数: 64kHz、 88.2kHz、96kHz	✓	✓
CLK_OUT1 、 CLK_OUT2 、 MCLK : イネーブル/ ディセーブル	✓	✓

表3. サンプリングレートの選択

FS2	SAMPLING RATE
Low	Standard (32kHz, 44.1kHz, 48kHz)
High	Doubled (64kHz, 88.2kHz, 96kHz)
Open	Standard (12kHz)

表4. 周波数の倍率

FS1	OUTPUT SCALING FACTOR
Low	256
High	384
Open	768

プログラム可能なオーディオクロックジェネレータ

表5. サンプリング周波数の選択

FS0	SAMPLING FREQUENCY (kHz)
Low	32
High	44.1
Open	48

表6. MCLKのイネーブル/ディセーブル制御

SAO1	MCLK
Low	Disabled
High	Enabled
Open	Reserved

表7. CLK_OUTのイネーブル/ディセーブル制御

SAO1	SAO2	CLK_OUT1	CLK_OUT2
High/low	Open	Enabled	Enabled
High/low	Low	Enabled	Disabled
High/low	High	Disabled	Enabled

ソフトウェアモードのプログラミング (MODE = ロー)

ソフトウェアモードでは、I²Cインタフェース経由でMAX9485内の8ビット制御レジスタの書き込みまたは読取りを行います。制御レジスタが、レート設定とクロック出力を制御します。MAX9485には1個のレジスタしかないため、このレジスタにはアドレスが割り当てられていません。このデバイスは、SAO1とSAO2によって選択されるプログラム可能な7ビットアドレスをI²Cバス用に備えています(表8)。MODE = ローでパワーアップする際に、MAX9485はSAO1とSAO2の状態を読取ってI²Cデバイスアドレスをラッチします。表9は、制御レジスタのビットマップを示します。ビットC7はMCLK出力をイネーブルします。ビットC5とC6はクロック出力CLK_OUT1とCLK_OUT2をそれぞれイネーブルします。ビットC4はサンプリングレートを選択します。ビットC3とC2は出力周波数の倍率を選定します。ビットC1とC0はサンプリング周波数を決定します。詳細を表10~14に示します。

シリアルインタフェース

MAX9485の制御インタフェースは、2線式のI²Cシリアルインタフェースを使用しています。このデバイスは、クロックラインSCL及びデータラインSDAを介してデータを送受信するスレーブとして動作し、マスタ

表8. レジスタアドレスの選択

SAO1	SAO2	I ² C DEVICE ADDRESS
Open	Open	110 0000
Low	Open	110 0011
High	Open	110 0010
Open	Low	110 0100
Low	Low	110 1000
High	Low	111 0000
Open	High	111 0001
Low	High	111 0010
High	High	111 0100

表9. 制御レジスタのビットマップ

BIT	FUNCTION
C7	MCLK enable/disable
C6, C5	CLK_OUT2, CLK_OUT1 enable/disable
C4	Sampling-rate selection
C3, C2	Frequency-scaling factors
C1, C0	Sampling-frequency selection

表10. MCLKのイネーブル/ディセーブル制御

C7	MCLK
0	Disabled
1	Enabled

表11. CLK_OUT1、2のイネーブル/ディセーブル制御

C6	C5	CLK_OUT2	CLK_OUT1
1	1	Enabled	Enabled
1	0	Enabled	Disabled
0	1	Disabled	Enabled
0	0	Disabled	Disabled

表12. サンプリングレートの選択

C4	SAMPLING RATE
0	Standard
1	Doubled

との双方向通信を実現します。マスタ(通常、マイクロコントローラ)は、MAX9485とのすべてのデータ転送を開始し、データ転送と同期するSCLクロックを生成します。

プログラム可能なオーディオクロックジェネレータ

表13. 周波数の倍率

C3	C2	OUTPUT SCALING FACTOR
0	0	256
0	1	384
1	0	768
1	1	Reserved

表14. サンプル周波数の選択

C1	C0	SAMPLING FREQUENCY (kHz)
0	0	12
0	1	32
1	0	44.1
1	1	48

注：(C1、C0) = (0、0)、及びC4 = 1(ダブル)は正しい選択ではありません。ただし、これを設定すると、12kHzのサンプリング周波数が選択されます。

SDAラインは、入力としてもオープンドレイン出力としても動作します。SDAには、プルアップ抵抗器(typ、4.7kΩ)が必要です。SCLラインは入力としてのみ動作します。2線バス上に複数のマスタが存在する場合や単一マスタシステム内のマスタがオープンドレインのSCL出力の場合は、SCLにプルアップ抵抗器(typ、4.7kΩ)が必要です。

スタート及びストップ条件

インタフェースがアイドル状態にあるときは、SCLとSDAはともにハイのままです。アクティブなマスタは、SCLがハイの間にSDAをハイからローに遷移させることにより、これをSTART(S)条件として伝送開始信号を送出します。通信処理後、マスタは、SCLがハイの間にSDAをローからハイに遷移させることでSTOP(P)条件を送出し、バスを別の伝送のために解放します(図5)。バストランザクションが進行中にSTARTまたはSTOP条件が発生すると、トランザクションは終了します。

データ転送とアクノレッジ

START条件に続いて、各SCLクロックパルスは1ビットを転送します。MAX9485インタフェースの場合、STARTとSTOPの間に18ビットが2線バス上で転送されます。最初の7ビットはデバイスのアドレスです。ビット8は書込み(ロー)または読取り(ハイ)の動作(R/W)を示します。ビット9はアドレスと動作タイプに

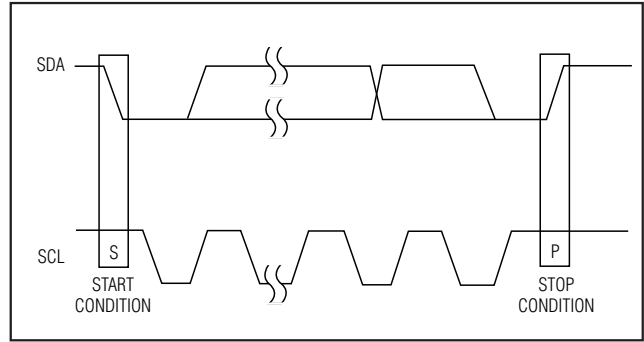


図5. スタート及びストップ条件

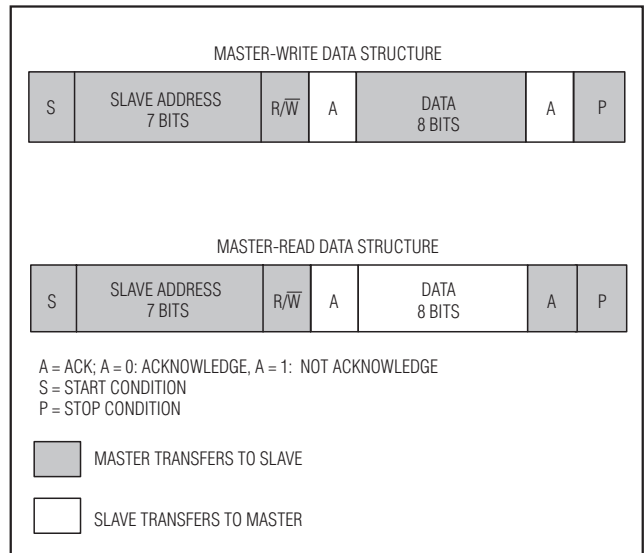


図6. シリアルインタフェースのデータ構造

対するACKです。ビット10~17はデータバイトを構成します。ビット18はデータバイトに対するACKです。マスタは常に最初の8ビット(アドレス + R/W)を転送します。スレーブ(MAX9485)は、データバイトをバスから受信するか、またはこれを内部レジスタからバスに転送することができます。ACKビットは、アドレスまたはデータの受信側から伝送されます。ローのACKビットは転送成功(アクノレッジ肯定)を示し、ハイのACKビットは転送失敗(アクノレッジ否定)を示します。図6はデータ転送構造を示します。書込み動作中に規定以上の同期データが転送されると、このデータはレジスタ内のデータに上書きされます。読取り動作中に多くのクロックがSCL上で転送されると、SDAはレジスタデータへの応答を継続します。

プログラム可能なオーディオクロックジェネレータ

MAX9485

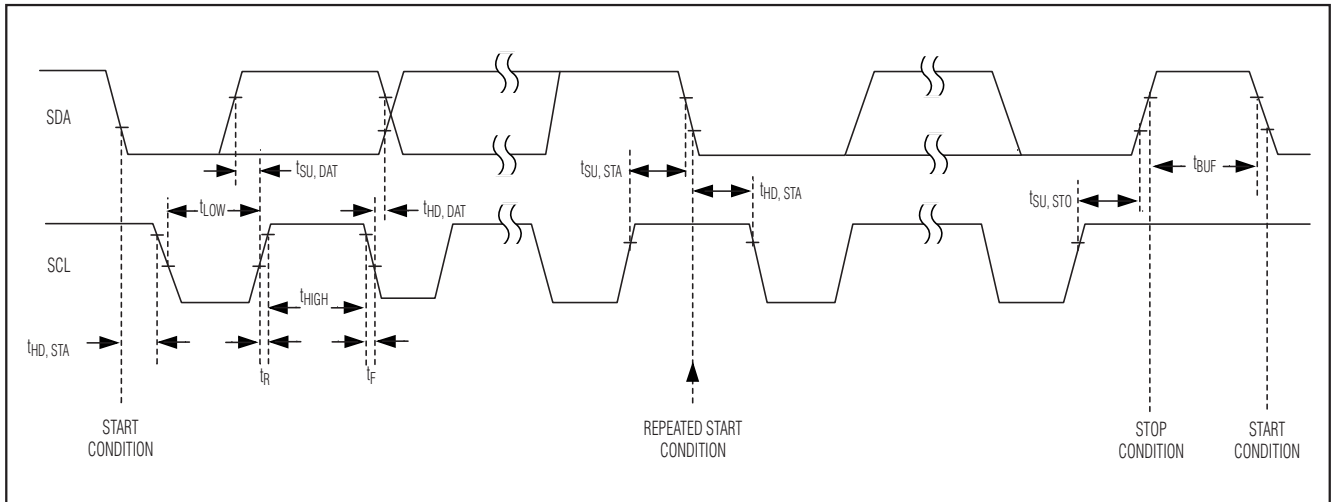


図7. 2線式シリアルインタフェース

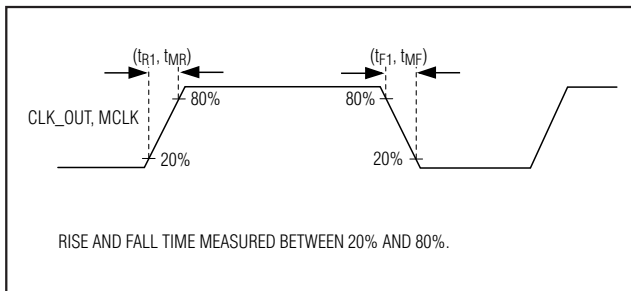


図8. CLK_OUT、MCLK立上り及び立下り時間

アプリケーション情報

水晶の選択

MAX9485の内部VCXOを外付け水晶とともに使用する場合には、水晶をX1とX2に接続してください。±30ppmの基本モードの27MHzで発振するATカット水晶を使用してください。基板の寄生容量を含む12pF未満の水晶シャントコンデンサを使用してください。±200ppmの変幅を実現するために、負荷容量が14pF未満の発振器を選んでください。

注：可変範囲は、使用する水晶に依存して変わる場合があります。詳しくは、MAX9485の評価キットを参照してください。

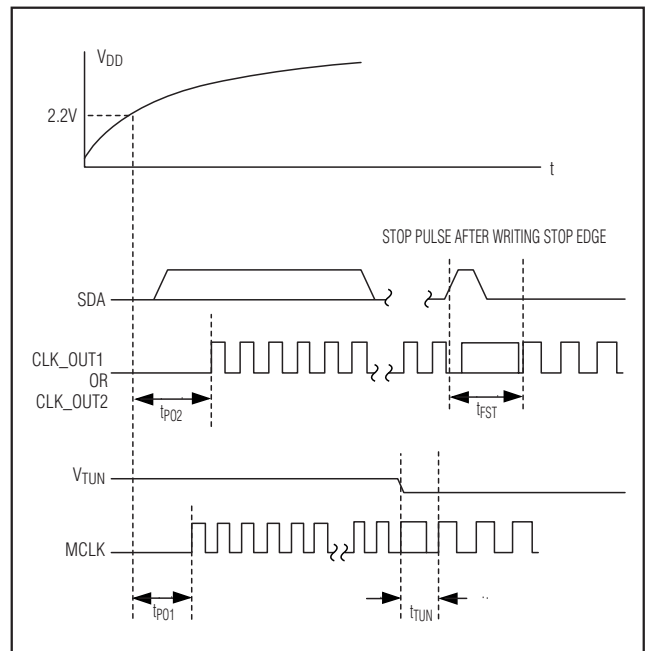


図9. VCXOとPLLのセトリングタイム

プログラム可能なオーディオクロックジェネレータ

低ジッタの出力CLK周波数設定

具体的な周波数は、サンプリングレートと倍率(256、384、及び768)などの複数の設定(表1)によって実現します。しかし、内部構成の違いによって、CLK出力ジッタが各設定に対して異なる場合があります。表15は、様々な設定値に対するCLK出力周波数とジッタを示します。最良の性能を得るために、ユーザは個々の周波数でジッタが最低になるように設定値を選定する必要があります。

電源のバイパスとグランド管理

MAX9485の発振器周波数は高いため、安定性を確保するには適正なレイアウトが重要になります。最良の性能を得るために、部品をデバイスにできる限り近づけて配置してください。

GNDのデジタル及びACトランジェント信号は、クロック出力にノイズを発生する可能性があります。GNDは可能な範囲で最高品質のグランドに戻してください。V_{DD}とV_{DD_P}は0.1μFと0.001μFのコンデンサでバイパスするものとし、これらのコンデンサはデバイスのできる限り近くに配置してください。プリント基板のグランドレイアウトに注意することで、出力とデジタル入力間のクロストークが最小限に抑えられます。

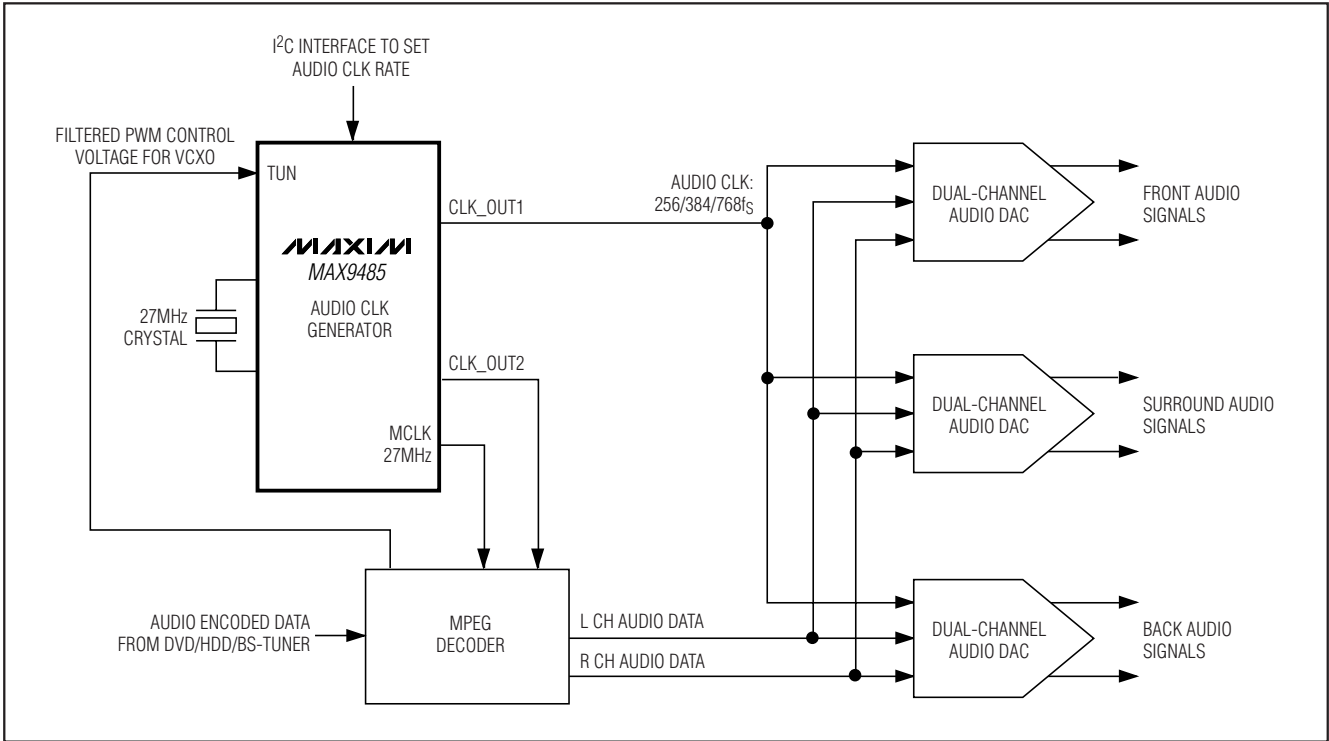
表15. 出力CLKのジッタ測定

FOUT (MHz)	SCALING FACTOR	f _s (kHz)	T _{RJ} (RMS) (ps)
73.728	768	96	21
67.7376	768	88.2	23.2
49.152	768	64	42.6
36.864	768	48	40
36.864	384	96	37
33.8688	768	44.1	44
33.8688	384	88.2	41.3
24.5760	768	32	66
24.5760	384	64	92
24.5760	256	96	50
22.5792	256	88.2	55.1
18.4320	384	48	59
16.9344	384	44.1	69
16.3840	256	64	134
12.2880	256	48	84.8
12.2880	384	32	170
11.2896	256	44.1	100
9.126	768	12	106
8.1920	256	32	250
4.608	384	12	198
3.072	256	12	324

プログラム可能なオーディオクロックジェネレータ

MAX9485

標準動作回路



チップ情報

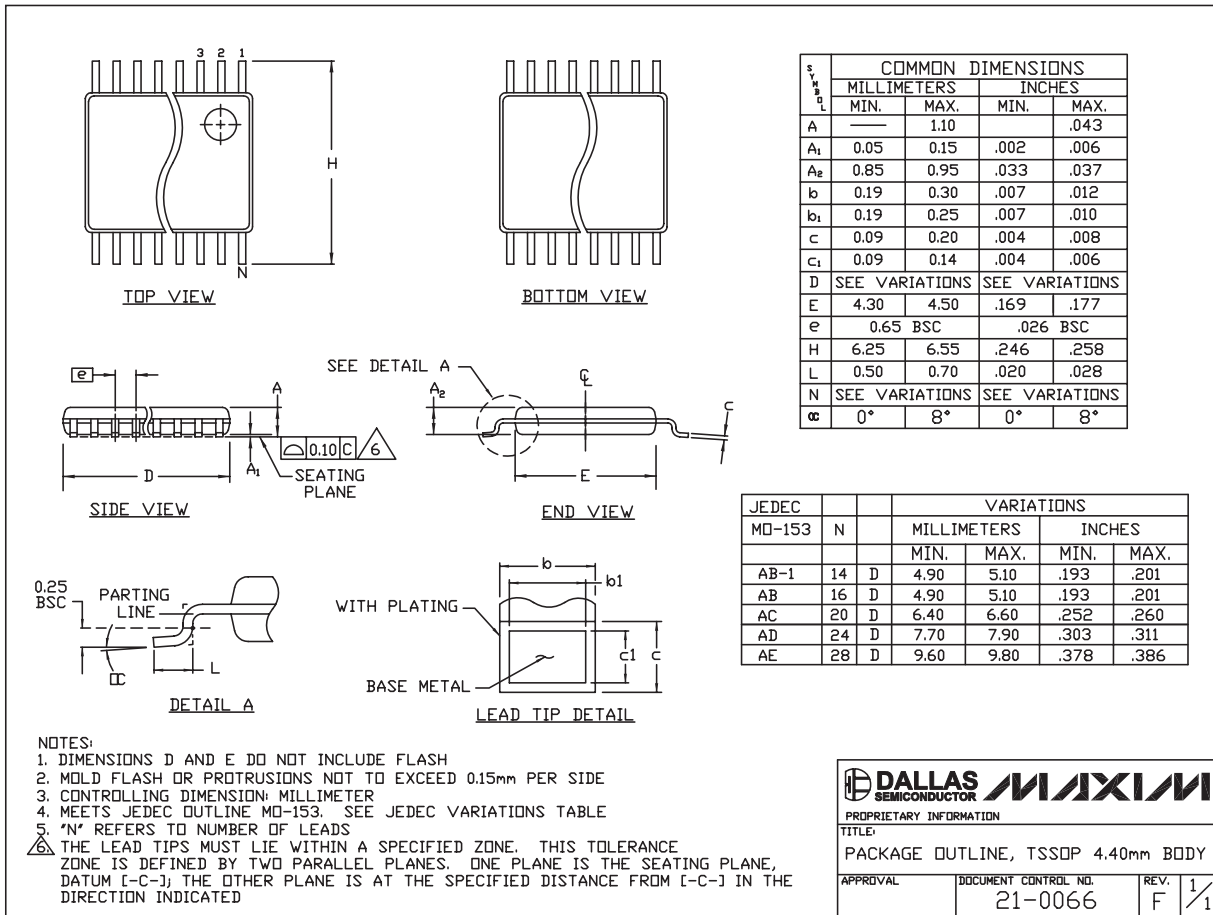
TRANSISTOR COUNT: 9817

PROCESS: CMOS

プログラム可能なオーディオクロックジェネレータ

パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)



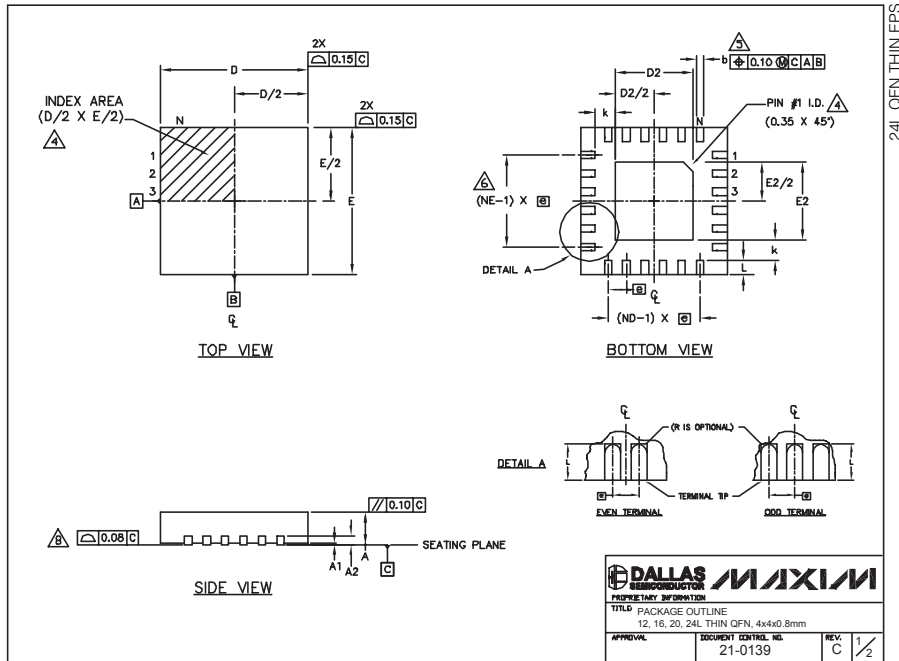
TSSOP4.40mm.EPS

MAX9485

プログラム可能なオーディオクロックジェネレータ

パッケージ(続き)

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)



COMMON DIMENSIONS												
PKG	12L 4x4			16L 4x4			20L 4x4			24L 4x4		
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
A	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80
AL	0.0	0.02	0.05	0.0	0.02	0.05	0.0	0.02	0.05	0.0	0.02	0.05
A2	0.20 REF.			0.20 REF.			0.20 REF.			0.20 REF.		
b	0.25	0.30	0.35	0.25	0.30	0.35	0.20	0.25	0.30	0.18	0.23	0.30
D	3.90	4.00	4.30	3.90	4.00	4.10	3.90	4.00	4.30	3.90	4.00	4.10
E	3.90	4.00	4.30	3.90	4.00	4.10	3.90	4.00	4.30	3.90	4.00	4.10
e	0.80 BSC.			0.65 BSC.			0.50 BSC.			0.50 BSC.		
k	0.25	-	-	0.25	-	-	0.25	-	-	0.25	-	-
L	0.43	0.55	0.65	0.45	0.55	0.65	0.45	0.55	0.65	0.30	0.40	0.50
N	12			16			20			24		
ND	3			4			5			6		
NE	3			4			5			6		
Wgdd	WGGB			WGGC			WGGD-1			WGGD-2		

EXPOSED PAD VARIATIONS									
PKG CODES	DE			E2			DOWN BONDS ALLOWED		
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.			
T1244-2	1.95	2.30	2.25	1.95	2.10	2.25	NO		
T1244-3	1.95	2.30	2.25	1.95	2.10	2.25	YES		
T1244-4	1.95	2.30	2.25	1.95	2.10	2.25	NO		
T1644-2	1.95	2.30	2.25	1.95	2.10	2.25	NO		
T1644-3	1.95	2.30	2.25	1.95	2.10	2.25	YES		
T1644-4	1.95	2.30	2.25	1.95	2.10	2.25	NO		
T2044-1	1.95	2.30	2.25	1.95	2.10	2.25	NO		
T2044-2	1.95	2.30	2.25	1.95	2.10	2.25	YES		
T2044-3	1.95	2.30	2.25	1.95	2.10	2.25	NO		
T2444-1	2.45	2.60	2.63	2.45	2.60	2.63	NO		
T2444-2	1.95	2.30	2.25	1.95	2.10	2.25	YES		
T2444-3	2.45	2.60	2.63	2.45	2.60	2.63	YES		
T2444-4	2.45	2.60	2.63	2.45	2.60	2.63	NO		

NOTES:

- DIMENSIONING & TOLERANCING CONFORM TO ASME Y14.5M-1994.
- ALL DIMENSIONS ARE IN MILLIMETERS. ANGLES ARE IN DEGREES.
- N IS THE TOTAL NUMBER OF TERMINALS.
- THE TERMINAL #1 IDENTIFIER AND TERMINAL NUMBERING CONVENTION SHALL CONFORM TO JEDEC 95-1 SFP-012. DETAILS OF TERMINAL #1 IDENTIFIER ARE OPTIONAL, BUT MUST BE LOCATED WITHIN THE ZONE INDICATED. THE TERMINAL #1 IDENTIFIER MAY BE EITHER A MOLD OR MARKED FEATURE.
- DIMENSION b APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.25 mm AND 0.30 mm FROM TERMINAL TIP.
- ND AND NE REFER TO THE NUMBER OF TERMINALS ON EACH D AND E SIDE RESPECTIVELY.
- DEPOPULATION IS POSSIBLE IN A SYMMETRICAL FASHION.
- COPLANARITY APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.
- DRAWING CONFORMS TO JEDEC M0220, EXCEPT FOR T2444-1, T2444-3 AND T2444-4.

DALLAS MAXIM
 PROPRIETARY INFORMATION
 TITLE PACKAGE OUTLINE
 12, 16, 20, 24L THIN QFN, 4x4x0.8mm
 APPROVAL DOCUMENT CONTROL NO. 21-0139 REV. C 2/2

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)
 TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

16 **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**

© 2004 Maxim Integrated Products, Inc. All rights reserved. **MAXIM** is a registered trademark of Maxim Integrated Products.