

New DAI for DF1706 基板 製作マニュアル

<注意>

本キットをつかって生じた感電、火災等の一切のトラブルについては、当方は責任を負いませんのでご了承ください。また、基板、回路図、マニュアル等の著作権は放棄していませんので、その一部あるいは全体を無断で第3者に対して使用することはできません。

1. はじめに

本基板は DAI (Digital Audio Interface) である CS8416 と DF (digital filter) の DF1706 を組み合わせた構成となっており、主に PCM61P, PCM63P, PCM1702, PCM1704 などの 16, 18, 20, 24BitDAC への接続を考慮した設計になっています。主用途は Renew DAC1704 への接続ですが、以前にリリースしたマルチビット用 DAC のインターフェイスとしても活用できるでしょう。また DAI 単独の出力も備えていることから、各種の DAC の汎用 DAI として使えます。

本基板は以前にリリースした RenewDAI for DF1706 の後継機になり、機能の拡張も行っています。主な拡張機能は出力フォーマット、ビット数の変更が可能になっていること、そして SPDIF 信号だけでなく PCM 信号の入力も可能としています。さらに DF1706 の電子ボリューム機能も使えるようにしています。



完成例

2. 機能&仕様

表 主な仕様

使用素子	CS8416 (DAI), DF1706 (DF)
特徴	・ 動作周波数 32kHz~192kHz ・ SPDIF/PCM (CN0) 入力 ・ DAI 直接出力 (CN1) および D F 出力 (CN2, 3) の両方を具備。 ・ DF1706 の周波数の自動切り替え機能有り。 ・ DF 出力 (CN2, CN3) は DF モードおよび NOS (Non-oversampling) 機能の切り替え機能有り。
必要電圧	+5V あるいは 3.3V 消費電流 0.1A (44.1kHz 動作時)
基板	外形 : 4700×3200mil (119.38×81.28mm)、ネジピッチ 111.76×73.66mm 厚さ : 1.6mmt、70um 銅箔厚, FR4

3. 構成について

本基板における信号の流れを下図で概説します。SPI とあるのは SCK, BCK, LR, DAT の 4 本あるいは BCK, LR, DAT の 3 本の信号線であることを示しています。信号は左から右に流れますが、DF1706 の入力、SPDIF 信号から CS8416 にて SPI に変換された信号か、CNO の PCM-IN から入力された SPI のどちらを選ぶかをスイッチ (S/P) で選択します。この選択は基板端子の P20 (S/P) になります。選択された SPI 信号は DF1706 にてオーバーサンプリング処理が行われます。そしてスイッチ (F/D) により CN2, 3 に出力する信号を、DF1706 の SPI 出力か、DF1706 を通す前の SPI のダイレクト出力 (NOS: Non Over Sampling) のどちらを選択するかを切り替えます。このときダイレクト出力を利用するには SPI のフォーマットが右詰め標準フォーマット (Right Justified) である必要があります。CNO (PCM-IN) の入力フォーマットが I2S や左詰めフォーマットの場合はダイレクト出力 (Nos) は利用できません。

CN1 には DF1706 に入力される SPI をそのままバッファ出力されます。

DF1706 は 32~96kHz の fs では 256~768fs のシステムクロックで動作し、96kHz を超える fs 信号の場合は 128fs あるいは 192fs に設定する必要があります。したがって入力信号の fs を計測する必要があります。LR Clock (32~192kHz) を PIC に接続し周波数の判別を行っています。

なお、入力信号の注意点ですが CNO (PCM-IN) を使用する場合はかならずシステムクロックを供給する必要があります (CNO の Pin9)。これがないと DF1706 は動作できません。またこの周波数は 96kHz 以下の fs では 256fs 以上、96kHz を超える周波数では 128fs または 192fs としなければなりません。接続する信号のシステムクロック周波数に注意ください。

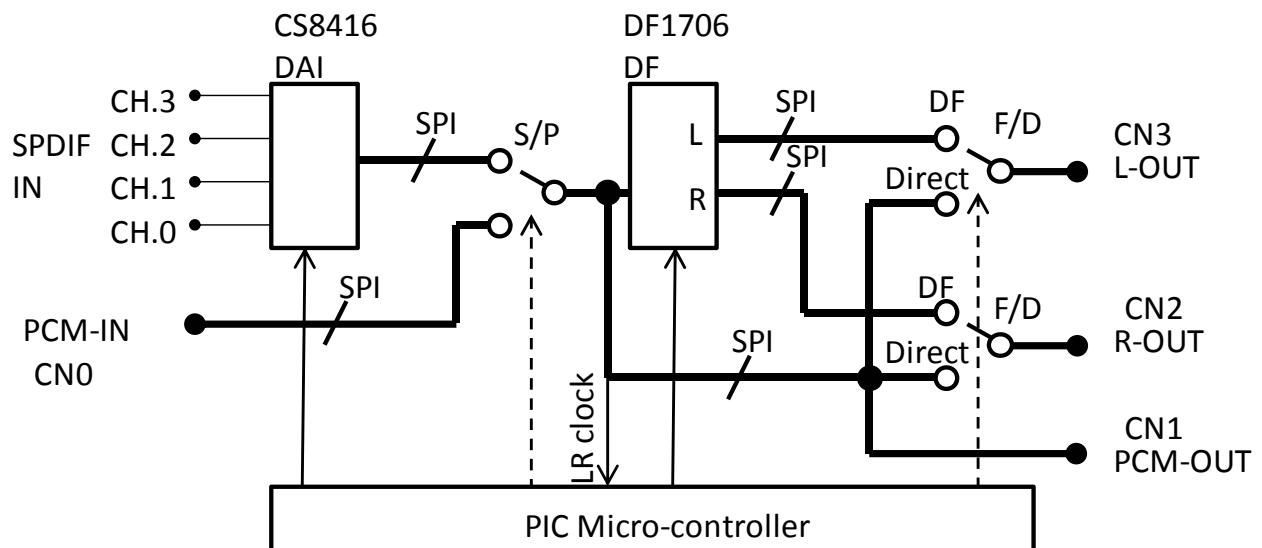


図 本基板での信号の流れ

4. 基板端子機能

4-1. 基板端子

P20～P25 で設定する動作モードについては「5. 動作モード」で説明します。

表 端子機能

No	機能	説明
P1	+5V	+5V 電源入力
P2	+3.3V	+3.3V 電源入出力
P3	GND	電源 GND
P4	CH.3 V	CH.3 用の電源端子（光モジュール接続する場合に活用）
P5	CH.3 S	CH.3 用の信号入力(+) 同軸信号入力
P6	CH.3 G	CH.3 用の GND
P7	CH.2 V	CH.2 用の電源端子（光モジュール接続する場合に活用）
P8	CH.2 S	CH.2 用の信号入力(+) 同軸信号入力
P9	CH.2 G	CH.2 用の GND
P10	CH.1 V	CH.1 用の電源端子（光モジュール接続する場合に活用）
P11	CH.1 S	CH.1 用の信号入力(+) 同軸信号入力
P12	CH.1 G	CH.1 用の GND
P13	CH.0 V	CH.0 用の電源端子（光モジュール接続する場合に活用）
P14	CH.0 S	CH.0 用の信号入力(+) 同軸信号入力
P15	CH.0 G	CH.0 用の GND
P16	V+	VR③-Vdd 電子ボリューム用 VR(10~50kΩ (B))
P17	Vin	VR②-center
P18	GND	VR①-Gnd
P19	GND	GND
P20	S/P(*1)	入力切り替え (H:PCM, L:SPDIF)
P21	F/D(*1)	CN2,3 出力切り替え (H:DF 出力、L:PCM ダイレクト)
P22	CH0	入力切り替え CH0
P23	CH1	入力切り替え CH1
P24	FIL	フィルターレスポンス切り替え (H:Sharp, L:Slow)
P25	DEM	De-emphasis (H:OFF, L:ON)

(*1) 要プルアップ抵抗 (P16:V+に 10~47kΩ の抵抗で接続)

4-2. ジャンパーポスト

(1) JP1

JP1 は基板の信号入力端子群の電圧出力端子 (P4, 7, 10, 13) の電圧を設定します。光モジュールの電源電圧 (3.3V あるいは 5V) に合わせて変更します。光モジュールを使わない場合は、設定の必要はありません。

表 JP1 の設定

5	電圧出力端子 (P4, 7, 10, 13) の電圧を 5V に設定する。
3.3	電圧出力端子 (P4, 7, 10, 13) の電圧を 3.3V に設定する。

(2) JP2

JP1 は CN1~3 のロジックレベル電圧を設定します。受け入れる DAC のロジック電圧に合わせて設定します。RenewDAC1704 などと接続する場合は 5V に設定します。汎用 DAI として使用して、3.3V 動作の DAC と接続する場合は 3.3V に設定します。このジャンパーはかならずどちらかに設定してください。

表 JP2 の設定

5	CN1~3 のロジック電圧を 5V に設定する。
3.3	CN1~3 のロジック電圧を 3.3V に設定する。

(3) JP3

JP3 は本基板での動作モードを決定する重要な部分です。動作にあたり、正確な設定が必要になりますので注意してください。

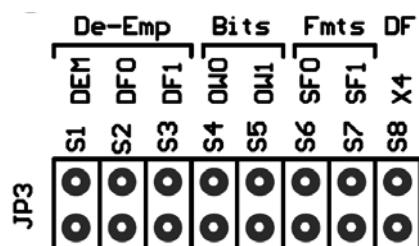


図 JP3

図 JP3 の機能

No	名称	機能	開放 (H)	短絡 (L)
S1	DEM	エンファシス動作	OFF	ON
S2	DF0	エンファシス周波数設定 0	DF1=H, DF0=H の場合 44.1kHz DF1=H, DF0=L の場合 reserved DF1=L, DF0=H の場合 48kHz DF1=L, DF0=L の場合 32kHz	
S3	DF1	エンファシス周波数設定 1		
S4	OW0	DF1706 出力ビット数設定 0	OW1=H, OW0=H の場合 24Bit OW1=H, OW0=L の場合 20Bit OW1=L, OW0=H の場合 18Bit OW1=L, OW0=L の場合 16Bit	
S5	OW1	DF1706 出力ビット数設定 1		
S6	SF0	DF1706 入力フォーマット設定 0	SF1=H, SF0=H の場合 RJ24Bit SF1=H, SF0=L の場合 RJ16Bit SF1=L, SF0=H の場合 LJ SF1=L, SF0=L の場合 I2S	
S6	SF1	DF1706 入力フォーマット設定 1		
S7	X4	未定義 (使用不可)		

5. 動作モード

5-1. SPDIF/PCM 入力切り替え (P20)

SPDIF と PCM(CN0)の入力切り替えは P20 で行います。なお P20 は 10~47kΩ 程度の抵抗でプルアップしてください。

表 入力切り替え (P20)

S/P (P20)	動作モード
開放	PCM (CN0) の入力を使用します。
GND (P19 接続)	SPDIF 入力を使用します。

5-2. 出力モードセレクト (P21)

CN2、CN3 の出力信号の DF1706 出力、PCM ダイレクト出力 (Non-oversampling) の切り替えは P21 を用いておこないます。なお P21 は 10~47kΩ 程度の抵抗でプルアップしてください。

表 モードセレクト機能

F/D (P21)	動作モード
開放	DF1706 使用モード (Oversampling モード) CN2, CN3 には DF1706 からの信号が出力されます。
GND (P19 接続)	DF 未使用モード (Non-oversampling モード) CN2, CN3 には DAI (CS8416) あるいは PCM (CN0) からの信号が一部加工されて出力されます。

5－3．チャンネルセレクト (P22, 23)

SPDIF における入力チャンネルの切り替えは P22, 23 を使用しておこないます。

表 チャンネルセレクト機能

CH1 (P23)	CH0 (P22)	選択チャンネル
開放	開放	CH. 0
開放	GND (P19 接続)	CH. 1
GND (P19 接続)	開放	CH. 2
GND (P19 接続)	GND (P19 接続)	CH. 3

5－4．フィルタセレクト (P24)

DF1706 のデジタルフィルタの減衰方式を設定します。

表 フィルターセレクト機能

FIL (P24)	動作モード
開放	Sharp Roll off に設定します。
GND (P19 接続)	Slow Roll off に設定します。

それぞれのフィルタでのインパルス応答は下図のようになります。



(a) Slow Roll Off



(b) Sharp Roll Off

図 DF1706 のフィルタとインパルス波の信号波形

5－5．デエンファシスセレクト (P25)

デエンファシスの ON/OFF を選択します。周波数の選択は JP3 にて行います。

表 フィルターセレクト機能

DEM (P25)	デエンファシス
開放	OFF にします。
GND (P19 接続)	ON にします。

6. コネクター機能

(1) CN0 (入力)

CN0 は外部からの PCM 信号入力になります (74LVC245 によるラインバッファで受信)。SPDIF 入力ではなく、外部からの PCM 信号を直接 DF1706 に入力する場合に使います。例えば、DAC2707 の出力や、ASRC (サンプルレートコンバータ) の PCM 出力を接続することができます。切り替えは P20 (S/P) にて行い、H の場合に CN0 の信号が DF1706 に送出されます。

表 CN0 端子機能

PIN	機能	説明	PIN	機能	説明
1	DATA	データ入力	2	GND	GND: 信号リターン
3	WCK	ワードクロック入力 (fs)	4	GND	GND: 信号リターン
5	BCK	ビットクロック入力	6	GND	GND: 信号リターン
7	SCK	システムクロック入力	8	GND	GND: 信号リターン
9	V(*1)	外部電源受供給端子	10	V(*1)	外部電源受供給端子

(*1) Pin9, 10 は V1 を接続することにより基板内部の 3.3 あるいは 5V 電源と接続されます。

(1) CN1

CN1 は CS8416 出力あるいは CN0 信号の直接出力端子になります (74AC245 によるラインバッファ有り)。切り替えは P20 (S/P) にて行い、L の場合は SPDIF 入力された CS8416 からの出力信号が CN1 に送出されます。H の場合は CN0 の信号がそのままバッファリングされて出力されます。

表 CN0 端子機能

PIN	機能	説明	PIN	機能	説明
1	DATA	データ出力	2	GND	GND: 信号リターン
3	WCK	ワードクロック出力 (fs)	4	GND	GND: 信号リターン
5	BCK	ビットクロック出力	6	GND	GND: 信号リターン
7	SCK	システムクロック出力	8	GND	GND: 信号リターン
9	V(*1)	外部電源受供給端子	10	V(*1)	外部電源受供給端子

(*1) Pin9, 10 は V1 を接続することにより基板内部の 3.3 あるいは 5V 電源と接続されます。

(2) CN2

CN2 は右チャンネル用の DF1706 出力およびダイレクト出力 (NOS) を切り替えて出力することができます。この切り替えは P21 を使用します。

表 CN2 端子機能 (DF1706 出力時: P21 は開放 (H レベル))

PIN	機能	説明	PIN	機能	説明
1	R-DATA	データ出力 (右チャンネルデータ)	2	GND	GND: 信号リターン
3	WCK	ワードクロック出力	4	GND	GND: 信号リターン
5	BCK	ビットクロック出力	6	GND	GND: 信号リターン
7	L-DATA	データ出力 (左チャンネルデータ)	8	GND	GND: 信号リターン
9	V(*1)	外部電源受供給端子	10	V(*1)	外部電源受供給端子

(*1) Pin9, 10 は V1 を接続することにより基板内部の 3.3 あるいは 5V 電源と接続されます。

表 CN2 端子機能 (NOS 出力時: P21 は GND (L レベル))

PIN	機能	説明	PIN	機能	説明
1	DATA	データ出力	2	GND	GND: 信号リターン
3	WCK	ワードクロック出力 (反転)	4	GND	GND: 信号リターン
5	BCK	ビットクロック出力	6	GND	GND: 信号リターン
7	-	(L レベルに固定)	8	GND	GND: 信号リターン
9	V(*1)	外部電源受供給端子	10	V(*1)	外部電源受供給端子

(*1) Pin9, 10 は V1 を接続することにより基板内部の 3.3 あるいは 5V 電源と接続されます。

(3) CN3

CN3は左チャンネル用のDF1706出力およびダイレクト出力(NOS)を切り替えて出力することができます。この切り替えはP21を使用します。

表 CN3 端子機能(DF1706出力時：P21は開放(Hレベル))

PIN	機能	説明	PIN	機能	説明
1	L-DATA	データ出力(左チャンネルデータ)	2	GND	GND:信号リターン
3	WCK	ワードクロック出力	4	GND	GND:信号リターン
5	BCK	ビットクロック出力	6	GND	GND:信号リターン
7	R-DATA	データ出力(右チャンネルデータ)	8	GND	GND:信号リターン
9	V(*1)	外部電源受供給端子	10	V(*1)	外部電源受供給端子

(*1)Pin9, 10はV1を接続することにより基板内部の3.3あるいは5V電源と接続されます。

表 CN3 端子機能(NOS出力時：P21はGND(Lレベル))

PIN	機能	説明	PIN	機能	説明
1	DATA	データ出力	2	GND	GND:信号リターン
3	WCK	ワードクロック出力(非反転)	4	GND	GND:信号リターン
5	BCK	ビットクロック出力	6	GND	GND:信号リターン
7	-	(Lレベルに固定)	8	GND	GND:信号リターン
9	V(*1)	外部電源受供給端子	10	V(*1)	外部電源受供給端子

(*1)Pin9, 10はV1を接続することにより基板内部の3.3あるいは5V電源と接続されます。

7. 部品表

表 部品表(例)

品名	番号	規格	仕様	個数	
抵抗	R1-4	炭素被膜(1/4W)	75Ω	4	
	R5	金属被膜(1/4W)	3kΩ	1	PLL用
	R6	炭素被膜(1/4W)	47kΩ	1	
	R7, 8	炭素被膜(1/4W)	1kΩ	2	12Cプルアップ用
	R9-11	炭素被膜(1/4W)	47kΩ	3	
	R12	炭素被膜(1/4W)	1kΩ	1	
	R13-24	炭素被膜(1/4W)	22Ω(*1)	12	ダンピング抵抗用
コンデンサ	C1-5	フィルムコンデンサ	0.01μF	5	
	C6	フィルムコンデンサ	0.022μF	1	PLL用
	C7	フィルムコンデンサ	1000pF	1	PLL用
	C8, 9	セラミックコンデンサ	22pF	-	使用しない。
	C10	フィルムコンデンサ	0.1μF	1	
	C11	電解コンデンサ	220μF/16V(*2)	1	
	C12-15	電解コンデンサ	47μF/16V(*2)	4	
	Cp(*1)	チップコンデンサ	0.1μF(*3)	12	2012サイズ
IC	IC1	3端子レギュレータ	3.3V (48M033など)	1	78Nと同一PIN配置
	IC2	DF	DF1706	1	SSOP-28
	IC3	DAI	CS8416	1	SO-28
	IC4-6	ロジック	74AC245	3	SO-20(WIDE)
	IC7, 8	ロジック	74LVC245	2	SO-20(WIDE)
	IC9	ロジック	74AC04	1	SO-14(NARROW)
	IC10	制御マイコン	PIC16F886	1	プログラム済み[NewDAI1706]
水晶	XT1	HC-49/S	10MHz	-	使用しない
LED	D1	φ3orφ5LED	赤色	1	

ハッチング部がキットに含まれる部品。

(*1)R13-24のダンピング抵抗は15~47Ω程度の範囲で問題ないでしょう。

(*2)電解コンデンサの容量についてはさほど気にする必要はなく、大容量でも問題ありません。

(*3)半田面に1か所Cp取り付けあります。

8. 接続方法

8-1. 信号および電源接続

CDP 等からの同軸入力信号および電源の接続例を下図に示します。

入力に光受信モジュールを使用する場合は、接続するそれぞれのチャンネルの終端抵抗は 75Ω から $75k\Omega$ に変更します。該当する終端抵抗は CH. 0 は R4, CH. 1 は R3, CH. 2 は R2, CH. 3 は R1 になります。

下図の例では 5V 給電を示していますが、3.3V 給電とすることも可能です。P2(3.3)に 3.3V を給電します。このとき、IC1(3 端子レギュレータ)は実装しません。

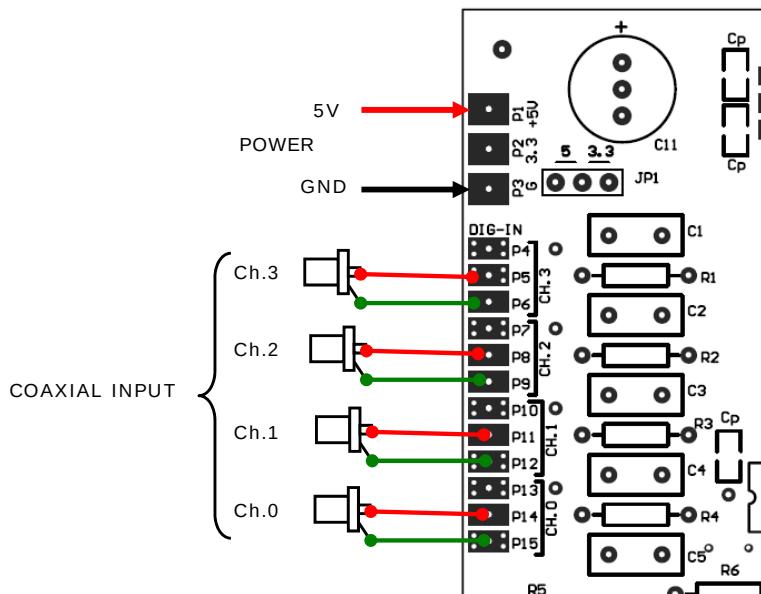


図 信号入力と電源 (5V) の接続例

8-2. 操作スイッチ類の接続

下図を参考にしてとりつけます。P20, 21 に接続されているプルアップ抵抗は必ずとりつけてください。

(1) 電子ボリューム

電子ボリュームを使用する場合は $10\sim 50k\Omega$ の B カーブのものを用品。電子ボリュームを使用しない場合は P16 と P17 を短絡させてください (音量最大で固定)。

(2) 操作スイッチ

必ずしもすべてが必要ではありません。操作必要なもののみ接続すればいいでしょう。

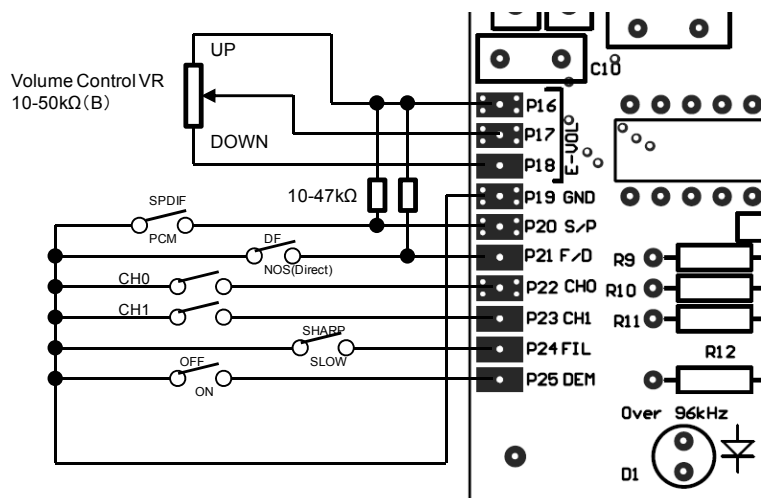


図 操作スイッチ類の接続

8-3. 出力の接続

以下に DAC への接続方法例として Renew DAC1704 との接続例を示しますが、該当する DAC のマニュアルも合わせて参照ください。なお CN1, CN2, CN3 については Renew DAI for DF1706 と機能コンパチになっていますので、そちらのマニュアルも参照すればより詳細な情報が得られます。

(a) RenewDAC1704-2 枚を CN2, 3 で接続する方法 (推奨)

下図のように New DAI for DF1706 の CN2, CN3 を使用して接続します。この接続法では DAI 基板の DF1706(Oversampling)/ダイレクト(Non-oversampling)の2モードを切り替えが可能です。ただし PCM 入力(CN0)の場合、ダイレクト(Non-oversampling)は使用するには 24Bit 右詰フォーマットである必要があります。

JP3 の DF1706 の出力ビット数は 24 ビット、入力フォーマットは RJ24bit に設定します。

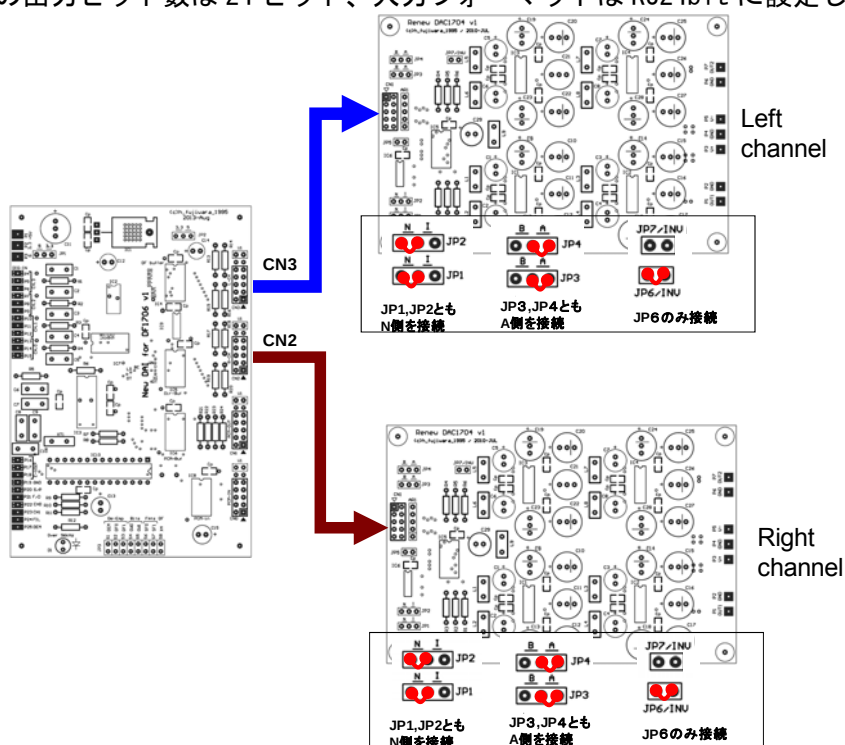


図 New DAI for DF1706 (CN2)と RenewDAC1704 の接続例 (2パラ差動)

(b) RenewDAC1704-1 枚を CN2 で接続する方法

下図は RenewDAC1704 を 1 枚で 2 パラステレオで使用する場合の接続です。CN2 に接続します。この場合はダイレクト出力(Non-oversampling)は使用できません。RenewDAC1704 を 1 枚でステレオ使用する場合はこの接続としてください。

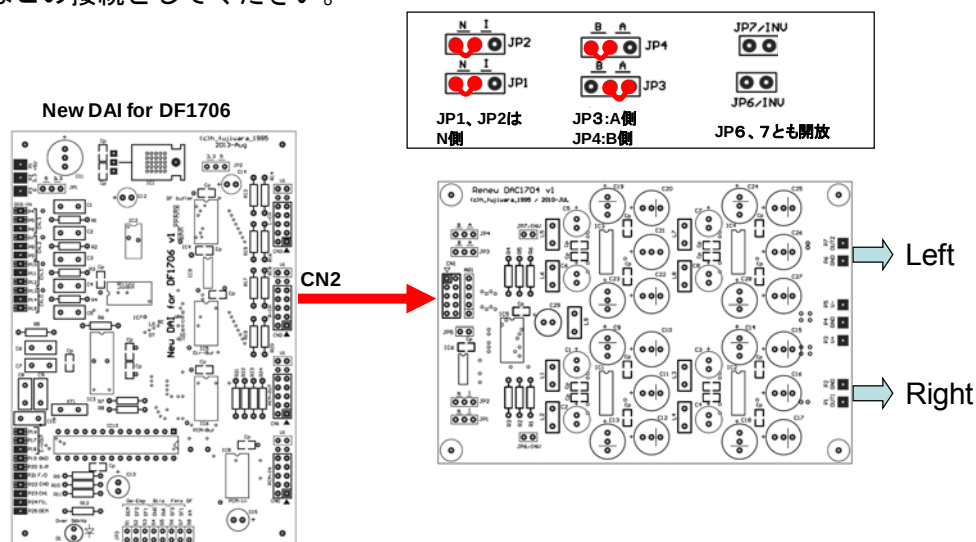


図 New DAI for DF1706 (CN2)と RenewDAC1704 の接続例 (2パラの場合)

(c) RenewDAC1704-2 枚を CN1 で接続する方法

下図に例を示します。この場合は Non-oversample(ダイレクト出力) のみで、DF1706 の機能は使えません (お勧めしません)。

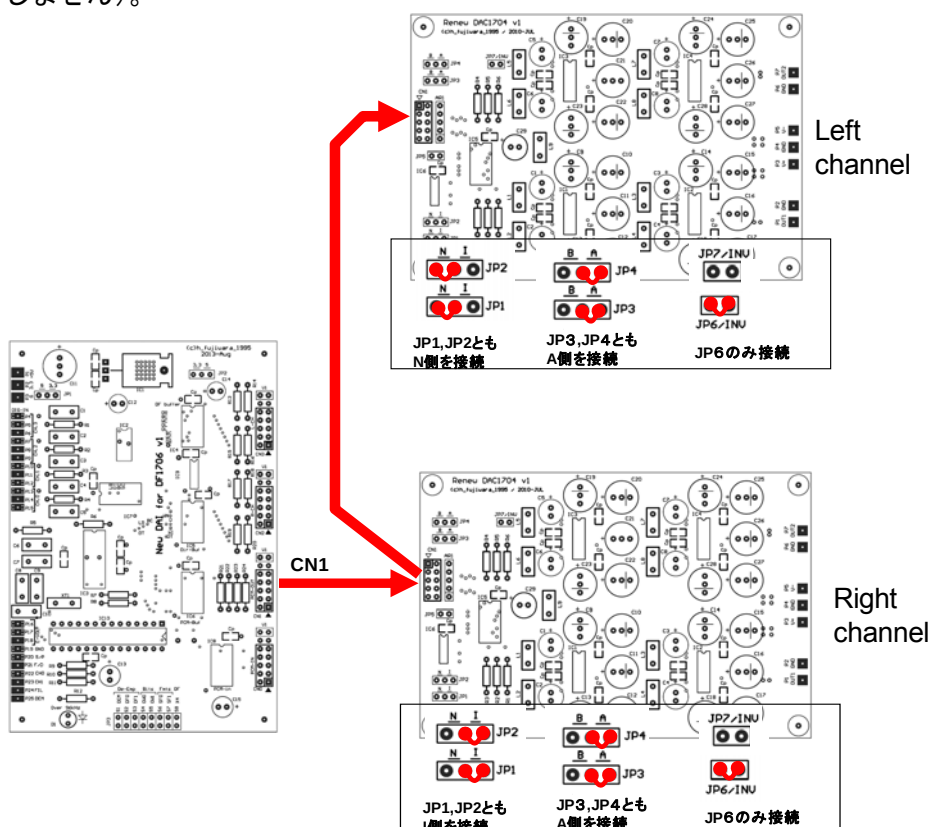
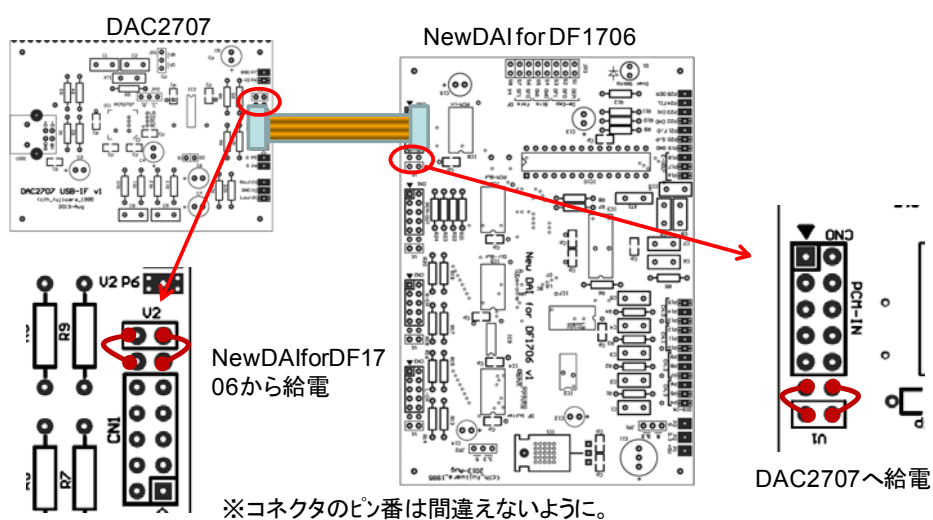


図 New DAI for DF1706 (CN2) と RenewDAC1704 の接続例 (2 パラ差動)

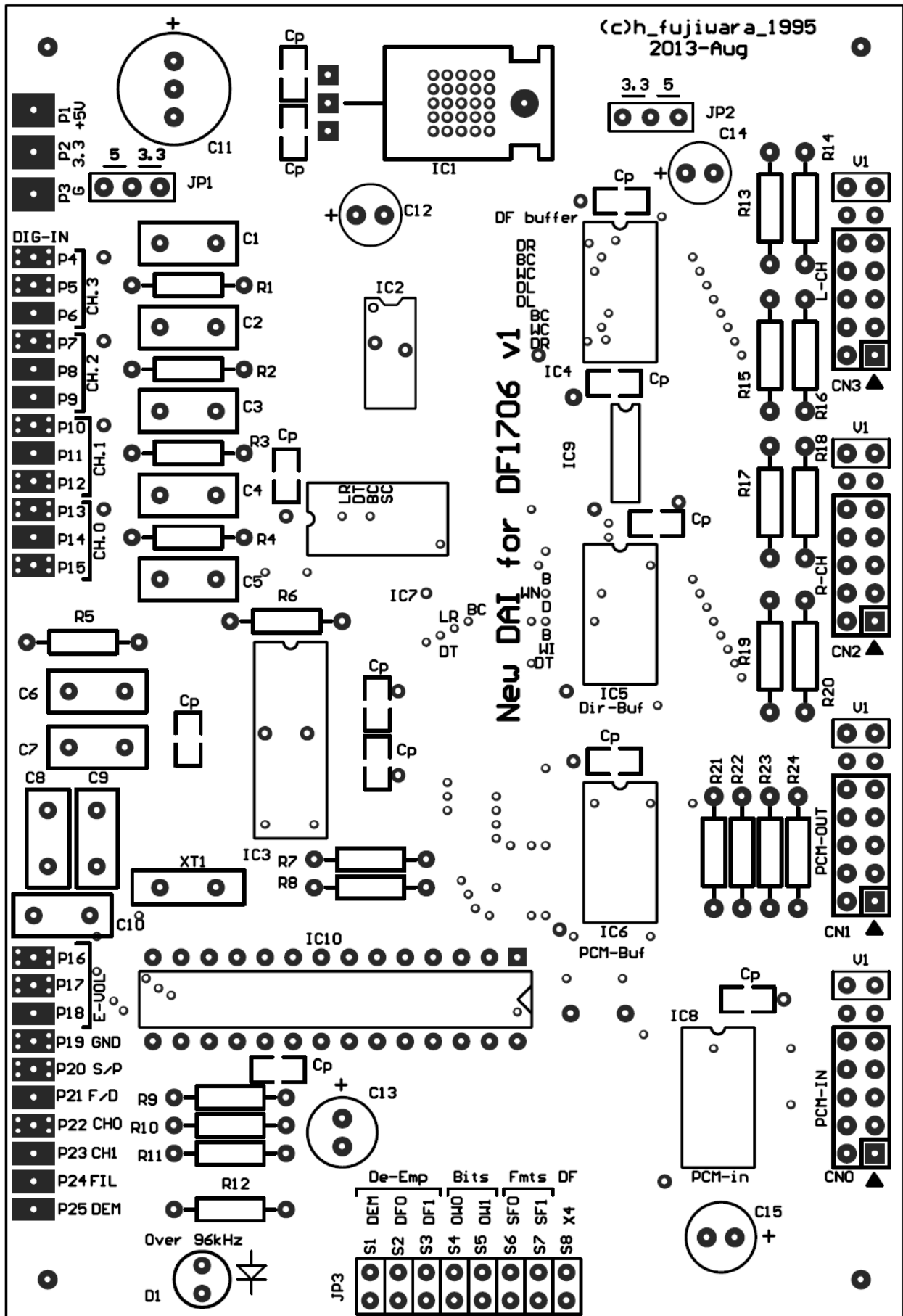
8-4. 入力(CN0)の接続例

入力ソースに DAC2707 の PCM 出力を用いる場合の接続例を下図に示します。このとき JP3 の入力フォーマットは”I2S”に設定します。また New DAI for DF1706 から DAC2707 に電源を供給するためのジャンパーも記載しているので、参考にしてください。なお CN0 からの入力を有効にするには、P20(S/P)を H レベルとします。

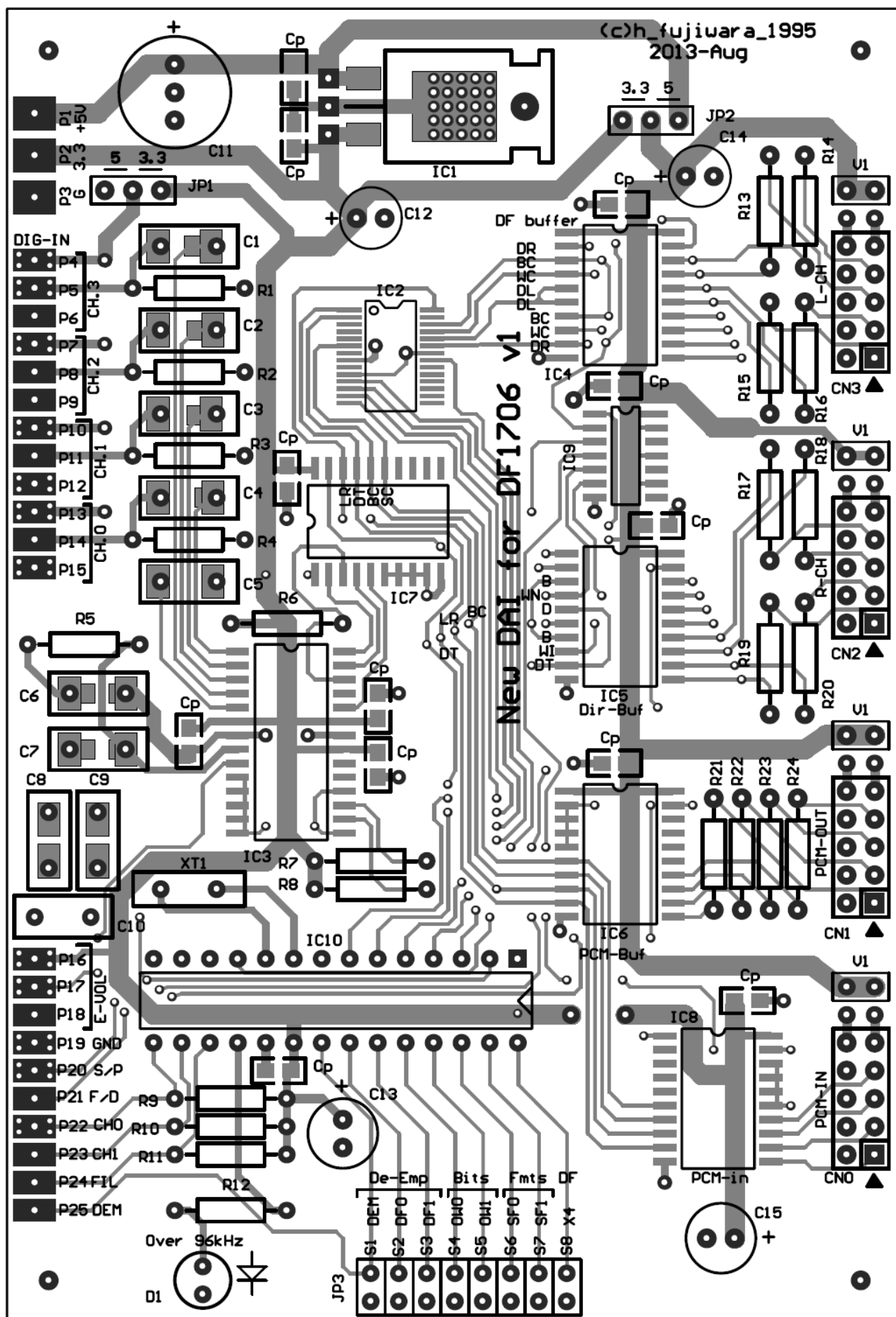


9. 基板パターン

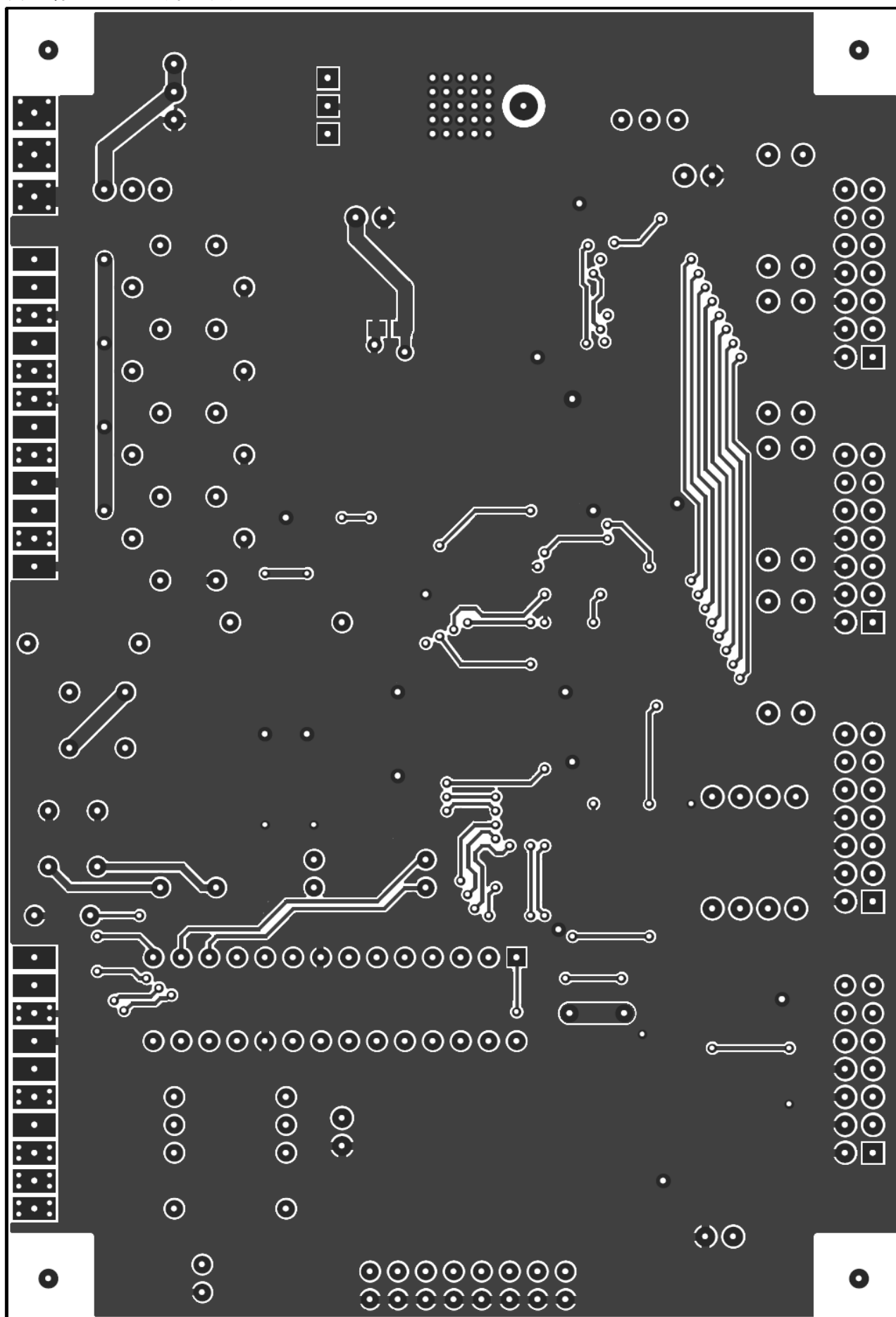
(a) シルク



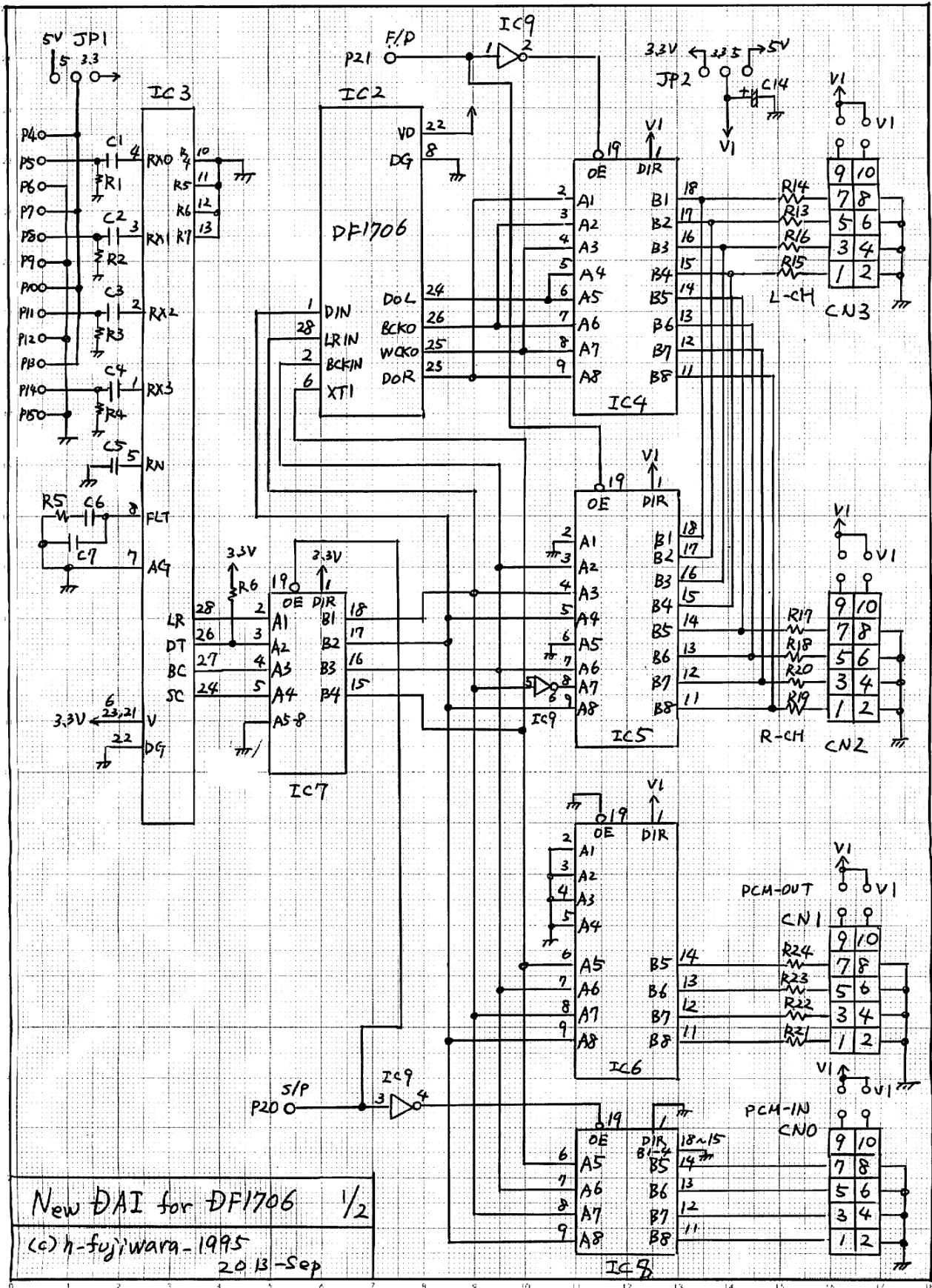
(2) 配線パターン (部品面)

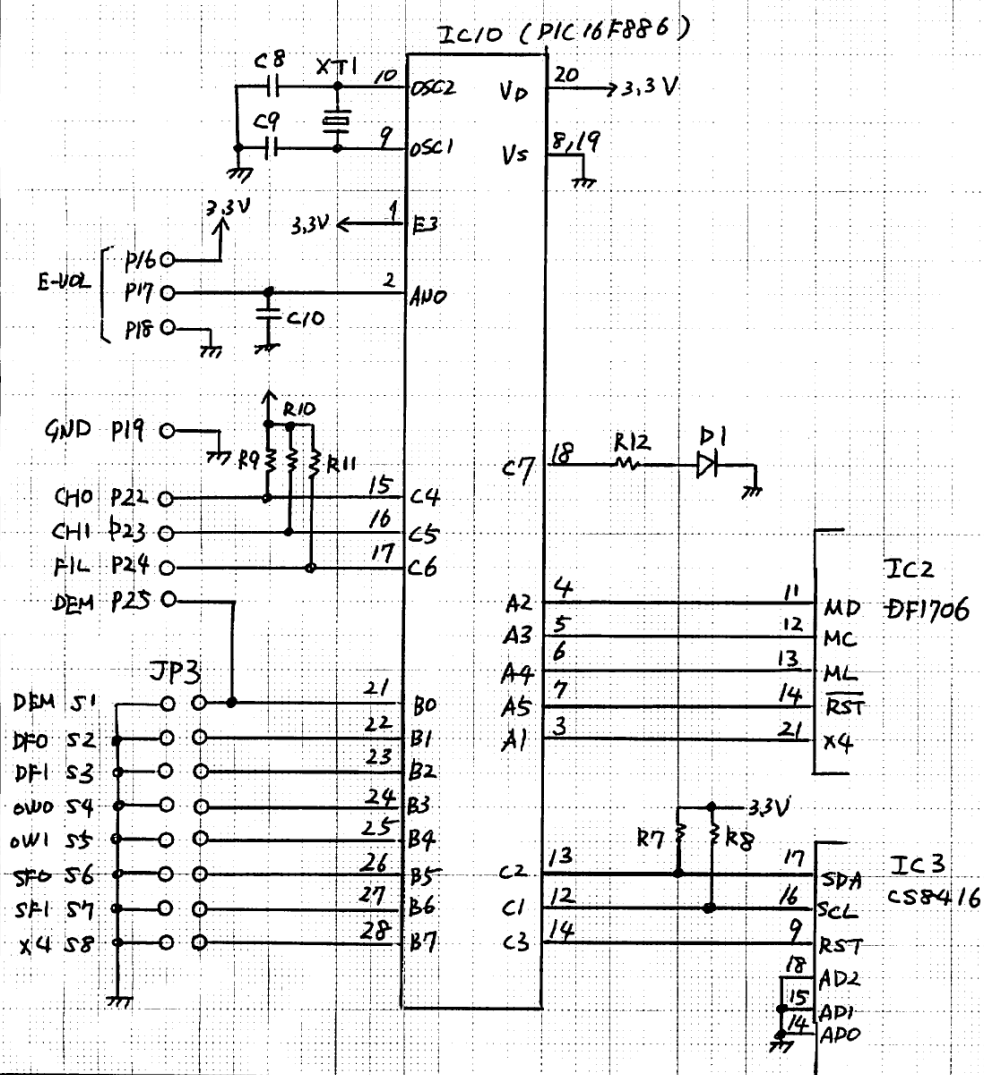
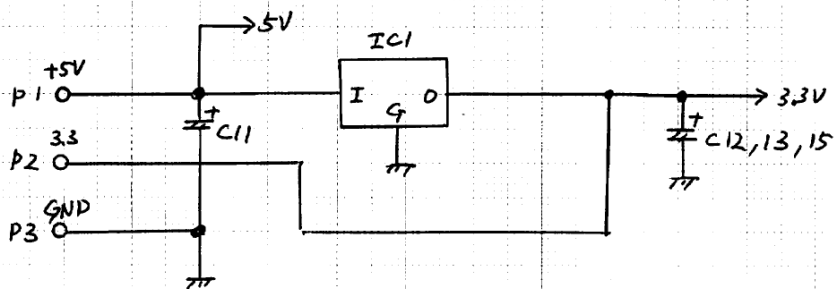


(3) 配線パターン (半田面)



9. 回路図





New DAI for DF1706 2/2

(c) h-fujiwara-1995
2013-Sep