

DUAL JITTER CLEANER 基板 製作マニュアル

＜注意＞

本キットをつかって生じた感電、火災等の一切のトラブルについては、当方は責任を負いませんのでご了承ください。また、基板、回路図、マニュアル等の著作権は放棄していませんので、その一部あるいは全体を無断で第3者に対して使用することはできません。

1. はじめに

本基板はクロック信号に含まれるジッタを低減させる機能を持ちます。本基板に使用しているシリコンラボ社の Si5317 は最大でジッタを 300fs まで減らすことができますので、SPDIF の DAI である CS8416 のクロック信号（ジッタは 200ps）への適用は勿論のこと、水晶発振器（回路にも依存するが 1pS 程度）のジッタ低減にも効果があると思われます。前作のジッタクリーナではジッタ低減回路は 1 チャンネルのみでしたが、本基板はこのジッタ低減回路を 2 チャンネル分搭載することにより、たとえば PCM 信号の BCK（ビットクロック）ならびに SCK（システムクロック）の両者のジッタを 1 枚の基板で低減することが可能になります。また、ジッタクリーナの動作状況が判りやすいように LED をあらたに実装し、入力信号有無、ロック有無等の表示ができるようにしました。さらにメンテナンス用の LCD を取り付けることで内部の状態をより明確に示すことも可能です。本基板は DAC 動作におけるクロック信号の高精度化により、さらなる HiFi を目指すアクセサリ基板として使用できるでしょう。



図 完成例

2. 仕様

表 主な仕様

機能	クロック信号のジッタ低減
チャンネル数	2
周波数範囲	1～100MHz ※Si5317D 使用時の素子仕様。 (但しロジック IC の遅延速度などから 70～80MHz が限界と想定されます)
入力／出力	・ 入力：74LVC125 によるバッファリング (5V 許容) ・ 出力：74AC125 によるバッファリング (3.3V あるいは 5V 振幅をジャンパーで切り替え)
特徴	・ 周波数の自動設定機能 ・ 入出力の位相差マッチング機能有り。 ・ 動作状況の LED, LCD 表示
電源	・ 5V あるいは 3.3V 消費電流 約 0.5A
基板	外形：4700×3200mil (119.38×81.28mm)、ネジピッチ 111.76×73.66mm 厚さ：1.6mm、70um 銅箔厚, FR4

3. 部品表

下表を参考にして実装します。

表. 部品リスト

部品	No	規格	仕様	個数	備考
抵抗 Resister	R1, 2	金属被膜 1/4W	22Ω	2	入力ダンピング抵抗
	R3-8	金属被膜 1/4W	150Ω	6	
	R9, 10	炭素被膜 1/4W	100Ω	2	フィルタ抵抗
	R11-18	炭素被膜 1/4W	1kΩ	8	LED 電流制限用
	R19, 20	炭素被膜 1/4W	1kΩ	2	I2C プルアップ 用
	R21, 22	金属被膜 1/4W	22Ω	2	出力ダンピング抵抗
	Ra	チップ抵抗	47kΩ	6	2012 サイズ
	VR1	可変抵抗	10~20kΩ	—	通常不要 (CN3 で LCD を接続する場合のみ)
コンデンサ Capacitor	C1, 2	フィルムコンデンサ	0. 1uF	2	
	C3	電解コンデンサ	220uF/16V	1	
	C4-8	電解コンデンサ	47uF/16V	5	
	C9-12	フィルムコンデンサ	0. 1uF	2	
	C13, 14	セラミックコンデンサ	22pF	2	
	Cp	チップセラミック	0. 1uF	16	2012 サイズ
水晶 XTAL	XT1, 2	3 倍トン SMD	114. 285MHz	2	CW646CT
	XT3	HC-49/S	10MHz	1	
ダイオード	D1-8	LED	赤色	8	(*1)
IC	IC1	ロジック IC	74LVC125	1	
	IC2	ロジック IC	74AC125	1	
	IC3, 4	ロジック IC	74LV393	2	
	IC5	ロジック IC	74LVC86	1	
	IC6	ロジック IC	74LVC125	1	
	IC7, 8	ジッタクリーナ	Si5317D	2	
	IC9, 10	I/O 拡張 IC	PCA9539	2	
	IC11	三端子電圧レギュレータ	48033 等 (*2)	1	78**と同じ
	IC12	制御用マイコン	PIC16F886	1	プログラム済み [DUAL IC]
	IC13	ロジック IC	74LVC74	1	V2 基板はシルク無

ハッチング部分がキットに含まれる部品。

(*1) VF 値の低い赤色を使用のこと。青や白 (VF>3V) では 3. 3V 電源では点灯できない場合があります。

(*2) 消費電流は 0. 5A 近いため、耐容量の大きい (1A 以上) ものを使用してください。

4. 基板端子機能

(1) 基板端子機能

基板端子の機能は下表の通りです。

表 基板端子機能

		説明	説明
P1	IN1	入力信号 1	信号入力
P2	GND	GND	
P3	IN2	入力信号 2	
P4	OUT1	出力信号 1	信号出力
P5	GND	GND	
P6	OUT2	出力信号 2	
P7	5. 0V	5. 0V 入力端子	電源端子
P8	GND	GND	
P9	3. 3V	3. 3V 入出力端子	

(2) ジャンパ機能

(i) JP1, 2

JP1, 2 は 2 チャンネル分あるジッタクリーナのそれぞれのバンド幅 (Hz) を設定します。

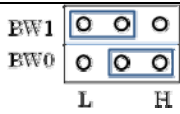
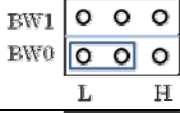
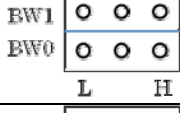
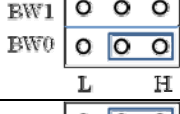
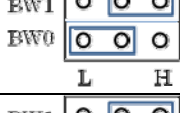
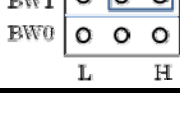
表 JP1, 2 の機能

JP1	ジッタクリーナのチャンネル 1 のバンド幅設定
JP2	ジッタクリーナのチャンネル 2 のバンド幅設定

設定値と大まかなバンド幅の関係は次表の通りです。詳細は Si5317 のマニュアルを参照ください。なお、ジャンパ設定は H, M, L があり、H または L はジャンパピンをもちいますが、M (Middle) は何も接続しない状態を示します。

クロックはバンド幅が Lowest のときに最も安定しますが、ロックまでに時間がかかることに注意する必要があります。しかし、最高のパフォーマンスを得るためにも Lowest に設定するのがよいでしょう。

表 JP1, 2 でのバンド幅の設定

	BW 周波数	BW1	BW0	ジャンパ状態	
Highest (2)	約 5000Hz	L	H		クロック周波数 2-2.2MHz 時のみ有効
Highest	約 5000Hz	M	H		
High	約 1500Hz	M	M		
Mid	約 500Hz	M	H		
Low	約 250Hz	H	L		
Lowest	約 100Hz	H	M		クロック周波数 2-2.2MHz 時では使用不可

上表からもわかるようにクロック周波数は 2-2.2MHz では Lowest の設定はできません。この場合は Low の設定にしてください。この周波数帯に限って Low のバンド幅 (周波数) は Lowest と同じです。なお、デジタルオーディオ用の周波数帯域は 32kHz 時のビットクロックが対応します。主に CS 放送などが相当するかと思いますが、あまり使用頻度も高くないと思われるので無視してもよいかもしれません。

参考に下表にビットクロック、システムクロックの一例を示します。

表 デジタルオーディオにおける主な使用周波数

fs	BitClock	System Clock					
(kHz)	(MHz)	(MHz)					
	64fs	128fs	192fs	256fs	384fs	512fs	768fs
32	2.0480	4.0960	6.1440	8.1920	12.2880	16.3840	24.5760
44.1	2.8224	5.6448	8.4672	11.2896	16.9344	22.5792	33.8688
48	3.0720	6.1440	9.2160	12.2880	18.4320	24.5760	36.8640

(ii) JP3, 4

JP3, 4 は 2 チャンネル分あるジッタクリーナのそれぞれの動作モードを定義します。

表 JP3, 4 の機能

JP3	ジッタクリーナのチャンネル 1 の動作モード設定
JP4	ジッタクリーナのチャンネル 2 の動作モード設定

S1～S3 のジャンパーの設定と動作モードは下表に示す通りです。動作シーケンスを理解しておくと思いますので、併せて＜付録 1＞を参照ください。

表 動作モード (JP3, JP4)

ジャンパー ピン Jumper	機能 function	開放時 開放 (Open)	短絡時 短絡 (Short)
S1	強制位相調整 Force Phase Correct	機能しません。 Not active	ジッタクリーナの PLL ロック後に、入力と出力信号の位相を強制的に合わせます。 Active.
S2	1 パルス位相調整 One Pulse Phase Correct	機能しません。 Not active	強制位相調整後においても、約 20ms 毎に位相のずれを約 0.2nS 調整します。本機能は強制位相調整 (S1 短絡時) を使用する場合のみ有効です。本機能の動作時間は S3 で設定します。 Active.
S3	1 パルス位相調整時間 Duration of One Pulse Phase Correct	1 パルス位相調整を常に行います。 Continuous	1 パルス位相調整は PLL ロック後約 1 分で機能を停止します。 About 60sec

下表に設定方法の考え方を示します。

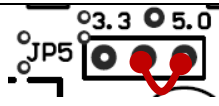
表 ジッタクリーナの適用クロックとジャンパー設定の考え方。

適用先	設定例
システムクロック	S1～S3 はすべて開放。 ほとんどの DAC で信号の位相差は関係ありません。
ビットクロック	S1 は必ず短絡。 ビットクロックはその立ち上がりあるいは立下りでデータをラッチするクロックですから、入出力信号の位相差調整は必須です。したがって S1 は必ず短絡させます。S2 および S3 については、動作状況に応じて設定すればよいと思われますが、通常は S2、S3 とともに開放ままでよいと思われます。
ワードクロック (適用不可)	ワードクロックは周波数が低く適用できません (高くても 384kHz 程度。ジッタクリーナの最低動作周波数は 1MHz)

(iii) JP5

JP5 はジッタークリーナ出力信号の振幅電圧を決定します。これは出力バッファであるロジック素子の供給電圧を 3.3V にするか、5V にするかで設定します。JP5 の接続は必須ですので、かならずどちらかに設定ください。Renew DAC1704 などの 5V 入力ロジックの基板と接続する場合は 5V に設定しますが、3.3V でも動作します(5V 入力のロジック IC では 3.3V の入力で十分 H レベルと認識できるため)。他の基板との接続を想定した場合、設定忘れ等を考えると 3.3V に設定しておくのが安心です (3.3V 動作の接続先の基板を破損させないためにも)。

図 JP5 の設定 (かならずどちらかに接続)

	クロック信号の出力電圧レベルを 3.3V に設定します(推奨)
	クロック信号の出力電圧レベルを 5V に設定します。

(iv) JP6

これはメンテナンスポート (CN3) に LCD を接続する場合、LCD に供給する電圧を設定します。秋月では 5V あるいは 3.3V 動作の 2 種類の液晶表示器が販売されているので、使用する LCD に合わせて設定します。

なお、適合する液晶は 16 文字×2 行のもので、型番が SC1602 から始まり、接続ピンが 7×2pin のものが使えるでしょう。たとえば、SC1602BS-B など (5V 動作、バックライトなし) です。液晶の表示内容については<付録 1>で記載します。

(3) コネクタ機能

(i) CN1, CN2

CN1, CN2 は DAI-DAC 間の接続に使用される 10P コネクタ接続の、分割中継しやすくするために設置したものです。したがって、特定のピンが GND に接続されているため注意してください。CN1 が入力側、CN2 が出力側になります。

図 CN1, CN2 のピン配置

	PIN	PIN	
(データビット用)	1	2	GND へ接続
(LR クロック用)	3	4	GND へ接続
(ビットクロック用)	5	6	GND へ接続
(システムクロック用)	7	8	GND へ接続
N.C (引き出しパッド有り)	9	10	N.C (引き出しパッド有り)

CN1, CN2 とその間を接続するジャンパーポストの関係は下図のようになります。

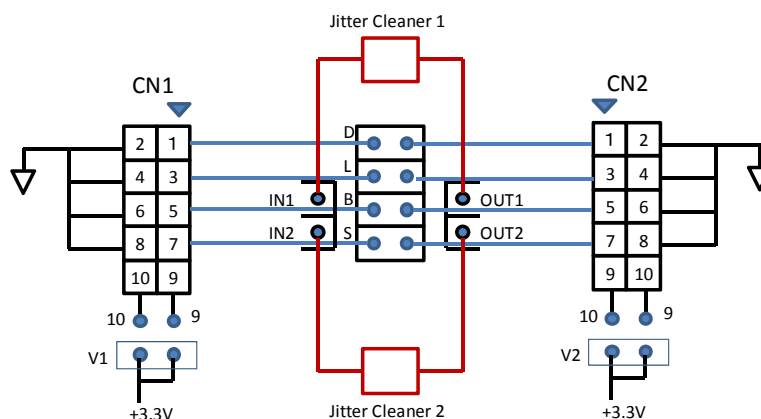


図 CN1, CN2、ジャンパーポストの関係図

以下に接続例を説明します。

(a) ビットクロックのみ、ジッタクリーナする場合。

下図のようにチャンネル1（チャンネル2でもよい。下図はチャンネル1を使用）のジッタクリーナの IN1, OUT1 を使用して接続します。他の配線はすべて直結にします。なお使用しないジッタクリーナの入力端子 IN2（基板端子 P3）は動作が不定にならないようにするため GND へ接続してください。ただし、折角2チャンネルあるジッタクリーナでこの使い方はほとんどないと思います。

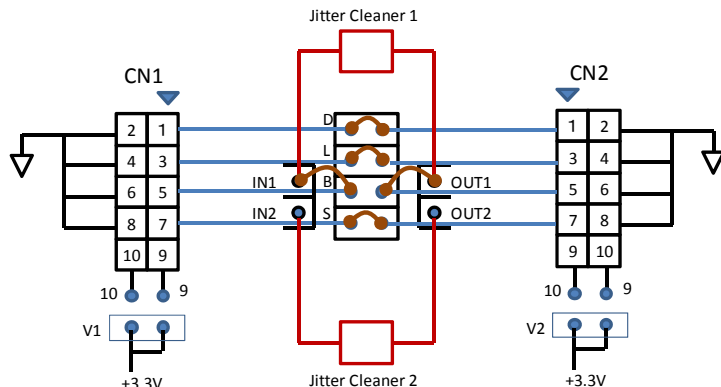


図 ビットクロックにのみ適用する場合の接続例

(b) ビットクロックおよびシステムクロックをジッタクリーナする場合。

下図のように接続します。

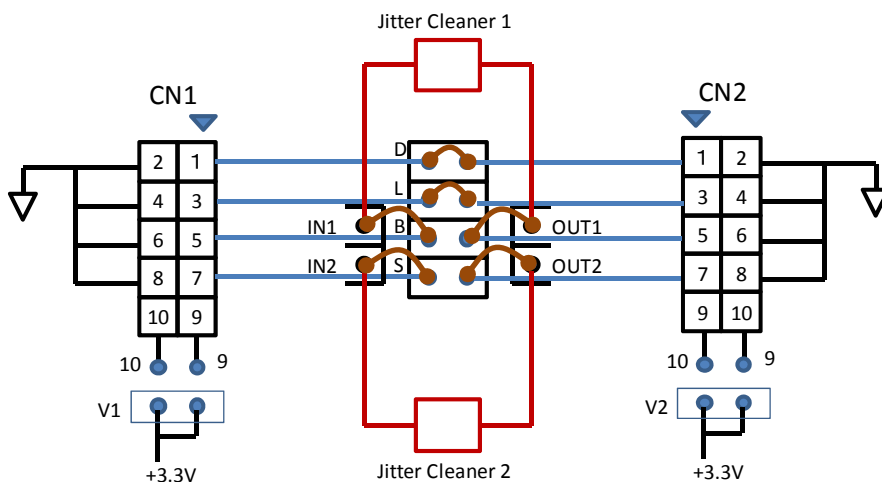


図 ビットクロック、システムクロックの両方に適用する場合の接続例

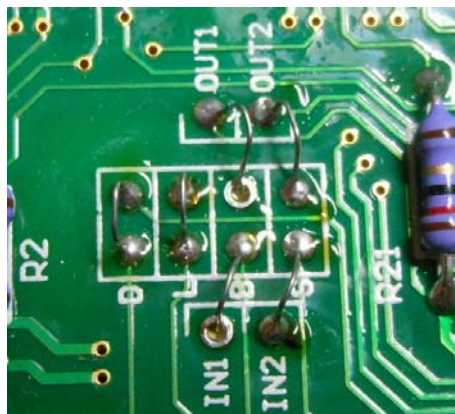


図 実際の接続例

(c) DAC2707 を入力に使う場合

(b)の派生例として DAC2707 との接続例を示します。ジャンパーポストの接続例は(b)と同じですが、CN1 の P9, 10 を V1 に接続することで、DAC2707 に 3.3V 電源を供給する接続となっています。DAC2707 とジッタクリーナの組み合わせにより、高品質な PCM 信号を得ることが期待できます。

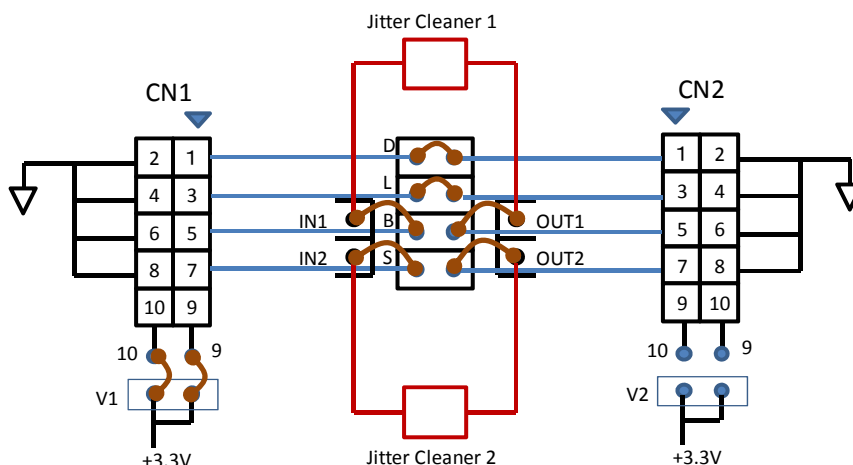


図 DAC2707 との接続時の配置

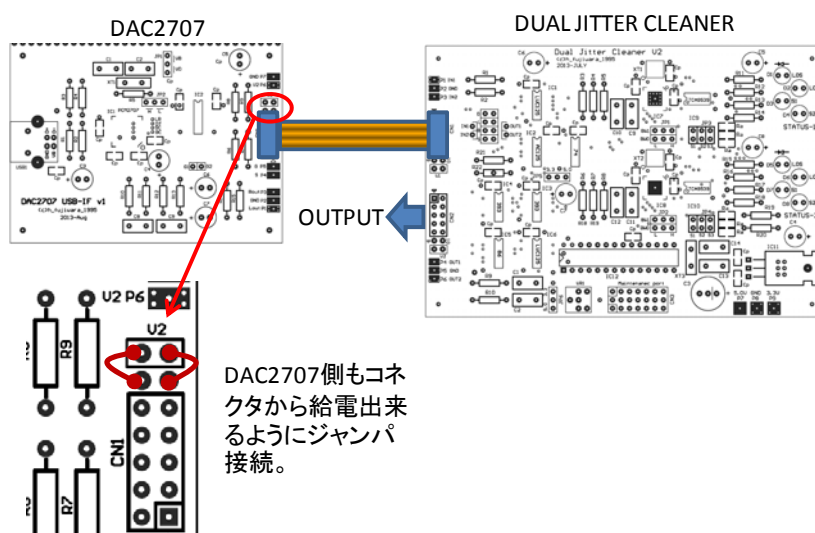


図 DAC2707 との接続例

(4) LEDの表示機能

チャンネル毎に4個のLEDにより動作状態を判別することができます。それぞれのLEDの機能は下表の通りです。

表 LEDの表示機能

LOS	Loss of Signal	入力信号の有無の状態を示します。Si5317のLOS端子と同じです。 点灯：入力信号なし、消灯：入力信号有り
LOL	Loss of Lock	PLLのロック有無の状態を示します。Si5317のLOL端子と同じです。 点灯：ロック外れ、消灯：ロック中
S1	Phase Error	入力と出力の位相差がおおよそ18°ずれた場合に点灯します。
S2	Phase adjust	位相調整機能が動作しているかどうかを示します。動作モードがステージ5の場合に消灯、それ以外では点灯します。動作モードは<付録1>を参考にすると理解しやすいと思います。

チャンネル1のLED

5. 接続

(1) 基板端子を用いた信号線の接続

ジッタクリーナへの信号の接続は基板端子の入力(P1~P3)と出力(P4~P6)を使用することができます。信号は極めて高周波であるため配線には十分に注意してください(シールドケーブルやツイストケーブルを使用して最短で接続)。

(2) コネクタを用いた信号線の接続

これについては「4. 基板端子機能 (3) コネクタ機能」を参照ください。本基板での活用は CN1, CN2 を使用する場合がありますと想定しています。

(3) 電源の接続

下図を参考に電源を供給します。3.3V 給電とする場合は、**IC11は実装しません。**またこのとき JP5, 6 は必ず 3.3 側を選択ください。

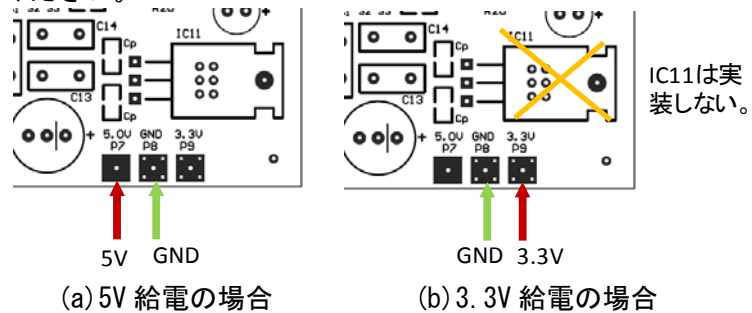
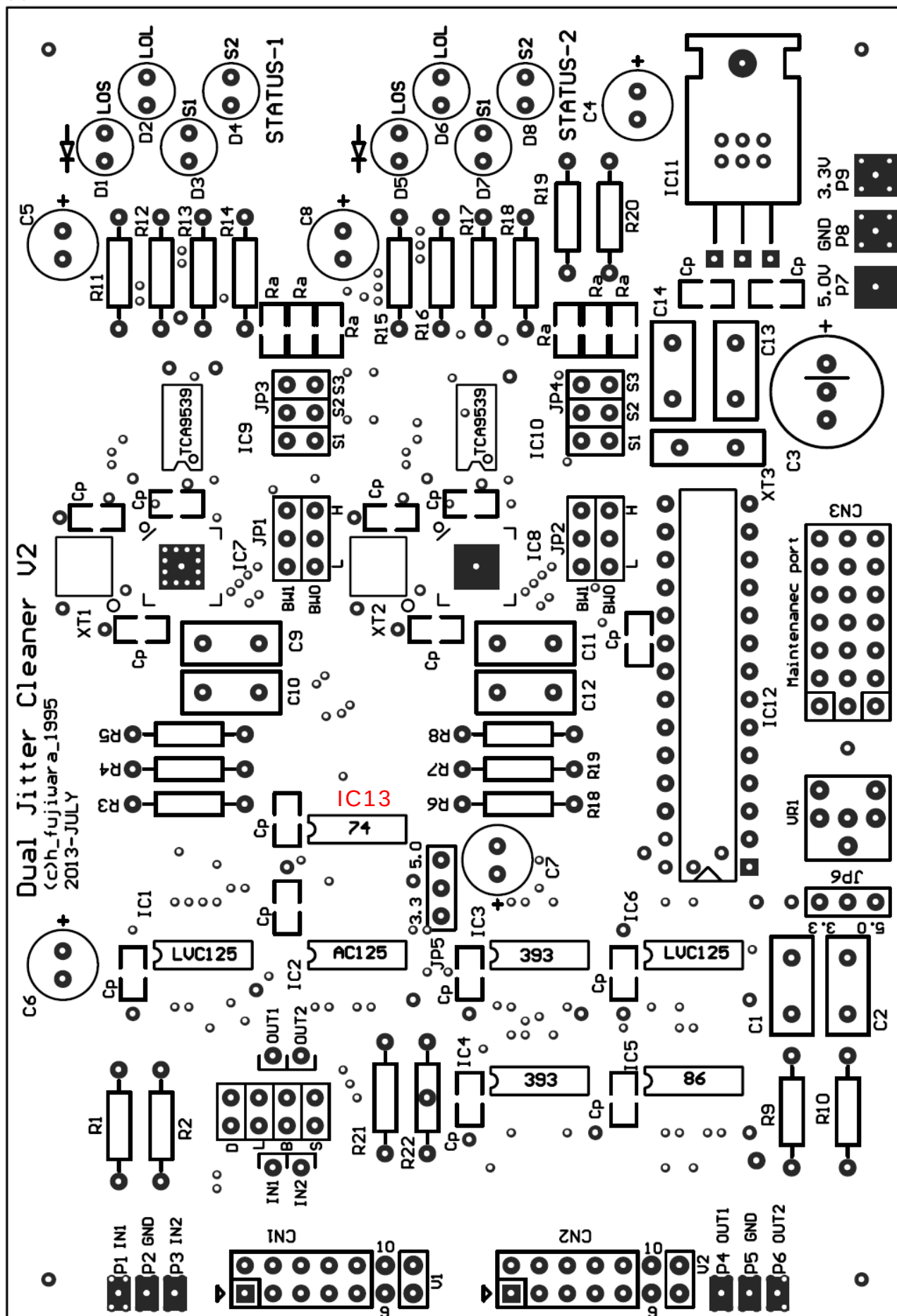


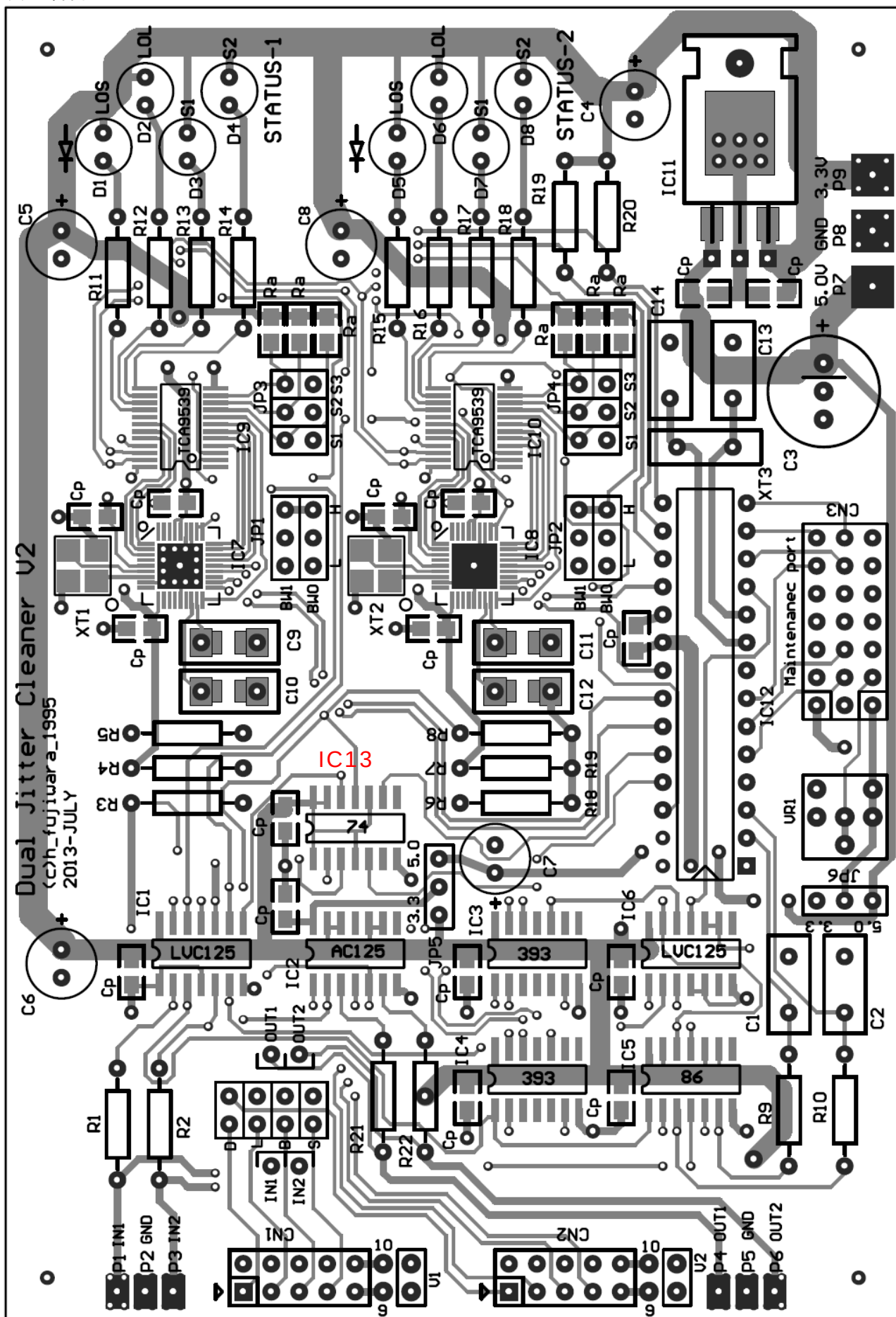
図 電源の接続

6. 基板パターン

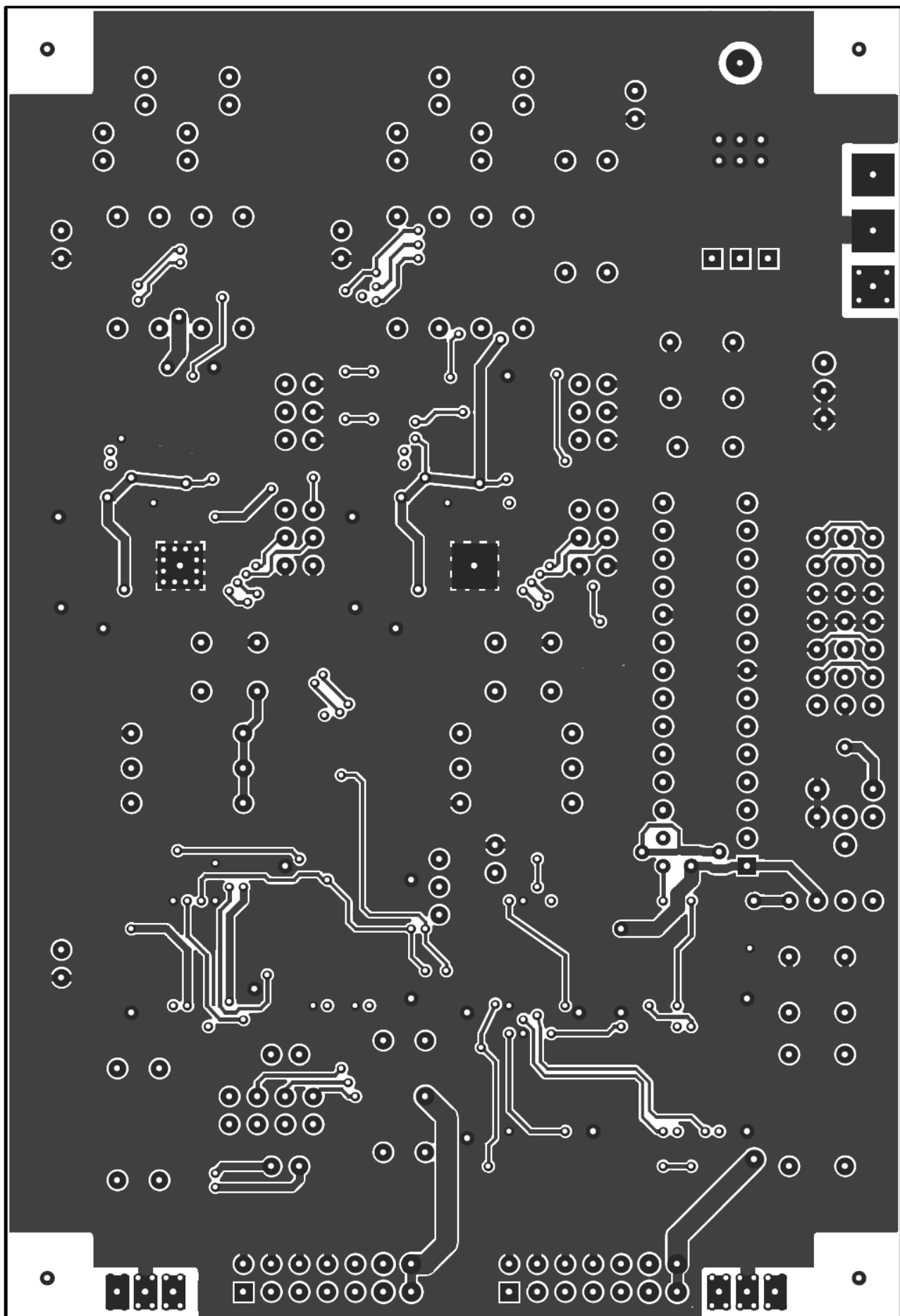
(a) シルク



(b) 部品面パターン

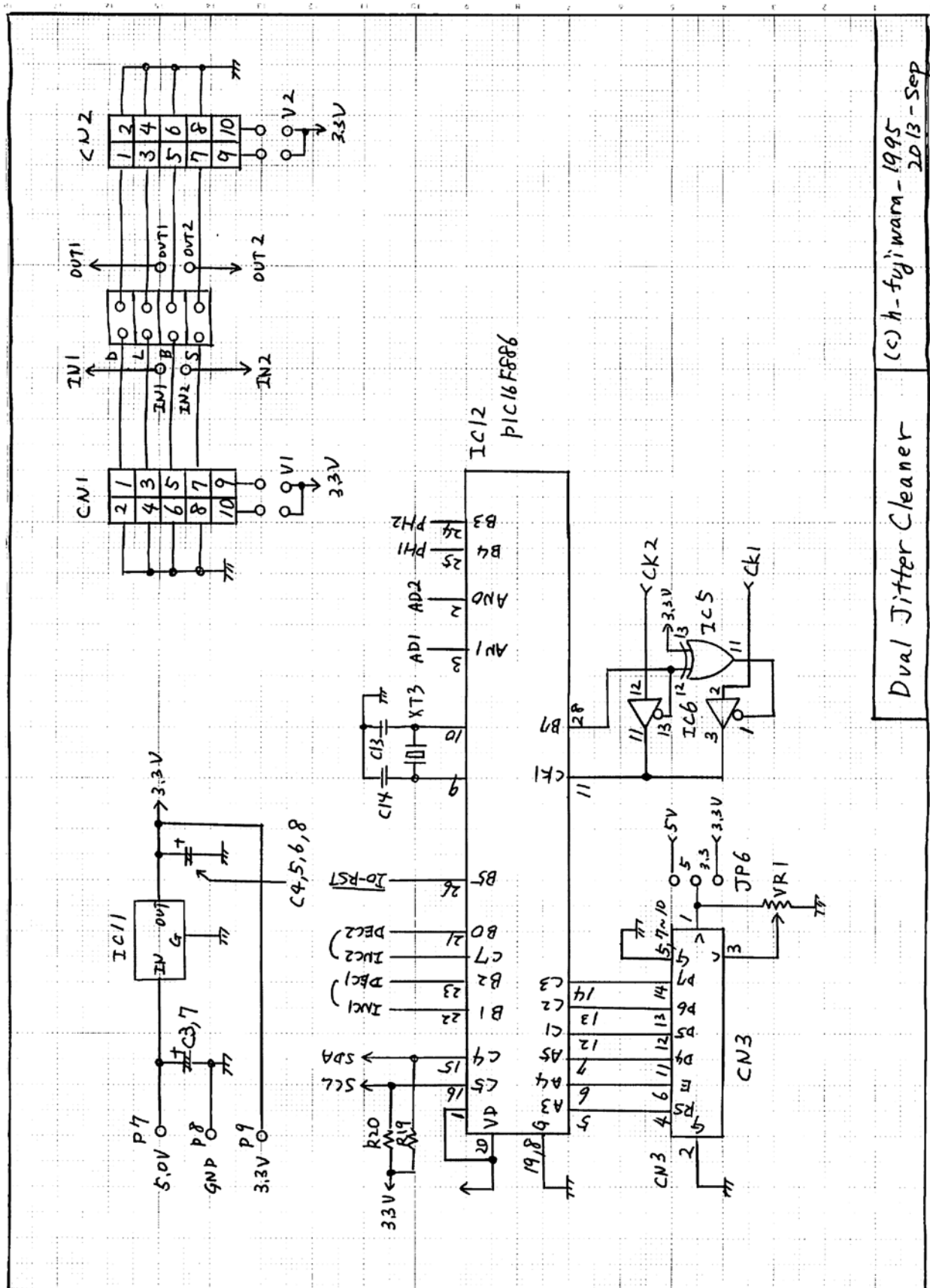


(b) 半田面パターン



7. 回路図

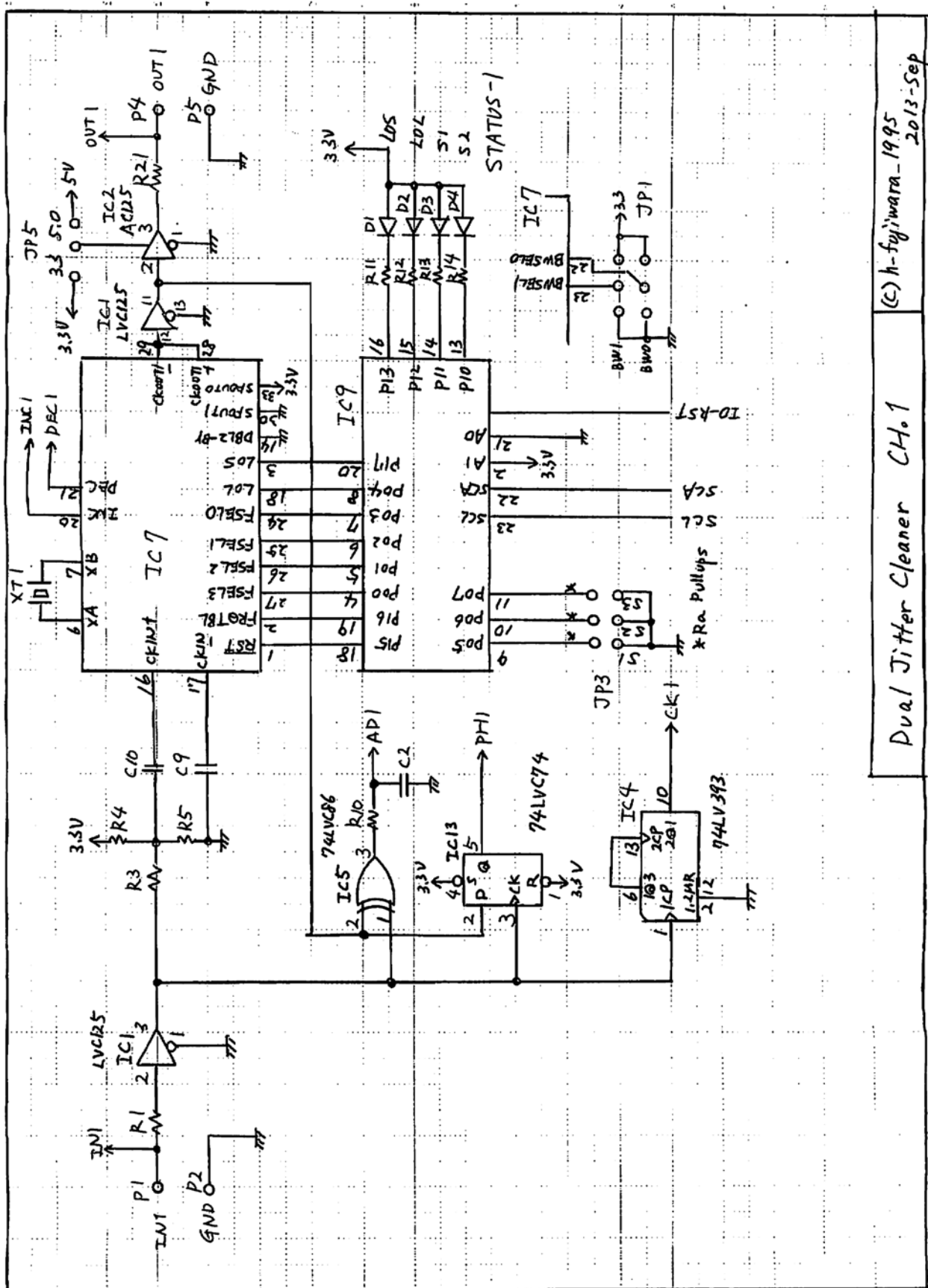
(1) 共通部分



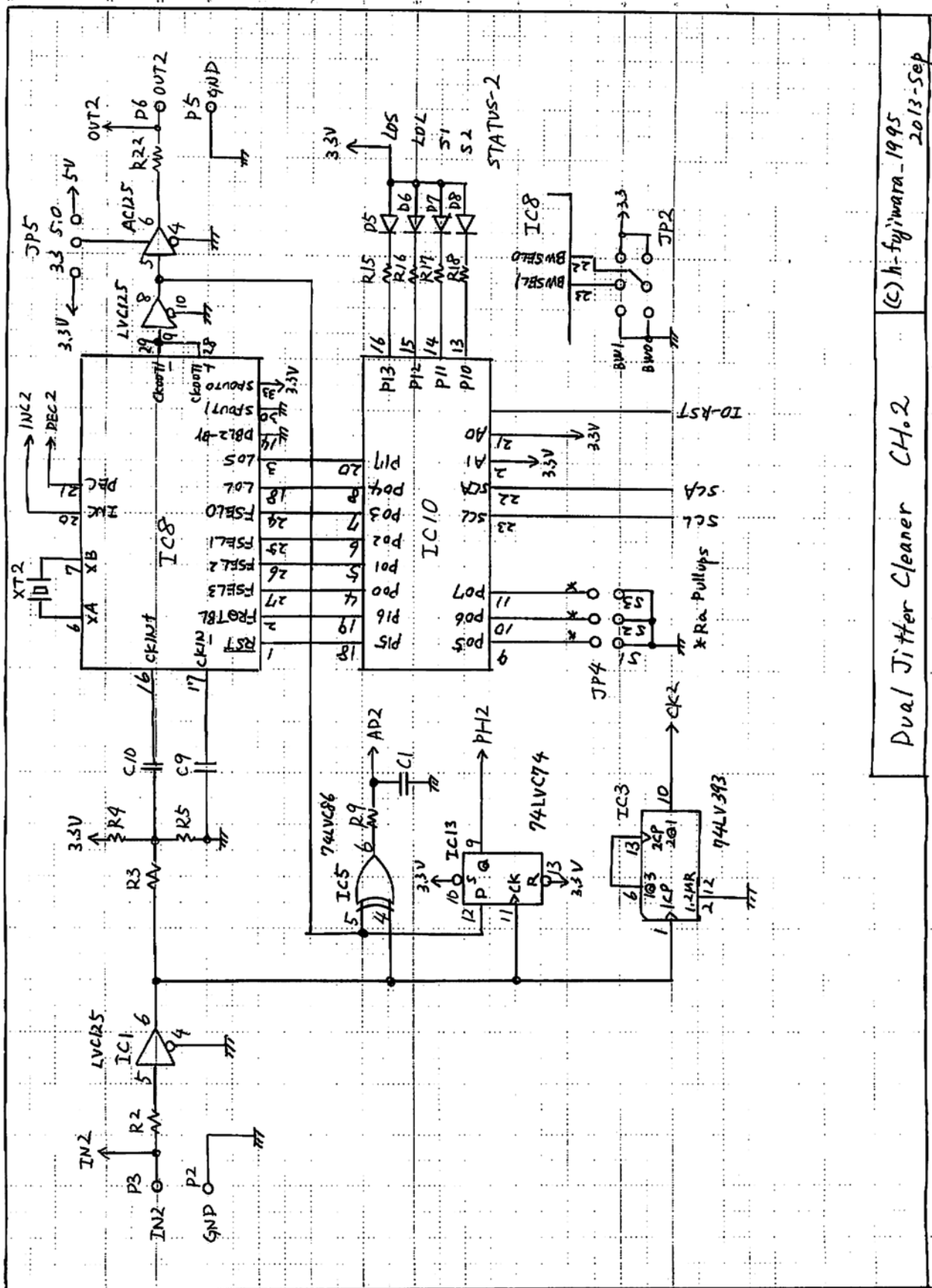
Dual Jitter Cleaner

(c) h-fujinawa-1995
2013-Sep

(2) チャンネル 1



(3) チャンネル 2



8. 更新記録

- 2013. 9. 2 R1 初版
- 2013. 9. 6 R2 部品表一部修正
- 2013. 9. 6 R3 部品表一部修正(抜け追加)

< 付録 1 >

(1) 回路ブロック (機能ブロック)

本ジッタクリーナ基板の 1 チャンネル分の概略回路は下図のようになります。回路の特徴としては、下記が挙げられます。

1. 入力を 74LVC125 で一旦受けることで 5V あるいは 3.3V ロジックのどちらにも対応。
2. 出力バッファに 74AC125 を用いており、5V あるいは 3.3V ロジックのどちらにも対応。
3. 74LVC74, 74LVC86 のロジック IC で得られる PHASE INFO. ならびに PHASE DIFF. の情報から入出力信号の位相差を観測する機能有り。

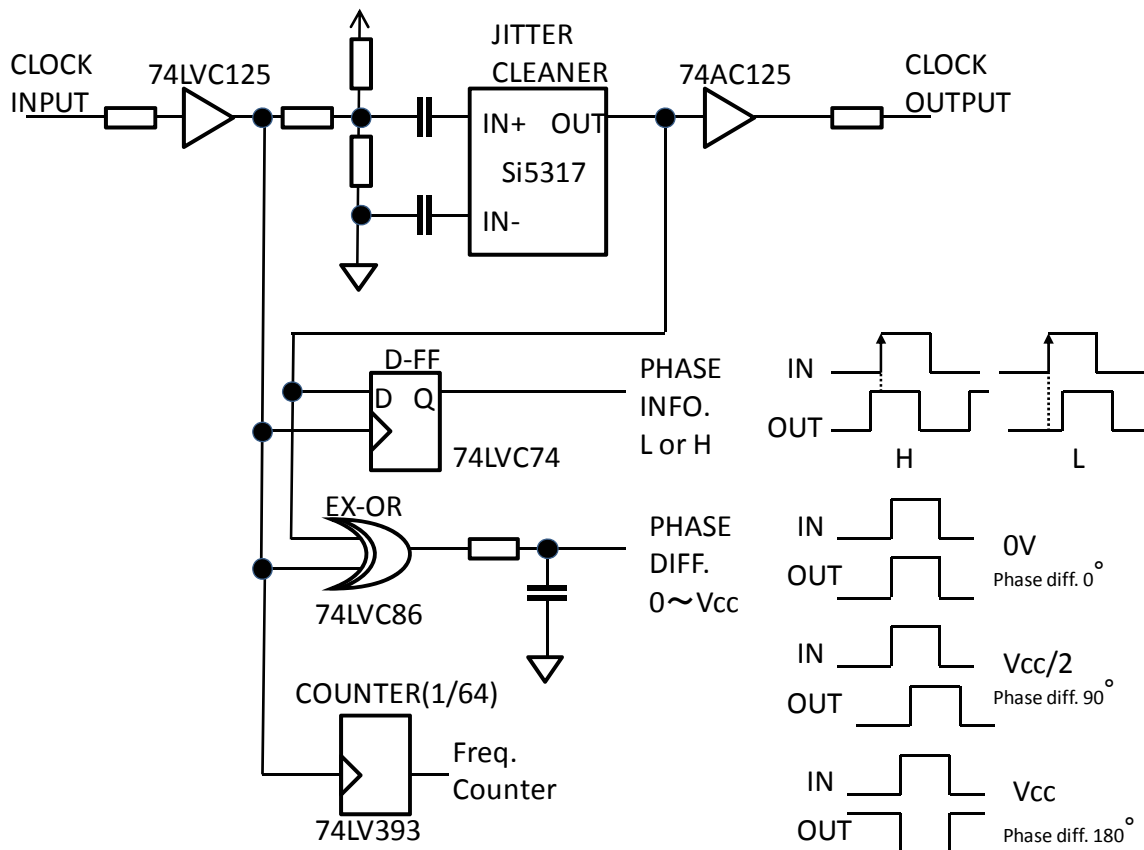


図 1 チャンネル分の回路

(2) 動作シーケンスについて

このジッタクリーナ基板では、ソフトウェアにより Si5317 の周波数テーブルの設定ならびに入出力信号の位相調整を行います。

Si5317 の周波数テーブルの設定には、まず入力クロックの周波数を測定する必要があります。これは入力信号を一旦 1/64 に分周 (74LV393) したのち、PIC の内蔵カウンタで計測します。10mS 間でのカウント値をもとに入力周波数を同定します。なお、入力周波数が変化した場合には、周波数テーブルの再設定を行います。変化の判定は、前回測定した周波数から約 25kHz の差異が生じた場合としています。いいかえれば、約 25kHz 以下の変化では周波数テーブルは変わりませんが、周波数テーブルを再設定した後に行われる強制位相調整なども実行されませんから、連続的に周波数が変化する入力信号を対象とする場合には適しません。その点、オーディオ用のクロック信号は離散的な変化となりますから、問題ありません。もっとも近接した想定される周波数は F_s で 44.1kHz と 48kHz での 32FS ビットクロック (一般的には 64FS) ですが、この場合でも 1.4112MHz と 1.536MHz と 124.8kHz の差異がありますから、十分に周波数が変化したことを検知できます。

さて、入力信号の周波数変化を検知してからの、動作は下表のようになります。それぞれの動作はステージとして表していますが、動作が進むとステージが進んでいきます。なお、常に入力信号の周波数

は計測しており、周波数変化を検知した場合は、再度周波数テーブルの設定（ステージ0）から始まります。

表 入力信号の周波数変化を検知した場合の動作シーケンス

ステージ	動作内容	動作条件
0	※周波数テーブル設定 入力信号の周波数に応じて Si5317 の周波数テーブルを設定し、Si5317 のリセット信号を送出。Si5317 をリスタートさせ、ステージ 1 に移行します。	なし
1	※PLL ロック待ち Si5317 の PLL のロック待ち状態。LOL (Loss of Lock) を監視して L (Lock) になるまで待ちます。ロック確認後ステージ 2 に移行します。 ロック待ちの時間はバンド幅の周波数が低くなるほど長くなり、場合によっては数秒かかります。	なし
2	※位相差安定待ち 入力と出力信号の位相差が安定するまで待ちます。これは Si5317 の PLL がロックした後でも、しばらくは位相差に変化が生じるためです。位相差変化が一定値以下になったことを確認した後、ステージ 3 に移行します。 なお位相差変化が縮小する時間はバンド幅の周波数が低くなるほど長くなり、場合によっては数秒かかります。また、位相差の変化については、その変化を示す AD 値により監視していますので、入力信号にジッタが多い場合は、さらにこのステージを抜けるために時間がかかる可能性があります（一定時間経っても、AD 値が所定の幅に落ち着かない場合は、自動的に次のステージ 3 に移行します）。	なし
3	※強制位相差調整 入力と出力信号の位相差がなくなるように調整します。具体的には Si5317 では出力の位相を 1 パルスあたり約 0.2nS 単位で進める／遅らす機能がありますので、これを利用して入力と出力の位相差がゼロになるように PIC よりパルス信号を送出します。位相差がゼロになればステージ 4 に移行します。 なおこの機能は JP3 あるいは JP4 の S1 が短絡されている場合のみ、動作します。S1 が開放されている場合は、自動的にステージ 4 にスキップします。	S1 : 短絡
4	※1 パルス位相差調整 入力と出力信号の位相差を解消するように、20mS ごとに出力信号の位相を約 0.2nS 変化させるパルスを送出します。この機能は入力信号の位相差が経時的に変化する可能性がある場合に限り、動作させておいた方が安心でしょう（周波数が安定しない場合等）。 なおこの機能は JP3 あるいは JP4 の S2 が短絡されている場合のみ、動作します。S2 が開放されている場合は、自動的にステージ 5 にスキップします。 また、この機能は強制位相調整後に用いることを前提としているため S1 を短絡させてください。短絡させなくても問題ありませんが、入力と出力の位相差が徐々に変化する場合があります）。 この機能を動作させる時間長さは S3 で設定することができます。S3 が開放されている場合は、この 1 パルス位相差調整の機能は永続的に行われますが、S3 を短絡した場合は約 1 分間の動作ののち、この機能を停止し、ステージ 5 に移行します。	S2: 短絡 (S1 は短絡とすること) 動作時間は S3 で設定。
5	※フリーラン ジッタクリーナ (Si5317) に特段の操作は行いません。周波数テーブルの設定のままでフリーランさせます。Si5317 は一旦、PLL がロックして安定すれば、長時間でも位相差がずれることはないようですので、オーディオ的には S3 は短絡するのがよいと思われます。	

(3) 動作状態の表示方法

CN3 に LCD を接続すれば、内部の状態を知ることができます。

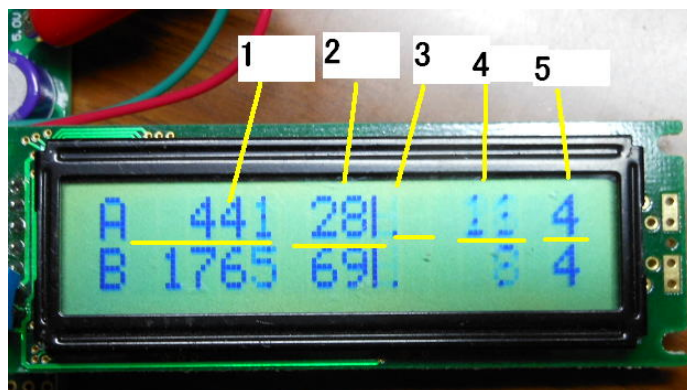


図 LCD の表示の様子

A, B 行はそれぞれチャンネル 1、2 の内容であり、1～5 の表示の内容は下記の通りです。

表 LCD の表示内容

1	計測周波数(4桁)	入力信号 1/6400 の周波数を示します(上図 A では 441 なので、2.8224MHz)。
2	プラン No(4桁)	Si5317 へ設定するプラン NO です。周波数とプラン No については Si5317 のマニュアルを参照ください。
3	位相差(1桁)	H: 出力の位相が進んでいる。 L: 出力の位相が遅れている。
4	位相差量(4桁)	位相差(0~180°) に応じた AD 出力(0~1023) を表示します。 位相差 0° : 0 位相差 90° : 512 位相差 180° : 1023 実際には入力信号の DUTY 比やジッタや、EX-OR 素子の遅れ、ノイズ等により値にブレが生じます。
5	ステージ No(1桁)	動作シーケンスにおけるステージを示します(0~5)

(以上)