

# A7 型バッファアンプ付き差動合成基板 製作マニュアル

本基板をつかって生じた感電、火災等の一切のトラブルについては、当方は責任を負いませんのでご了承ください。また基板、回路図、マニュアル等の著作権は放棄していませんので、その一部あるいは全体を無断で第三者に対して使用することはできません。

本マニュアルに記載の内容は製作上級者の方には不要なものが多く含まれますが、製作の前に必ず読んでいただきますようお願いいたします。

## 1. はじめに

この基板は2個のバッファアンプ(差動増幅型)の出力をさらに差動増幅回路(フィルター付き)で受ける形式のアンプ基板になっています。主な用途は電圧差動出力型の DAC のバッファアンプを想定していますが、回路構成を代えることで容易に IV 変換アンプ+差動増幅の構成にすることができます。そのため PCM1794 などの電流差動出力型の DAC のバッファアンプとして使用することも可能です。

アンプの最終段はメタルカンタイプのトランジスタを想定したパターンとなっているため、やや汎用性には欠けますが、部品はまだまだ調達できると思います。小さな DAC を構成するアイテムとして面白いかもしれません。



図 完成例

## 2. 基板仕様

### 2-1. 基本仕様

- (1) 基板名 : A7 型バッファアンプ付き差動合成基板
- (2) 構成 : 2回路差動アンプ+差動合成アンプ
- (3) チャンネル : 2ch(ステレオ)
- (4) 電源 : 正負15V(標準) ただし回路定数により変更可。
- (5) 基板サイズ : 81×120mm

## 2-2. 基本構成

本回路は1チャンネルあたり3個のアンプで構成されています。それらのアンプをオペアンプとして見立てた場合の基本構成は下図のようになります。本基板は下図の基本構成が2チャンネル分搭載されています。

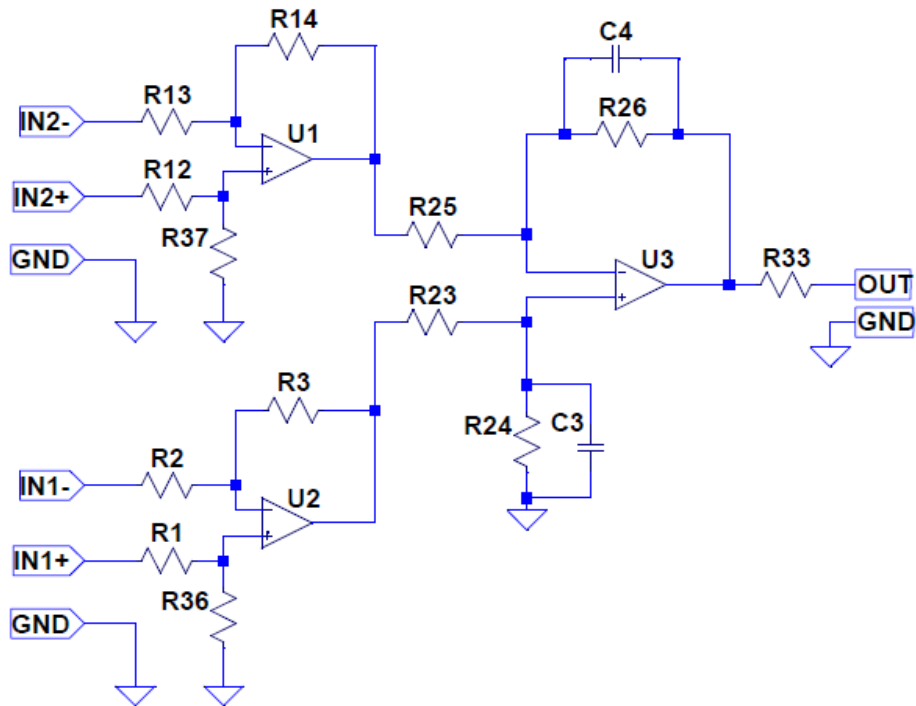


図. 基本構成

個別のアンプユニットは下図のような回路になっています(定数は参考値)

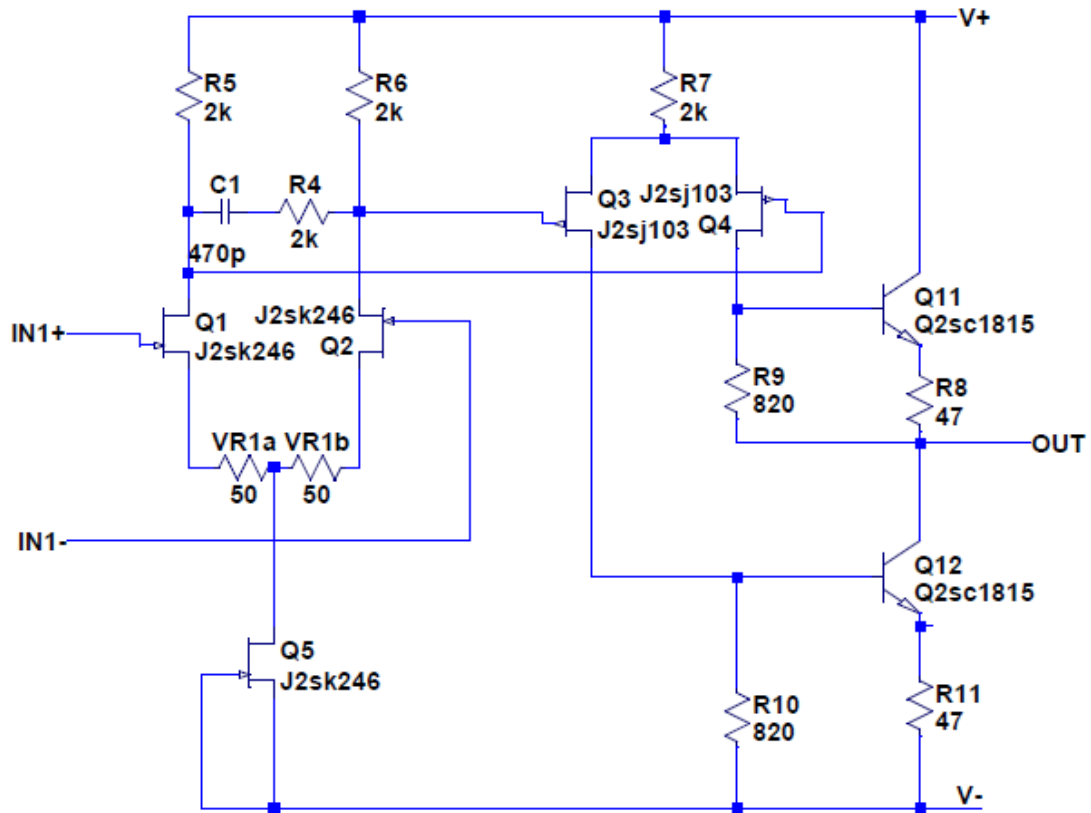


図. 各アンプの構成(上図のU1~U3に相当)

### 2-3. 全体回路

2-2. にて基本構成ならびに基本アンプの回路示していますが、1チャンネル分の全体の回路図は下図になります。

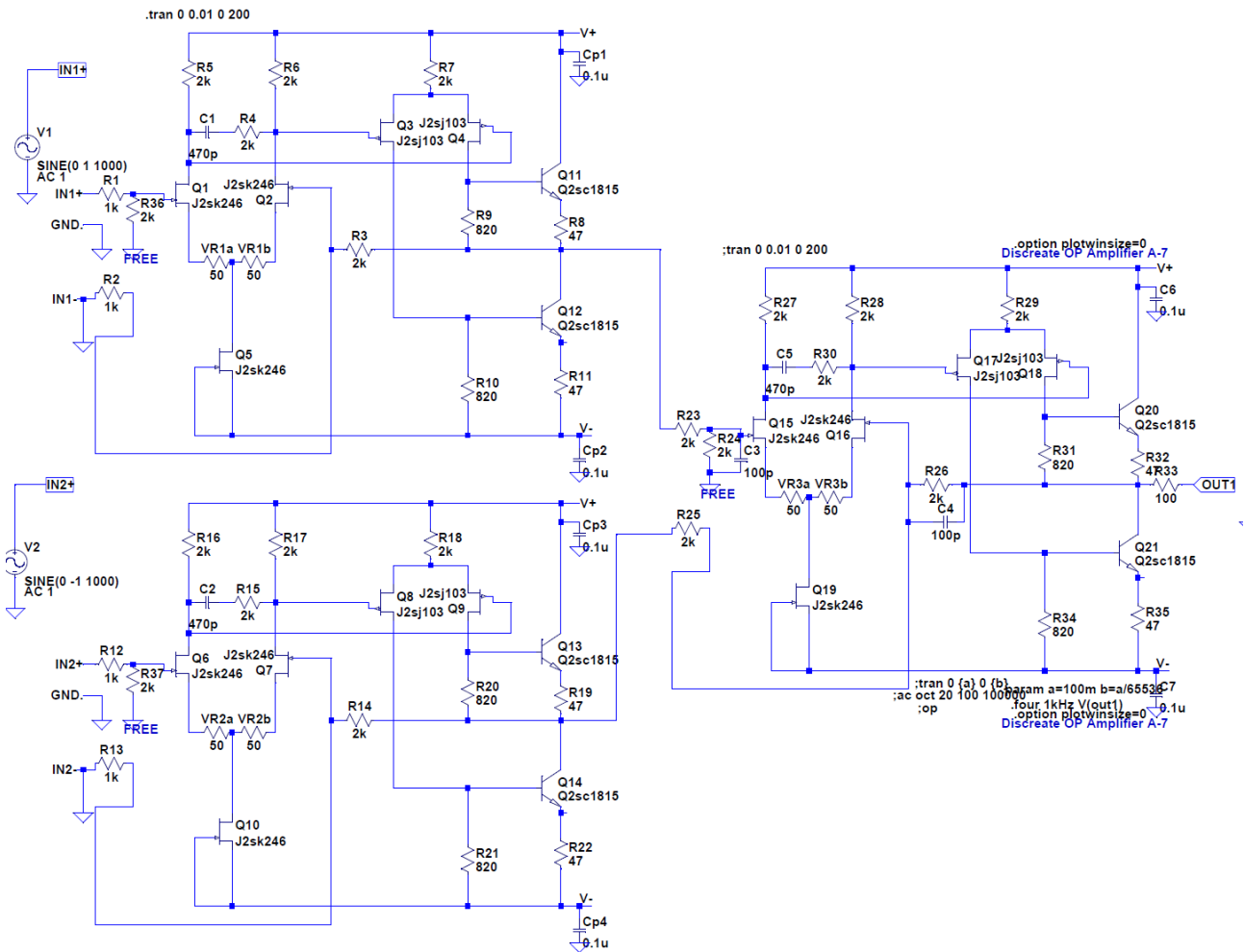


図. 全体回路

### 3. 端子機能

基板端子の機能は下記表の通りになります。

表 基板端子機能

PIN	機能	説明	PIN	機能	説明
1	IN1+	非反転入力 1	7	V-	電源入力(負)
2	IN1-	反転入力 1	8	GND	GND
3	GND	信号 GND	9	GND	GND
4	GND	信号 GND	10	OUT	信号出力
5	IN2-	反転入力 2	11	GND	GND
6	IN2+	非反転入力 2	12	V+	電源入力(正)

#### 4. 基板パターン

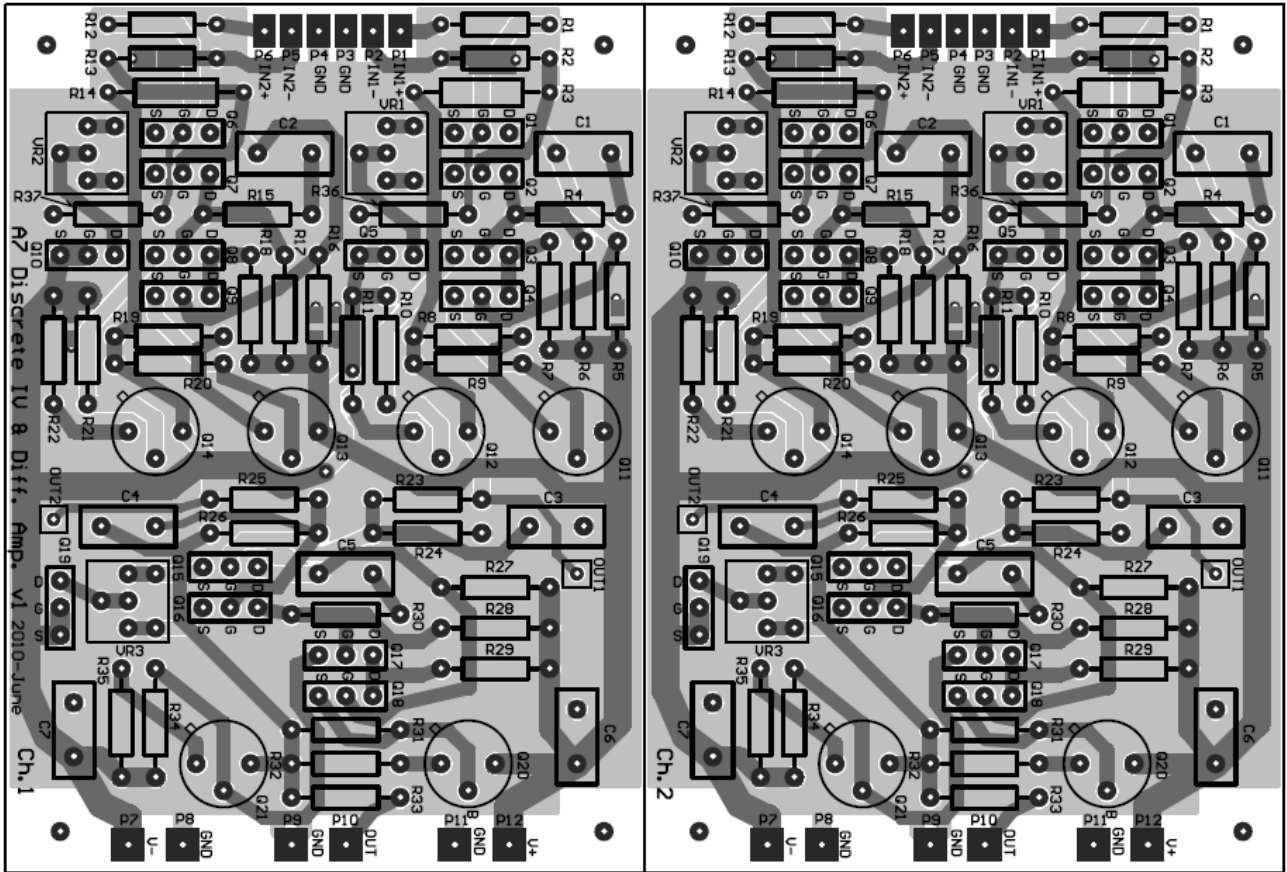


図. 配線パターン

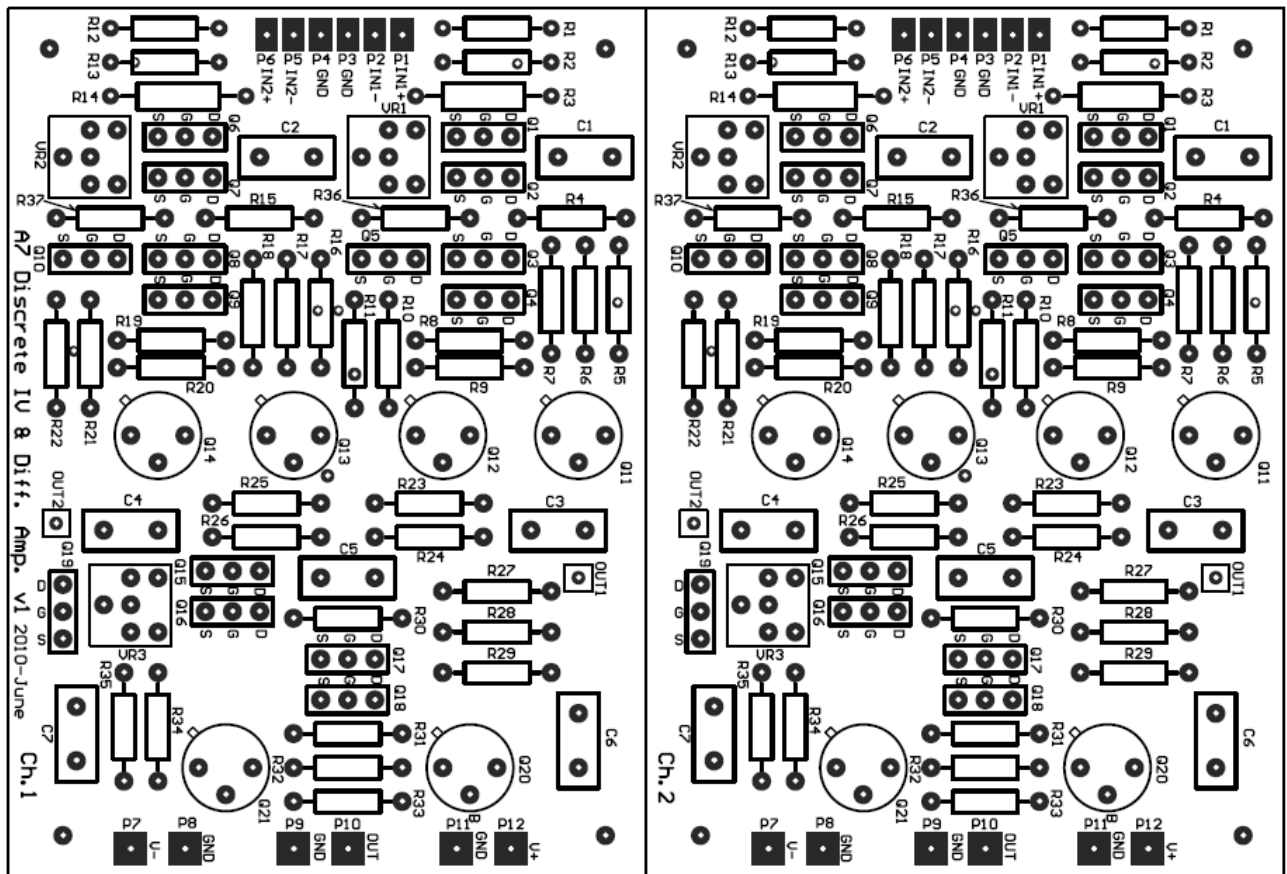


図. シルク

## 5. IV アンプ+差動合成基板として使用する場合の情報

本基板を PCM1794 などの DAC と接続することを想定して、IV アンプ+差動合成基板として使用する場合の情報を下記に示します。いくつかの抵抗をジャンパーとするだけで容易に実現することが可能です。

### 5-1. 基本構成

下図の U1, U2 が IV アンプとなります。非反転入力には設置されるため R36, 37 はジャンパー(短絡)させ、R2, R13 も短絡させて反転入力(IN-)に DAC からの信号を直接入力できるようにします。そして、R3, R14 が IV 抵抗になります。

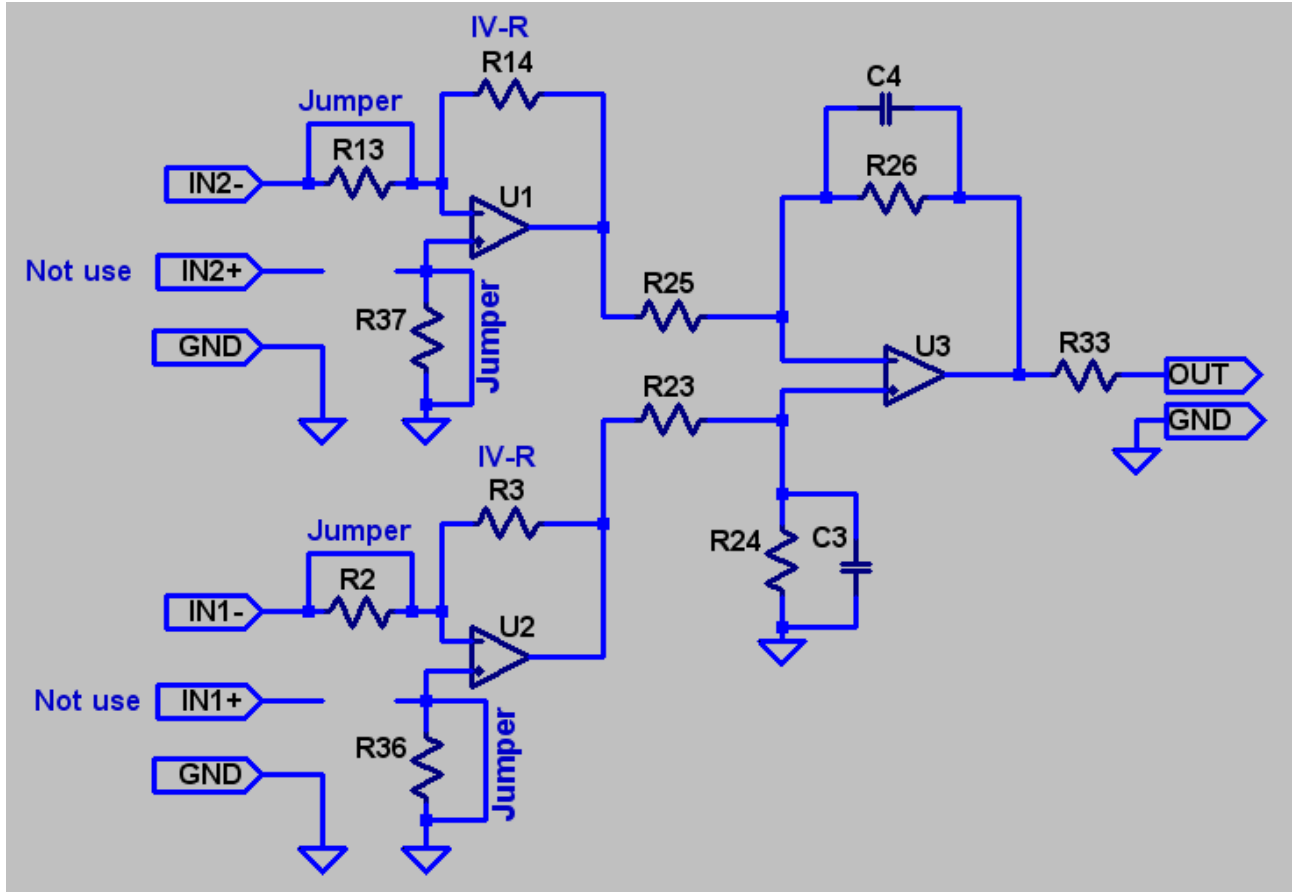


図. IVアンプ+差動合成の構成とする場合

### 5-2. 部品表(参考)

参考に DAC1794-3.5 デジタル(PCM1794 をパラでモノラル使用)と接続する場合の回路例を下表に示します。なお標注に MJ と書かれたところの値は雑誌に掲載された定数になります。変更しているところも多いのですが、どのように違うのかは参考にみてください。

表. 部品表(参考) 1チャンネル分

品名	番号	規格	仕様	個数	(参照) MJ 2008/03	備考
抵抗	R1	-	不要			
	R2	ジャンパー	0Ω	1	0Ω	
	R3	金属被膜 1/4W	360Ω	1	820Ω	IV 抵抗
	R4	金属被膜 1/4W	2kΩ	1	1.5kΩ	
	R5, 6	金属被膜 1/4W	2kΩ	2	1.5kΩ	
	R7	金属被膜 1/4W	2kΩ	1	2kΩ	

表. 部品表(参考) 1チャンネル分(つづき)

品名	番号	規格	仕様	個数	(参照) MJ 2008/03	備考
	R8	金属被膜 1/4W	47Ω	1	47Ω	
	R9	金属被膜 1/4W	680Ω	1	820Ω	
	R10	金属被膜 1/4W	680Ω	1	820Ω	
	R11	金属被膜 1/4W	47Ω	1	47Ω	
	R12	-	不要	1		
	R13	ジャンパー	0Ω	1	0Ω	
	R14	金属被膜 1/4W	360Ω	1	820Ω	IV 抵抗
	R15	金属被膜 1/4W	2kΩ	1	1.5kΩ	
	R16, 17	金属被膜 1/4W	2kΩ	2	1.5kΩ	
	R18	金属被膜 1/4W	2kΩ	1	2kΩ	
	R19	金属被膜 1/4W	47Ω	1	47Ω	
	R20	金属被膜 1/4W	680Ω	1	820Ω	
	R21	金属被膜 1/4W	680Ω	1	820Ω	
	R22	金属被膜 1/4W	47Ω	1	47Ω	
	R23-26	金属被膜 1/4W	2kΩ	4	2kΩ	
	R27, 28	金属被膜 1/4W	2kΩ	2	1.5kΩ	
	R29	金属被膜 1/4W	2kΩ	1	2kΩ	
	R30	金属被膜 1/4W	2kΩ	1	1.5kΩ	
	R31	金属被膜 1/4W	680Ω	1	820Ω	
	R32	金属被膜 1/4W	47Ω	1	47Ω	
	R33	金属被膜 1/4W	100Ω	1	0Ω	出力保護抵抗
	R34	金属被膜 1/4W	680Ω	1	820Ω	
	R35	金属被膜 1/4W	47Ω	1	47Ω	
	R36, 37	ジャンパー	0Ω	2	0Ω	
半固定抵抗	VR1-3	サーメット1回転	100Ω	3	50Ω	
コンデンサ	C1, 2	フィルムコンデンサ	220pF	2	330pF	位相補償用
	C3, C4	フィルムコンデンサ	1200pF	2	470pF	
	C5	フィルムコンデンサ	220pF	1	330pF	位相補償用
	C6, C7	フィルムコンデンサ	0.1uF	2	0.1uF	パスコン用
	Cp	チップコンデンサ	0.1uF	4	-	半田面に取り付け
トランジスタ	Q1, 2	小電力 FET-N	2SK246 (GR)	2	2SK246 (BL)	
	Q3, 4	小電力 FET-P	2SJ103 (GR)	2	2SJ103 (BL)	
	Q5	小電力 FET-N	2SK117 (Y)	1	2SK246 (BL)	
	Q6, 7	小電力 FET-N	2SK246 (GR)	2	2SK246 (BL)	
	Q8, 9	小電力 FET-P	2SJ103 (GR)	2	2SJ103 (BL)	
	Q10	小電力 FET-N	2SK117 (Y)	1	2SK246 (BL)	
	Q11-Q14	小電力 NPN	2SC97A	4	2SC959	
	Q15, 16	小電力 FET-N	2SK246 (GR)	2	2SK246 (BL)	
	Q17, 18	小電力 FET-P	2SJ103 (GR)	2	2SJ103 (BL)	
	Q19	小電力 FET-N	2SK117 (Y)	1	2SK246 (BL)	
	Q20-Q21	小電力 NPN	2SC97A	2	2SC959	

### 5-3. 半田面のパソコンの取り付け

半田面には1チャンネルあたり4個のパソコン(2012 サイズ、0.1uF 程度)を取り付けるランドを配置しています。必要ならば、下図を参照にして取り付けしてください。

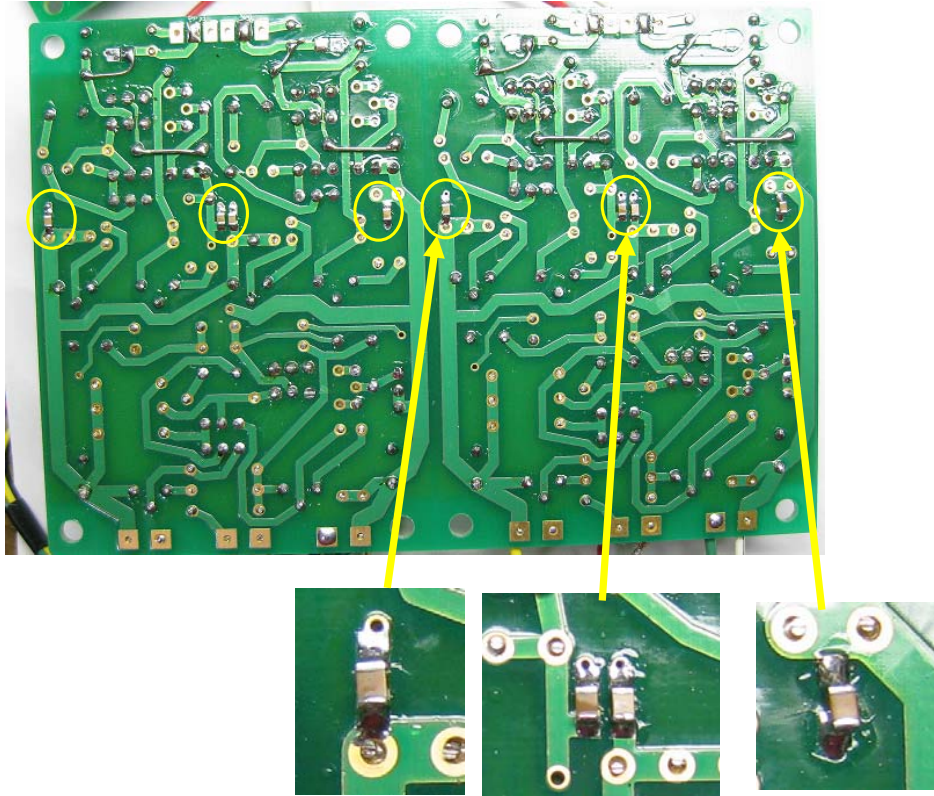


図 半田面でのパソコンの取り付け方法

### 5-4. DAC 基板との接続方法

下図は DAC1794-3.5 デジタルとの接続方法を示しています。

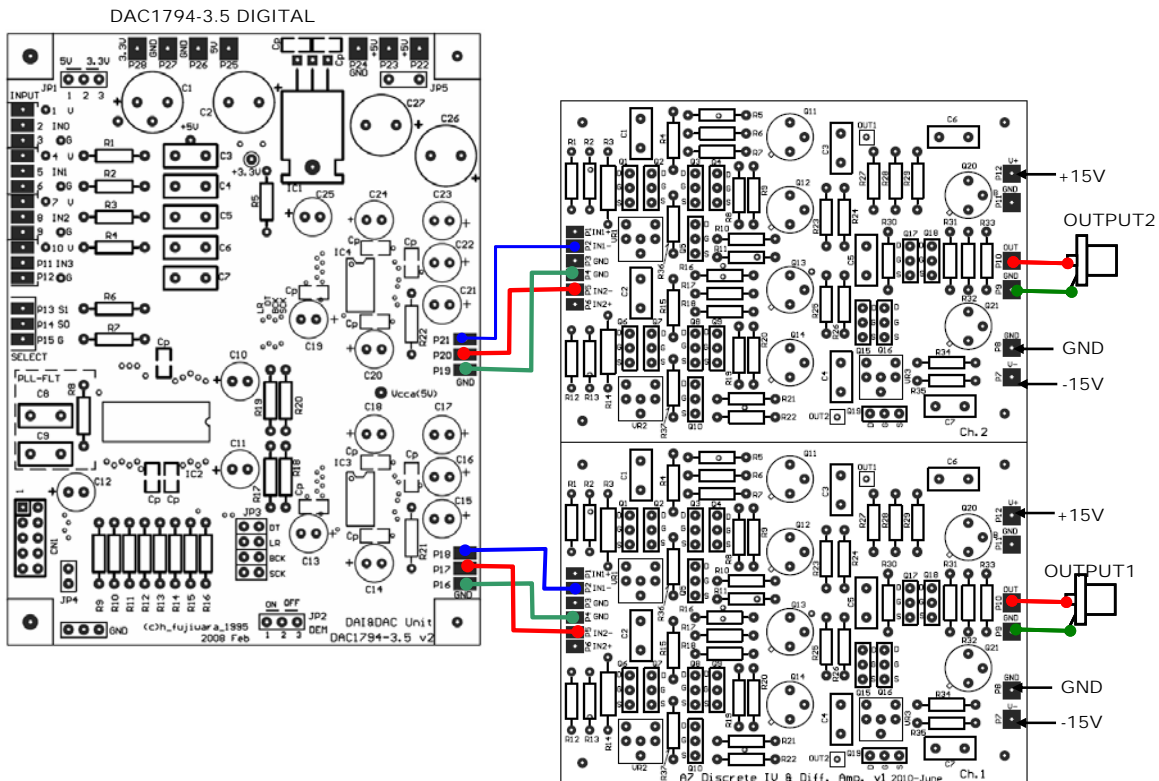
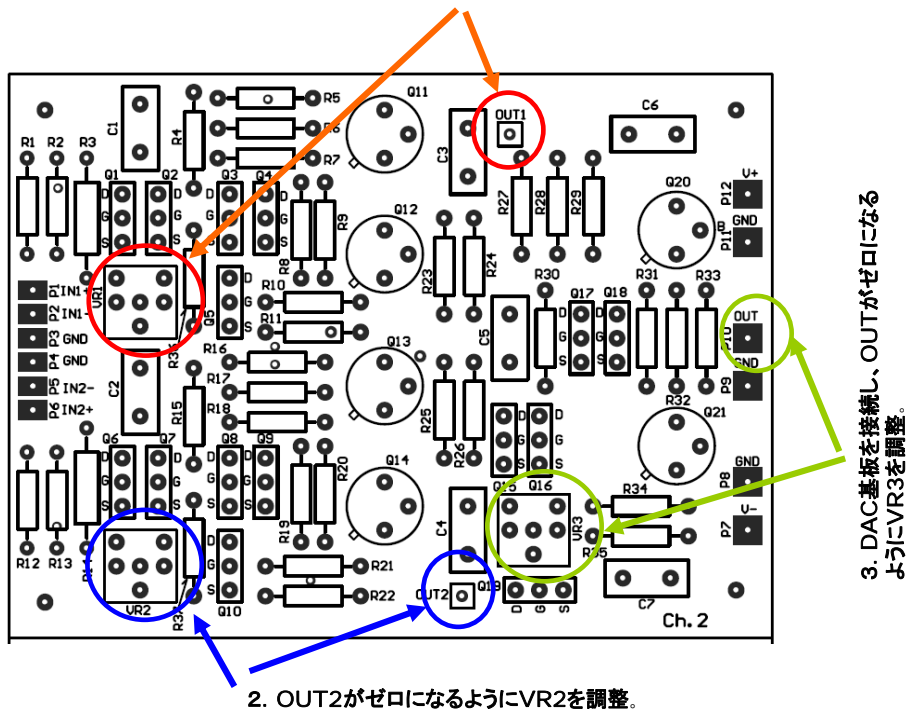


図 DAC1794-3.5 デジタルとの接続

### 5-5. 調整方法

本基板には調整 VR が1チャンネルあたり3箇所あります。これらはすべてアンプのオフセット調整用になります。IV アンプのオフセットは DAC 基板を接続する前に出力がゼロになるように VR1,VR2 を調整します。その後、DAC基板を接続して出力(OUT)がゼロになるように VR3 を調整します。

1. OUT1がゼロになるようにVR1を調整。



2. OUT2がゼロになるようにVR2を調整。

図 VRの調整方法

(注意)VRを回してもゼロにならない場合について、

1. 電圧計の指示自体が全く動かない場合は部品取り付け間違いや半田不良とされます。よくチェックしてください。
2. 電圧計の指示は動くが完全にゼロにならない場合は FET の特性ばらつきとされます。初段の FET (Q1,Q2 および Q6,Q7 および Q15,16)はペアリングしたものを使用することをお勧めします。ペアリングとは  $I_{dss}$  値をそろえることで、下図の方法で  $I_{dss}$  が 5%以内となるようにペアを揃えます。

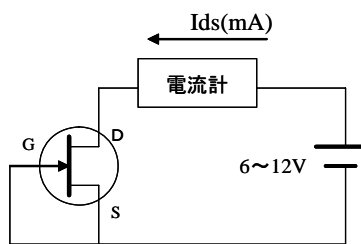


図.ペアリングのための測定方法

### 6. 編集記録

2010.7.3 R1

(以上)